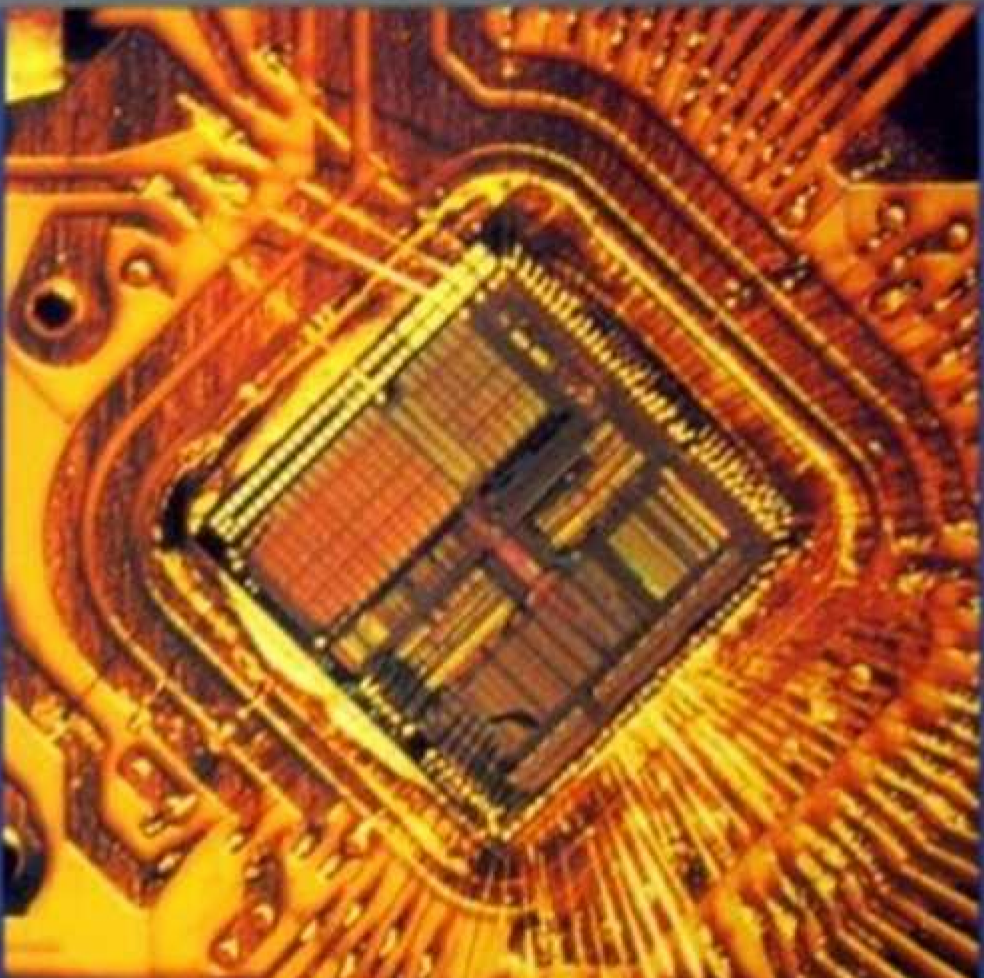
Diseño electrónico

CIRCUITOS Y SISTEMAS



SAVANT ▪ RODEN ▪ CARPENTER

SEGUNDA EDICIÓN

ADDISON-WESLEY IBEROAMERICANA

ACERCA DE LOS AUTORES

C. J. SAVANT, Jr., es un ingeniero dedicado a la educación. Recibió su Ph.D. *cum laude* del California Institute of Technology y ha impartido cátedra en el sistema de la California State University, en los campus de Long Beach y Los Ángeles. El doctor Savant posee el "Premio al Profesor Distinguido" otorgado por la California State University y constantemente es elegido por sus alumnos como el "profesor más querido del Departamento de Ingeniería Eléctrica" en la misma universidad.

MARTIN S. RODEN es Jefe del Departamento de Ingeniería Eléctrica y de Computación en la California State University en Los Angeles. El Dr. Roden recibió su BSEE *summa cum laude* del Polytechnic Institute of Brooklyn, y luego pasó cinco años haciendo investigación en los Laboratorios Bell, el lugar de nacimiento del transistor. Su interés en la educación lo llevó a la academia, donde ocupó los cargos de Jefe de Departamento, Decano Asociado, Decano y Vicepresidente Asociado varias veces. Sin embargo, el principal amor del profesor Roden sigue siendo la enseñanza, por lo cual se le otorgó el Premio al Profesor Distinguido de la Universidad. Es un miembro muy activo de la IEEE, obtuvo el Premio al Consejero más Distinguido, y es miembro del Institute for the Advancement of Engineering.

GORDON CARPENTER es un Teniente Coronel retirado de la Fuerza Aérea de los Estados Unidos, donde acumuló más de veinte años de experiencia en el diseño y desarrollo de alta tecnología para el equipo de la USAF. Esta experiencia hizo al profesor Carpenter muy realista en sus métodos de educación de los futuros ingenieros. En su carrera en la Fuerza Aérea como director de R&D, entrenó nuevos ingenieros para desarrollar especificaciones de hardware a partir de requerimientos de sistemas y asegurar que el hardware pueda construirse para cumplir esas especificaciones. El Coronel Carpenter es un convencido partidario de la educación orientada al diseño, y su experiencia práctica ha sido esencial para este texto.

PREFACIO

La presente obra ha sido escrita para utilizarse como texto en los cursos de electrónica básicos en programas de pregrado en ingeniería. El libro cubre tres áreas: dispositivos discretos, circuitos integrados lineales y circuitos integrados digitales. El profesional interesado en una obra actualizada para estudiar en forma individual también hallará valioso este libro.

¿Por qué este libro?

Habiendo docenas de libros por elegir en el campo de la electrónica analógica y digital, usted se preguntará las razones que tuvimos para escribir otro libro sobre el tema. El principal objetivo fue superar nuestras frustraciones; habíamos intentado enseñar electrónica a estudiantes de pregrado utilizando los libros existentes, mas los textos tradicionales tratan el campo desde un punto de vista teórico, ponen énfasis en los fundamentos, como la física de semiconductores, pero ignoran las aplicaciones, que son de lo más excitante. Los fundamentos *no* cambian con el tiempo, y por ello son muy importantes; sin embargo, tratar sólo los fundamentos resta emoción a la materia y, de hecho, es posible que el estudiante nunca desarrolle las habilidades necesarias para una carrera en electrónica. Por otra parte, las aplicaciones sí cambian con el tiempo, por lo que un método que se centre en ellas a expensas de presentar un tratamiento superficial de los fundamentos, resulta peligroso.

Al mismo tiempo que se abordan los fundamentos en una forma completa y directa, se da un paso adelante hacia un balance en el método de la electrónica. Dada la demanda de mayor diseño en los programas de ingeniería tanto de la agencia de acreditación (ABET) como de la industria, sentimos que ya es tiempo

de equilibrar los fundamentos con un fuerte pero mesurado gusto por el diseño. Esperamos que este libro inspire la imaginación de los ingenieros del mañana, quienes serán llamados para diseñar, no sólo analizar, sistemas electrónicos.

Unicidad del método de diseño

El contacto con ingenieros prácticos y reclutadores de ingenieros nos condujo a poner especial atención en el *diseño* de sistemas electrónicos. Al nuevo ingeniero se le pedirá diseñar sistemas y circuitos electrónicos utilizando un inventario cada vez mayor de nuevos circuitos integrados y componentes discretos. Por tanto, nuestra intención es enseñar a los estudiantes de ingeniería a *pensar* como diseñadores, en vez de memorizar unos cuantos métodos de diseño; nuestro objetivo es "educar" en vez de "entrenar".

Los procedimientos elementales de diseño se incluyen al principio del texto para motivar al lector. Nuestra experiencia nos dicta que la electrónica analógica y la digital se comprenden mejor a través de un método de "hacer para aprender". Por tanto, los temas como el análisis a pequeña señal se presentan en seguida del análisis en cd para posibilitar la inclusión temprana de algunos problemas de diseño reales y significativos.

Cuando es posible, se desarrolla un procedimiento de diseño paso a paso, pues sentimos que proporciona confianza al estudiante. Más que reemplazar la teoría, dichos procedimientos la refuerzan y clarifican. Este método culmina en el capítulo 17, donde se presentan procedimientos universales de diseño que se pueden aplicar tanto a sistemas analógicos como digitales.

Ejercicios

Se presenta un gran número de ejercicios distribuidos a lo largo del libro. Puesto que los ejercicios se concibieron para proporcionar un refuerzo inmediato a los estudiantes, siempre van seguidos de las respuestas.

Apéndice de SPICE

Se incluye un apéndice de fácil comprensión acerca del programa para modelado de circuitos SPICE. Esto permite a los profesores introducir SPICE en cualquier punto del curso. Se incluyen también los resultados impresos de ejemplos de SPICE como modelos para el estudiante.

Otros apéndices

El libro incluye apéndices que cubren:

- Física de semiconductores. Se puede utilizar como material complementario del capítulo 1 si se desea mayor detalle.

- Ruido en sistemas electrónicos
- Hojas de datos de fabricantes (para dispositivos seleccionados)
- Transformadas de Laplace
- Respuestas a problemas seleccionados

Corrección del libro

Se hicieron todos los esfuerzos para escribir y publicar un libro *correcto.* Como este texto evolucionó a partir del entorno del aula, ha sido corregido y verificado en grado extremo por nuestros estudiantes. Las copias del manuscrito se utilizaron como texto principal en nuestras clases, y se estimuló a los estudiantes y colegas para que lo criticaran libremente (un reto que aceptaron con mucho entusiasmo). Además, el manuscrito fue cuidadosamente revisado y verificado por el profesor Mahmoud El Nokali de la University of Pittsburgh. Víctor Valdivia, de la Stanford University, llevó a cabo una revisión técnica adicional mientras los autores se encontraban en la fase de corrección de pruebas. Por tanto, confiamos en la corrección y precisión del libro.

Facilidades para el profesor

Se encuentran disponibles para los profesores las **Transparencias maestras** para retroproyector de figuras importantes del texto. También hay un **Manual del profesor** que contiene las soluciones completas de todos los ejercicios y problemas de fin de capítulo del libro. Muchos de los problemas, en particular los del capítulo 17, se tomaron de aplicaciones industriales reales, en las cuales se han implantado los sistemas resultantes.

Los autores recomiendan que se utilicen, junto con el texto, las últimas ediciones de los manuales de datos de fabricantes. Por ejemplo, el *TTL Data Book, Volume II* de Texas Instruments y el *CMOS Data Book* de National Semiconductor son complementos adecuados para la tercera parte del libro, que trata sobre circuitos integrados digitales.

Guía para uso del libro en clase

El material de este libro se puede presentar en una serie de dos o tres cursos de un semestre o tres cursos de un trimestre del tercer o cuarto año de la carrera. El prerrequisito para este libro es un primer curso sobre análisis de circuitos.

Los capítulos 1 a 6 cubren el análisis y diseño de circuitos con diodos, transistores bipolares de unión y de efecto de campo, y amplificadores de potencia para frecuencia de audio. No se necesitan conceptos sobre plano *s* para comprender esta parte del texto.

La segunda parte del libro (capítulos 7 a 13) están dedicados a circuitos integrados lineales. Este material incluye la cobertura completa de amplificadores operacionales ideales y reales, respuesta en frecuencia, retroalimentación y estabilidad, diagramas de Bode y diseño a partir de características de transferencia. En el capítulo 13 se abordan los filtros activos, incluyendo el diseño para filtros Butterworth y Chebyshev. Para esta parte del texto, es útil tener algún conocimiento sobre el método de la transformada de Laplace; por ello se incluye un apéndice para la revisión de la transformada de Laplace.

Los últimos cuatro capítulos del libro (capítulos 14 a 17) se dedican a los sistemas y circuitos integrados digitales. Se presenta el análisis en estado estacionario de circuitos de pulso y osciladores de relajación. Se comparan y analizan tres familias lógicas: TTL, CMOS y ECL. Se estudian varios CI con y sin reloj, y se incluyen varias aplicaciones prácticas.

El capítulo 17 es un capítulo único, pues presenta una metodología de diseño "universal" que se puede utilizar ya sea en circuitos analógicos o digitales. Muchos de los ejemplos de diseño de este capítulo se han tomado de la industria para ilustrar problemas de diseño de la vida real.

Agradecimientos

El material sobre amplificadores operacionales de los capítulos 9, 12, y parte del 13 (incluyendo el diseño de filtros activos) se tomó de las notas de clase desarrolladas originalmente por el Profesor Gene H. Hostetter durante su estancia en la California State University en Long Beach. El material sobre diseño de filtros activos también apareció en el excelente texto del Dr. Hostetter, *Engineering Network Analysis* (Nueva York, Harper & Row, 1984). Estamos agradecidos con el Dr. Hostetter y con Harper & Row por permitirnos utilizar este material.

Desearíamos expresar nuestro aprecio por los estudiantes en las diferentes clases dictadas por los autores utilizando las primeras versiones de este texto. Se extienden nuestros agradecimientos al Profesor Gene Hostetter, quien proporcionó mucho del material sobre amplificadores operacionales, y a nuestros colegas los Profesores Hassan Babaie, Lou Balin, Roy Barnett, Ed Evans, Mike Hassul y Ken James por sus comentarios y asistencia en varias partes del manuscrito.

Quisiéramos agradecer especialmente al profesor Paul Van Halen, de la Portland State University, el que haya proporcionado el primer bosquejo del apéndice sobre física de semiconductores, y a Mahmoud El Nokali, de la University of Pittsburgh, quien leyó cada página del manuscrito final e hizo varias sugerencias valiosas. Otro agradecimiento especial va dirigido a Bernhard Schmidt, de la University of Dayton, quien verificó cada ilustración y problema incluido en el texto para asegurar su claridad y comprensión. Víctor Valdivia, de la Stanford University, merece una mención especial por su supremo esfuerzo en la búsqueda de errores en las pruebas tipográficas del libro.

Todo libro es el resultado de varias repeticiones y revisiones basadas en la experiencia de clase y en el consejo experto de revisores. Tuvimos la fortuna de que 28 lectores revisaran todo el volumen o parte de él. Desearíamos agradecer a los siguientes revisores, y a muchos otros cuyo nombre no se menciona aquí, por sus esfuerzos:

Jack Allison, Oklahoma State University
Kay D. Baker, Utah State University
W. L. Beasley, Texas A&M University
Robert L. Bernick, California Polytechnic State University, Pomona
Raymond Black, New Mexico State University
T. V. Blalock, University of Tennessee
Frank Brands, Washington State University
John Churchill, University of California, Davis
R. G. Deshmukh, Florida Institute of Technology
Mahmoud El Nokali, University of Pittsburgh
E. L. Gerber, Drexel University
Ward Helms, University of Washington
Alfred T. Johnson, Jr., Widener University
Jerrold Krenz, University of Colorado, Boulder
B. Lalevic, Rutgers University
John Lowell, Texas Tech University
Eugene Manus, Virginia Polytechnic Institute y State University
Richard Morris, University of Portland
David A. Navon, University of Massachusetts, Amherst
Harry Neinhaus, University of South Florida
Charles Nelson, California State University, Sacramento
David Pearlman, Rochester Institute of Technology
William Sayle, Georgia Institute of Technology
Bernhard Schmidt, University of Dayton
Paul Van Halen, Portland State University
Darrell L. Vines, Texas Tech University
J. L. Yeh, Rutgers University
Carl R. Zimmer, Arizona State University

Además de nuestros colegas y revisores, muchos estudiantes nos ayudaron a lo largo del trabajo. Los siguientes estudiantes merecen nuestro aprecio por su especial asistencia: Gabriel Cocco, Ted Curmi, Jim Eckman, Kevin Kean, Lyle Mattes, Bob McBride, Mark Pendleton, Steve Phillips, Gloria Quinn, Bob Topper, Bob Tran, Phil Vrbancic y Ann Weichbrod. Agradecimientos especiales a Julie Jarnagan, quien realizó varias correcciones fundamentales y gramaticales.

En un proyecto de esta complejidad, no es tarea sencilla crear un libro terminado a partir de un manuscrito. Sin embargo, en las hábiles manos de George y Wendy Calmenson, de San Francisco, esta crítica tarea pareció sencilla. Su profesionalismo y atención al detalle contribuyeron en la elaboración de un libro del cual estamos orgullosos.

Deseamos sinceramente que cada una de las personas que brindaron alguna aportación a este libro y que tuvieron que ver en su desarrollo estén tan satisfechas como nosotros lo estamos con el producto final.

Gordon L. Carpenter
Martin S. Roden
C. J. Savant, Jr.

Nota del Editor. Al preparar los autores la segunda edición de la presente obra, realizaron diversos cambios para ajustar el contenido específicamente a los requerimientos curriculares de las universidades estadounidenses, soslayando de manera inevitable los currícula de las instituciones iberoamericanas. Por no coincidir dichos cambios con los intereses de nuestros lectores, decidimos conservar casi intacto el orden de los temas de la primera edición, si bien hemos incluido algunas de las secciones nuevas que los autores prepararon para la segunda edición, así como un buen número de ejercicios, también extraídos de esa nueva versión, que se agrupan al final de cada capítulo en las secciones denominadas **Problemas adicionales.**

INTRODUCCIÓN PARA EL ESTUDIANTE

La electrónica es la piedra angular de la ingeniería eléctrica. Si usted se va a especializar en diseño en electrónica de estado sólido, o en otras áreas como potencia, computadores, control o comunicaciones, primero debe familiarizarse con las bases del diseño y el análisis de circuitos y sistemas electrónicos.

Esta no es una tarea fácil, ya que el campo está cambiando a pasos agigantados. Usted debe tener cuidado de concentrarse en la *educación,* más que en el *entrenamiento,* en el área de electrónica. Aquellos que fueron *entrenados* en el diseño electrónico con tubos de vacío durante los años cincuenta lo encontraron poco útil una década más tarde, cuando los transistores reemplazaron a los tubos de vacío en todas las aplicaciones, excepto alta potencia y alta frecuencia. Del mismo modo, aquellos que fueron entrenados en diseño con transistores durante los años sesenta y setenta lo encontraron obsoleto con el advenimiento de los circuitos integrados y sistemas con amplificadores operacionales. Por tanto, es importante que se prepare por sí mismo para la siguiente revolución, aprendiendo los fundamentos al mismo tiempo que "aprende a aprender".

Muchos textos abordan este desafío poniendo mucho énfasis en la teoría y evitando completamente las aplicaciones, lo que no sucede en este texto. Una árida presentación teórica podría dejarle cierto conocimiento básico que tal vez aplicará algún día. Sin embargo, es probable que no experimentaría la emoción de aplicar este conocimiento a situaciones prácticas conforme aprende. De hecho, ni siquiera sabría si es o no capaz.

Por esa razón, este texto está fuertemente *orientado al diseño.* Usted será guiado a través de muchas aplicaciones prácticas de la teoría, y queremos decir *prácticas.* Esperamos que se sienta motivado a construir algunos de los sistemas que va a diseñar en el papel, para "cerrar el ciclo" y hacer más sólida su educación.

Algunos de los problemas incluidos al final de los capítulos tal vez parezcan muy complicados a primera vista. El aprendizaje de diseño es gradual, así que no se desanime. Usted verá que es capaz de hacer progresos aun en los problemas más complicados de diseño. Su profesor debe poder proporcionarle orientación.

Más que nada, disfrute el material de estudio. Usted ha eligido una carrera excitante, pero los mismos factores que la hacen excitante también la vuelven ardua. En ocasiones deberá exceder los límites de su capacidad mental si desea triunfar, pero alcanzar el éxito será una compensación agradable.

Si tiene algún comentario o sugerencia acerca del texto, por favor comuníquelo a cualquiera de los tres autores. Los profesores Roden y Savant laboran en la California State University en Los Angeles, mientras que el profesor Carpenter lo hace en la misma universidad en Long Beach. Debido a que tenemos un especial interés por la educación en ingeniería, todos sus comentarios y sugerencias serán bienvenidos.

ÍNDICE GENERAL

CAPÍTULO 1 ANÁLISIS DE CIRCUITOS CON DIODOS SEMICONDUCTORES 1

1.0 Introducción 1

1.1 Teoría de semiconductores 2

1.1.1 Conducción en los materiales 3

1.1.2 Conducción en materiales semiconductores 4

1.1.3 Materiales semiconductores 6

1.1.4 Semiconductores contaminados 6

1.2 Diodos semiconductores 9

1.2.1 Construcción del diodo 10

1.2.2 Operación del diodo 11

1.2.3 Modelos de circuito equivalentes del diodo 13

1.3 Física de los diodos de estado sólido 14

1.3.1 Distribución de carga 14

1.3.2 Relación entre la corriente y la tensión en un diodo 15

1.3.3 Efectos de la temperatura 17

1.3.4 Líneas de carga del diodo 19

1.3.5 Capacidad de manejo de potencia 23

1.3.6 Capacitancia del diodo 23

1.4 Rectificación 24

1.4.1 Rectificación de media onda 24

1.4.2 Rectificación de onda completa 25

1.4.3 Filtrado 27

1.5 Demodulación 31

1.6 Diodos Zener 33

1.6.1 Regulador Zener 34

1.6.2 Diodos Zener prácticos y porcentaje de regulación 39

1.7 Diseño de una fuente de poder usando un circuito integrado 41

1.8 Recortadores y fijadores 43

1.8.1 Recortadores 43

1.8.2 Fijadores 45

1.9 Tipos alternos de diodos 48

1.9.1 Diodos Schottky 48

1.9.2 Diodos varactor 49

1.9.3 Diodos túnel (diodo Esaki) 49

1.9.4 Diodos emisores de luz y fotodiodos 49

1.9.5 Diodos PIN 51

1.10 Especificaciones de los fabricantes 51

Problemas, 53

Problemas adicionales 59

CAPÍTULO 2 AMPLIFICADORES CON TRANSISTORES BIPOLARES DE UNIÓN 61

2.0 Introducción 61

2.1 Fuentes de tensión y de corriente dependientes 62

2.2 Transistores bipolares 65

2.3 Operación del transistor 67

2.4 Circuitos con transistores 71

2.4.1 Configuraciones comunes en circuitos 71

2.4.2 Curvas características 72

2.5 El amplificador EC 75

2.5.1 El amplificador EC con resistor en el emisor 77

2.5.2 Introducción al análisis y el diseño 80

2.6 Consideraciones de potencia 83

2.6.1 Derivación de las ecuaciones de potencia 83

2.7 Capacitores de paso y de acoplamiento 85

2.7.1 Capacitores de paso 86

2.7.2 Capacitores de acoplamiento 86

2.8 Línea de carga de ca para la configuración en EC 86

2.8.1 La línea de carga de ca a través de cualquier punto Q 87

2.8.2 Elección de la línea de carga de ca para máxima excursión simétrica en la salida

2.9 Análisis y diseño en ca 91

2.9.1 Procedimiento de análisis 91

2.9.2 Procedimiento de diseño 92

2.9.3 Diseño por debajo de máxima excursión 97

2.10 Amplificador emisor seguidor (colector común) 98

2.10.1 Análisis en ca y diseño de amplificadores ES 100

Problemas, 103

Problemas adicionales, 108

CAPÍTULO 3 DISEÑO DE AMPLIFICADORES CON TRANSISTORES BIPOLARES DE UNIÓN 111

3.0 Introducción 111

3.1 Análisis de redes de dos puertos 112

3.1.1 Fórmula de ganancia de impedancia

3.1.2 Parámetros híbridos 113

3.2 Resistencia de entrada en cortocircuito 116

3.3 Parámetros en EC 117

3.3.1 Resistencia de entrada, R_{en} 118

3.3.2 Ganancia de tensión, A_v 121

3.3.3 Ganancia de corriente, A_i 123

3.3.4 Resistencia de salida, R_o 123

3.4 Alinealidades de los BJT 127

3.5 Parámetros para el amplificador CC (SE) 130

3.5.1 Resistencia de entrada, R_{en} 130

3.5.2 Ganancia de tensión, A_v 131

3.5.3 Ganancia de corriente, A_i 131

3.5.4 Resistencia de salida, R_o 132

3.6 Parámetros para el amplificador BC 135

3.6.1 Resistencia de entrada, R_{en} 136

3.6.2 Ganancia de corriente, A_i 137

3.6.3 Ganancia de tensión, A_v 138

3.6.4 Resistencia de salida, R_o 138

3.7 Aplicaciones de los amplificadores con transistores 142

3.8 Acoplamiento de amplificadores 143
3.8.1 Acoplamiento directo 143
3.8.2 Acoplamiento capacitivo 144
3.8.3 Acoplamiento por transformador 144
3.8.4 Acoplamiento óptico 147
3.9 Divisor de fase 149
3.10 Análisis del amplificador multietapa 150
3.11 Dispositivos de cuatro capas 153
3.11.1 Rectificador controlado de silicio (SCR) 154
3.11.2 Conmutador controlado de silicio (SCS) 155
3.11.3 DIAC y TRIAC 155
Problemas, 156
Problemas adicionales, 163

CAPÍTULO 4 AMPLIFICADORES CON TRANSISTORES DE EFECTO DE CAMPO 167

4.0 Introducción 167
4.1 Ventajas y desventajas del FET 168
4.2 Tipos de FET 168
4.3 Operación y construcción del JFET 169
4.3.1 Variación de la tensión compuerta a fuente en el FET 170
4.3.2 Características de transferencia del JFET 171
4.3.3 Circuito equivalente, g_m y r_{DS} 174
4.4 Operación y construcción del MOSFET 178
4.4.1 MOSFET de empobrecimiento 179
4.4.2 MOSFET de enriquecimiento 181
4.5 Polarización de los FET 183
4.6 Análisis de un amplificador FC 185
4.7 Diseño de un amplificador FC 187
4.8 Selección de componentes 190
4.9 Análisis de amplificadores DC (FS) 197
4.10 Procedimiento de diseño del amplificador DC 198
4.11 Amplificador FS de refuerzo 203
4.12 Transistor de unión con barrera metal semiconductor 206

4.13 Otros dispositivos 206

4.13.1 Transistor de monounión 207
4.13.2 VMOSFET (VMOS) 208
4.13.3 Otros dispositivos MOS 209

Problemas, 210

Problemas adicionales, 214

CAPÍTULO 5 ESTABILIDAD DE LA POLARIZACIÓN EN AMPLIFICADORES CON TRANSISTORES 216

5.0 Introducción 216

5.1 Tipos de polarización 217

5.1.1 Polarización por corriente 217
5.1.2 Polarización por tensión y por corriente 218

5.2 Efectos de los cambios de parámetros: Estabilidad de la polarización 220

5.2.1 Configuración EC 222
5.2.2 Configuración ES 225

5.3 Ejemplos de variación de parámetros 226

5.4 Compensación por diodo 235

5.4.1 Compensación por doble diodo 238

5.5 Reducción de las variaciones en la temperatura 239

5.6 Diseño para la estabilidad de la polarización de amplificadores con BJT 242

5.7 Efectos de la temperatura en FET 242

Problemas, 245

Problemas adicionales, 247

CAPÍTULO 6 AMPLIFICADORES DE POTENCIA Y FUENTES DE ALIMENTACIÓN 248

6.0 Introducción 248

6.1 Clases de amplificadores 249

6.1.1 Operación en clase A 249
6.1.2 Operación en clase B 250
6.1.3 Operación en clase AB 250
6.1.4 Operación en clase C 252

6.2 Circuitos amplificadores de potencia. Operación en clase A 253

6.2.1 Amplificador acoplado en forma inductiva 253

6.2.2 Amplificador de potencia acoplado por transformador 256

6.3 Circuitos amplificadores de potencia. Operación en clase B 262

6.3.1 Circuitos EC *push-pull* 262

6.3.2 Amplificador de potencia clase B con simetría complementaria 264

6.3.3 Cálculos de potencia para el amplificador *push-pull* clase B 271

6.4 Circuito Darlington 278

6.5 Amplificador clase AB cuasicomplementario con par Darlington 284

6.6 Fuente de alimentación utilizando transistores de potencia 285

6.6.1 Fuente de alimentación utilizando componentes discretos 285

6.6.2 Fuente de alimentación utilizando un regulador de CI (regulador de tres terminales) 287

6.6.3 Fuente de alimentación utilizando un regulador ajustable de tres terminales 288

6.7 Reguladores conmutados 291

6.7.1 Eficiencia de los reguladores conmutados 293

Problemas, 293

Problemas adicionales, 297

CAPÍTULO 7 CIRCUITOS INTEGRADOS: AMPLIFICADORES OPERACIONALES 299

7.0 Introducción 299

7.1 Fabricación de CI 300

7.1.1 Transistores y diodos 300

7.1.2 Resistores 301

7.1.3 Capacitores 301

7.1.4 Transistores laterales 302

7.1.5 Tecnología de unión Schottky 302

7.2 Amplificadores de diferencia 303

7.2.1 Características de transferencia en cd 303

7.2.2 Ganancias en modo común y en modo diferencial 305

7.2.3 Amplificador diferencial con fuente de corriente constante 307

7.2.4 Amplificador diferencial con terminales de entrada y salida sencillas 310

7.3 Fuentes de corriente, cargas activas y trasladadores de nivel 313

7.3.1 Fuente de corriente Widlar 314

7.3.2 Fuente de corriente Wilson 315

7.3.3 Espejos de corriente 317
7.3.4 Fuentes de corriente como cargas activas 319
7.3.5 Trasladadores de nivel 321
7.4 Configuración *cascode* 326
7.5 Empaquetado de los amplificadores operacionales 328
7.5.1 Requerimientos de potencia 330
7.6 El amplificador operacional 741 330
7.6.1 Circuitos de polarización 331
7.6.2 Protección de cortocircuito 331
7.6.3 Etapa de entrada 332
7.6.4 Etapa intermedia 332
7.6.5 Etapa de salida 332
7.7 Especificaciones del fabricante 333
Problemas, 333
Problemas adicionales, 337

CAPÍTULO 8 AMPLIFICADORES OPERACIONALES IDEALES 339

8.0 Introducción 339
8.1 Amplificadores operacionales ideales 339
8.1.1 Método de análisis 342
8.2 El amplificador inversor 342
8.3 El amplificador no inversor 347
8.4 Resistencia de entrada de un circuito amplificador operacional con retroalimentación 351
8.5 Entradas combinadas invertida y no invertida 352
8.6 Diseño de circuitos con amplificador operacional 355
8.7 Otras aplicaciones del amplificador operacional 362
8.7.1 Circuito de independencia negativa 362
8.7.2 Generador de corriente dependiente 363
8.7.3 Integrador Miller no inversor 364
8.7.4 Convertidor de impedancia 365
8.7.5 Amplificadores operacionales y diodos 367
Problemas, 370
Problemas adicionales, 375

CAPÍTULO 9 AMPLIFICADORES OPERACIONALES PRÁCTICOS 379

9.0 Introducción 379

9.1 Amplificadores-operacionales prácticos 379
9.1.1 Ganancia de tensión en lazo abierto (G) 380
9.1.2 Tensión de desplazamiento en la entrada (V_{io}) 381
9.1.3 Corriente de polarización de entrada (I_{pol}) 382
9.1.4 Rechazo en modo común 386
9.1.5 Razón de rechazo a la fuente de alimentación (PSRR) 387
9.1.6 Desplazamiento de fase 388
9.1.7 Razón de cambio (SR) 388

9.2 Modelo mejorado para el amplificador operacional 390

9.3 Amplificador no inversor 395
9.3.1 Entrada no inversora y resistencia de salida 395
9.3.2 Ganancia de tensión del amplificador no inversor 398
9.3.3 Consideracines de ancho de banda 401
9.3.4 Amplificadores no inversores con entradas múltiples 402

9.4 Amplificador inversor 405
9.4.1 Amplificador inversor. Resistencia de entrada y salida 405
9.4.2 Ganancia de tensión en la entrada inversora 407
9.4.3 Entradas múltiples. Amplificador inversor 409

9.5 Suma diferencial 412

9.6 Amplificador 101 416
9.6.1 Amplificadores 101 no inversores 418
9.6.2 Amplificadores 101 inversores 419

9.7 Diseño de amplificadores utilizando varios amplificadores operacionales 420

9.8 Amplificadores con entradas y salidas balanceadas 424

9.9 Acoplamiento entre entradas múltiples 426

9.10 Amplificadores de audio 427

Problemas, 428

Problemas adicionales, 432

CAPÍTULO 10 CARACTERÍSTICAS DE LA RESPUESTA EN FRECUENCIA 434

10.0 Introducción 434

10.1 Diagramas de Bode 436

10.1.1 Términos de la función $G(s)H(s)$ 440

10.1.2 La aproximación asintótica 441

10.1.3 Ejemplos de diagramas de Bode 448

10.2 Respuesta en frecuencia del amplificador operacional 457

10.3 Respuesta en baja frecuencia: BJT 460

10.3.1 Capacitancia de acoplamiento 460

10.3.2 Diseño para una característica de frecuencia dada 465

10.3.3 Capacitor de paso para el resistor de emisor 469

10.3.4 Efecto combinado del capacitor de acoplamiento y el capacitor de paso 470

10.3.5 Respuesta en baja frecuencia. Amplificador ES 472

10.3.6 Respuesta en baja frecuencia. Amplificador BC 472

10.4 Respuesta en baja frecuencia. Amplificadores con FET 473

10.4.1 Respuesta en baja frecuencia para un amplificador FC 473

10.4.2 Respuesta en baja frecuencia. Amplificador DC 480

10.5 Respuesta en alta frecuencia. Amplificador con BJT 483

10.5.1 Respuesta del EC en alta frecuencia 483

10.5.2 Respuesta del amplificador ES en alta frecuencia 492

10.5.3 Respuesta del amplificador BC en alta frecuencia 494

10.6 Respuesta en alta frecuencia. FET 496

10.6.1 Amplificador FC 496

10.6.2 Amplificador DC 501

10.7 Amplificadores cascode 502

10.8 Diseño de amplificadores en alta frecuencia 505

10.9 Observaciones finales 506

Problemas, 506

Problemas adicionales, 510

CAPÍTULO 11 RETROALIMENTACIÓN Y ESTABILIDAD 514

11.0 Introducción 514

11.1 Consideraciones de retroalimentación en amplificadores 515

11.2 Tipos de retroalimentación 516

11.3 Amplificadores retroalimentados 518

11.3.1 Retroalimentación de corriente. Resta de tensión para amplificadores discretos 518

11.3.2 Retroalimentación de tensión. Resta de corriente para un amplificador discreto 522

11.4 Amplificadores multietapa con retroalimentación 525

11.5 Retroalimentación en amplificadores operacionales 528

11.6 Estabilidad de amplificadores retroalimentados 531

11.6.1 Producto ganancia por ancho de banda 536

11.7 Respuesta en frecuencia. Amplificador retroalimentado 536

11.7.1 Amplificador de polo simple 536

11.7.2 Amplificador de dos polos 538

11.8 Diseño de un amplificador de tres polos con igualador de adelanto 512

11.9 Igualador por retardo de fase 548

11.10 Efectos de cargas capacitivas 550

11.11 Osciladores 550

Problemas, 556

Problemas adicionales, 561

CAPÍTULO 12 CIRCUITOS NO LINEALES 563

12.0 Introducción 563

12.1 Rectificadores 563

12.2 Limitadores retroalimentados 569

12.3 Comparadores 583

12.4 Disparadores Schmitt 591

12.4.1 Disparadores Schmitt con limitadores 594

Problemas, 599

Problemas adicionales, 603

CAPÍTULO 13 FILTROS ACTIVOS 607

13.0 Introducción 607

13.1 Integradores y derivadores 608

13.2 Diseño de redes activas 613

13.3 Filtros activos 616

13.3.1 Propiedades y clasificación de los filtros 617

13.3.2 Filtros activos de primer orden 625

13.3.3 Filtros generales de primer orden 637

13.4 Amplificador de tipo general con un solo amplificador operacional 643

13.5 Filtros de segundo orden con un solo amplificador 646

13.6 Filtros analógicos clásicos 652

13.6.1 Filtros Butterworth 653

13.6.2 Filtros Chebyshev 656

13.7 Transformaciones 658

13.7.1 Transformación de pasa-bajas a pasa-altas 658

13.7.2 Transformación pasa-banda 660

13.8 Procedimiento de diseño para filtros Butterworth y Chebyshev 661

13.8.1 Diseño del filtro pasa-bajas 661

13.8.2 Orden del filtro 663

13.8.3 Factor de escala de los parámetros 664

13.8.4 Filtro pasa-altas 671

13.8.5 Diseño de filtros pasa-banda y rechaza-banda 673

13.9 Filtros en circuito integrado 676

13.9.1 Filtros de capacitor conmutado 676

13.9.2 Un filtro pasa-bajas Butterworth de sexto orden de capacitor conmutado 679

13.10 Conclusiones 681

Problemas, 682

Problemas, 686 adicionales

CAPÍTULO 14 SEÑALES DE PULSO 687

14.0 Introducción 687

14.1 Redes RC pasa-altas 688

14.1.1 Respuesta en estado estacionario. Red pasa-altas 693

14.2 Red RC pasa-bajas 699

14.3 Diodos 704

14.3.1 Respuesta en estado estacionario de un circuito con diodo a trenes de pulsos 705

14.4 Circuitos de disparo 709

14.4.1 Respuesta a trenes de pulsos 710

14.5 El generador de pulsos 555 712

14.5.1 El oscilador de relajación 712

14.5.2 El 555 como oscilador 716

14.5.3 El 555 como circuito monoestable 720

Problemas, 721

Problemas adicionales, 726

CAPÍTULO 15 FAMILIAS LÓGICAS DIGITALES 728

15.0 Introducción 728

15.1 Conceptos básicos de lógica digital 729

15.1.1 Lógica independiente del tiempo, o asincrónica 730

15.1.2 Lógica dependiente del tiempo, o sincrónica 731

15.1.3 Funciones lógicas elementales 731

15.1.4 Álgebra de Boole 734

15.2 Construcción y empaquetado de CI 736

15.3 Consideraciones prácticas en el diseño digital 738

15.4 Características de los BJT en circuitos digitales 742

15.5 Familias lógicas con BJT 743

15.6 Lógica de transistor-transistor (TTL) 743

15.6.1 Colector abierto 745

15.6.2 Carga activa 746

15.6.3 Compuertas H-TTL y LP-TTL 747

15.6.4 Compuertas TTL Schottky 748

15.6.5 Compuertas de tres estados 749

15.6.6 Lista de dispositivos 751

15.7 Lógica de emisor acoplado 752

15.7.1 Lista de dispositivos 753

15.8 Características de los FET en circuitos digitales 753

15.8.1 MOSFET de enriquecimiento de canal n 753

15.8.2 El MOSFET de enriquecimiento de canal p 755

15.9 Familias con transistores FE 755T

15.9.1 MOS de canal n 755

15.9.2 MOS de canal p 756

15.10 MOS complementario 756

15.10.1 Lista de dispositivos CMOS y reglas de utilización 760

15.11 Comparación de las familias lógicas 760

15.12 Conclusiones 760

Problemas, 765

Problema adicional, 771

CAPÍTULO 16 CIRCUITOS INTEGRADOS DIGITALES 772

16.0 Introducción 772

16.1 Descodificadores y codificadores 773

16.1.1 Codificadores y descodificadores de teclado 778

16.1.2 Generadores de paridad y verificadores 780

16.2 Manejadores y sistemas asociados 781

16.3 Biestables, memorias de paso y registros de desplazamiento 784

16.3.1 Biestables 785

16.3.2 Memorias de paso y memorias 789

16.3.3 Registros de desplazamiento 791

16.4 Contadores 793

16.5 Relojes 803

16.5.1 Oscilador controlado por tensión (VCO) 804

16.6 Conversión de analógica a digital 809

16.6.1 Convertidor de digital a analógico (D/A) 809

16.6.2 Convertidor A/D 811

16.6.3 El convertidor A/D de 3 1/2 dígitos 811

16.6.4 Despliegue de cristal líquido 814

16.7 Memorias 815

16.7.1 Memorias de tipo serie 815

16.7.2 Memoria de acceso aleatorio (RAM)

16.7.3 ROM y PROM 818

16.7.4 EPROM 819

16.8 Circuitos más complejos 821

16.8.1 Unidad aritmética y lógica (ALU) 821

16.8.2 Sumadores completos 821

16.8.3 Generadores de acarreo adelantado 823

16.8.4 Comparador de magnitudes 823

16.9 Arreglo lógico programable (PAL) 826

Problemas, 826
Problemas adicionales, 829

CAPÍTULO 17 DISEÑO ELECTRÓNICO DIGITAL 832

17.0 Introducción 832
17.1 Principios de diseño 832
17.2 Definición del problema 834
17.3 Subdivisión del problema 834
17.4 Documentación 835
17.4.1 El diagrama esquemático 835
17.4.2 La lista de partes 836
17.4.3 Listas de ejecución y otra documentación 836
17.4.4 Utilización de documentos 836
17.5 Verificación del diseño 837
17.6 Armado de prototipos de circuitos digitales 839
17.7 Ejemplos de diseño 841
17.8 Introducción a los problemas 860
17.9 Conclusiones 863
Problemas, 863
Problemas adicionales, 878

APÉNDICE A SPICE A-1

A.0 Introducción A-1
A.1 Información sobre programación A-3
A.1.1 Formato A-4
A.1.2 Descripción del circuito A-4
A.2 Datos de entrada A-5
A.2.1 Descripción de elementos A-5
A.2.2 Descripción de fuente A-10
A.2.3 Subcircuitos A-12
A.2.4 Análisis requerido A-13
A.2.5 Salida requerida A-14
A.3 Ejemplos de programas A-16
A.3.1 Amplificador EC A-16
A.3.2 Amplificador FC A-21
A.3.3 Rectificador de onda completa A-26

A.3.4 Filtro pasa-bajas Chebyshev de cuarto orden A-30
A.3.5 Compuerta NAND de dos entradas A-33

APÉNDICE B PRINCIPIOS DE FÍSICA DE SEMICONDUCTORES A-37

B.0 Introducción A-37
B.1 Semiconductores intrínsecos 37
B.2 Impurezas en los semiconductores A-40
B.2.1 Semiconductor de tipo n A-40
B.2.2 Semiconductor de tipo p A-40
B.3 Concentración de portadores A-41
B.4 Portadores excedentes A-43
B.5 Recombinación y generación de portadores excedentes A-43
B.6 Transporte de corriente eléctrica A-44
B.7 Desplazamiento en un campo eléctrico A-45
B.8 Dependencia de la resistividad respecto a la temperatura A-48
B.9 Difusión en un gradiente de concentración A-48
B.10 Combinación de difusión y desplazamiento A-49
B.11 Las relaciones de Einstein A-49
B.12 Prueba de la ley *np* = constante A-50
B.13 Cálculo del nivel de Fermi A-51
B.14 Derivación de la ecuación del diodo A-52

APÉNDICE C LA TRANSFORMADA DE LAPLACE A-55

C.0 Introducción A-55
C.1 La transformada de Laplace de funciones A-56
C.2 La transformada de Laplace de operaciones A-57
C.3 Solución de ecuaciones diferenciales lineales ordinarias A-60
C.4 Expansión en fracciones parciales A-62
C.5 Propiedades adicionales de la transformada de Laplace A-66
C.5.1 Traslación real A-66
C.5.2 Segunda variable independiente A-67
C.5.3 Teoremas de los valores final e inicial A-68
C.5.4 Teorema de la convolución A-68

APÉNDICE D HOJAS DE DATOS DE FABRICANTES A-69

D.1 Diodos A-71

D.1.1 Diodos 1N4001 a 1N4007 A-71

D.1.2 Diodos Zener 1N746 a 1N759 A-75

D.2 Transistores A-81

D.2.1 Transistores de silicio *npn* 2N3903 y 2N3904 A-81

D.2.2 Transistores de silicio *pnp* 2N3905 y 2N3906 A-87

D.2.3 Transistores de propósito general *npn* 2N2217 a 2N222

D.2.4 JFET de canal *n* 2N3821, 2N3822 y 2N3824 A-93

D.2.5 MOSFET de canal *n* 3N128

D.3 Dispositivos diversos A-97

D.3.1 Regulador de tensión en CI MC7800 A-97

D.3.2 Comparador de tensión LM139 A-104

D.4 AMP-OPS A-107

D.4.1 Amplicador operacional μA741 A-107

D.4.2 Amplicador operacional LM101 A-116

APÉNDICE E VALORES ESTÁNDAR DE LOS COMPONENTES A-121

E.0 Introducción A-121

E.1 Resistores A-121

E.2 Capacitores A-122

APÉNDICE F RUIDO EN SISTEMAS ELECTRÓNICOS A-123

F.0 Introducción A-123

F.1 Fuentes de ruido A-124

F.1.1 Ruido de resistores A-124

F.1.2 Otros tipos de ruido 125

F.1.3 Ruido en el diodo A-126

F.1.4 Ruido en el BJT 126

F.1.5 Ruido en el FET 127

F.2 Ruido en amplificadores operacionales A-128

F.2.1 Razón señal a ruido A-129

F.2.2 Cifra de ruido A-129

F.2.3 Consideraciones para la reducción del ruido A-130

APÉNDICE G RESPUESTAS A PROBLEMAS SELECCIONADOS A-132

Bibliografías y referencias para estudio ulterior, A-138

Índice de materias, I-1

DISEÑO ELECTRÓNICO

Circuitos y sistemas

1

ANÁLISIS DE CIRCUITOS CON DIODOS SEMICONDUCTORES

1.0 INTRODUCCIÓN

El dispositivo electrónico no lineal más simple se conoce como *diodo*. Un diodo está compuesto de dos materiales diferentes colocados juntos de tal forma que la carga fluye fácilmente en una dirección, pero no en dirección contraria. El desarrollo de este dispositivo se debe a Henry Dunwoody, quien en 1906 colocó un horno eléctrico de carborundum entre dos soportes de latón. Ese mismo año, Greenleaf Pickard desarrolló un detector de radio a cristal, en forma de bigote de gato, en contacto con un cristal. Muchos estudios llevados a cabo entre 1906 y 1940 mostraron que el silicio y el germanio eran excelentes materiales para utilizar en la construcción de estos dispositivos.

Fue necesario superar muchos problemas en la construcción y fabricación de diodos. Los ingenieros esperaron hasta mediados de la década de 1950 para resolver el más crítico de esos problemas. Durante la explosión tecnológica de fines de los años cincuenta y principios de los sesenta, la tecnología de estado sólido recibió una gran atención. Esto se debió a la necesidad de contar con componentes electrónicos livianos, pequeños y de bajo consumo de potencia para utilizarlos en el desarrollo de misiles intercontinentales y vehículos espaciales. Se dio énfasis a la fabricación de dispositivos de estado sólido de gran confiabilidad en aplicaciones donde el mantenimiento sería imposible. El resultado fue el desarrollo de componentes de estado sólido más económicos y confiables que los tubos de vacío.

En este capítulo se proporciona una introducción a la operación y las aplicaciones del diodo de estado sólido. Este dispositivo de dos terminales, que a menudo resulta más pequeño que un grano de arroz, es *no lineal*. En su forma más simple, esto significa que la aplicación de la suma de dos tensiones produce una corriente que

no es la suma de las dos corrientes resultantes por separado. El comportamiento del diodo depende de la polaridad de la tensión aplicada. La característica no lineal del diodo es la razón por la que encuentra tantas aplicaciones en electrónica.

En primer lugar, se consideran los conceptos físicos básicos de los semiconductores. Se analiza el diodo de unión de silicio y se desarrolla un circuito equivalente. Posteriormente se analizan algunas aplicaciones importantes de los diodos, incluyendo la rectificación, la demodulación y la detección. En el apéndice B se profundiza más en la física de semiconductores.

Se presenta también el diodo *Zener* y se investiga su uso para regulación de tensión. En seguida, se desarrolla una técnica de diseño específica.

Así mismo, se analizan muchos diodos de propósito especial, como el *Schottky,* el *varactor,* el *túnel,* los *emisores de luz* y los *fotodiodos.* El capítulo concluye con el diseño de una fuente de energía utilizando el regulador en circuito integrado de la serie MC7800.

1.1 TEORÍA DE SEMICONDUCTORES

Se diseñarán y analizarán sistemas utilizando circuitos equivalentes para representar diodos. Es muy posible utilizar estos circuitos sin necesidad de entender por qué representan modelos aproximados de los diodos. Sin embargo, es útil contar con elementos de física de diodos para apreciar los orígenes de los circuitos equivalentes y entender sus limitaciones.

Un *átomo* consiste en un núcleo que tiene carga positiva. Los electrones, con carga negativa, se mueven alrededor del núcleo en trayectorias elípticas. Estos electrones se distribuyen a su vez en *capas.* Los electrones de la capa más externa se conocen como *electrones de valencia.*

Cuando elementos muy puros, como el silicio y el germanio, se enfrían desde el estado líquido, sus átomos se colocan en patrones ordenados que se llaman *cristales,* como se ilustra en la figura 1.1. Los electrones de valencia determinan la forma característica o estructura reticular del cristal resultante.

Los átomos de silicio y germanio tienen cuatro electrones de valencia cada uno. Por tanto, estos átomos se agrupan en una estructura reticular tal que cada uno "comparte" sus cuatro electrones de valencia con los átomos vecinos en la forma de *enlaces covalentes.* Los enlaces covalentes mantienen unida a la red.

Aunque los electrones de valencia son retenidos con fuerza en la estructura cristalina, pueden romper sus enlaces y, por tanto, moverse en forma de conducción. Esto sucede si se proporciona suficiente energía externa (por ejemplo, en forma de luz o calor).

Debido a la interacción entre átomos en un cristal, es posible que los electrones de valencia posean niveles de fuente de energía dentro de un intervalo de valores. Cuanto más lejos se encuentre un átomo del núcleo, mayor será su nivel de energía. Por tanto, los niveles disminuyen conforme el cristal se vuelve más "rígido".

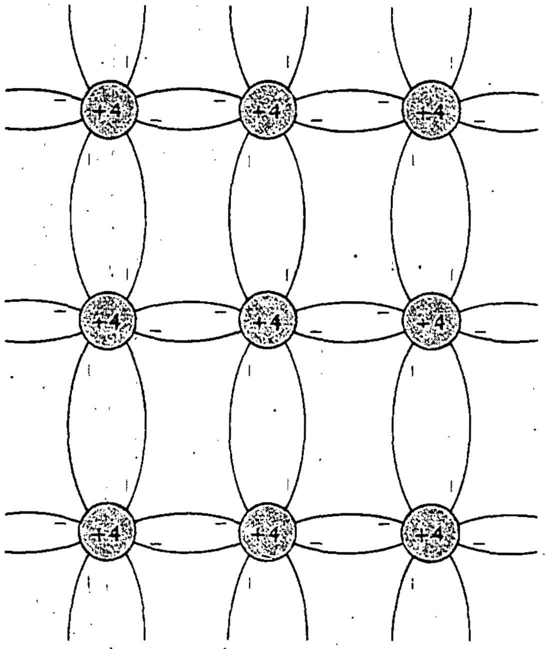


Figura 1.1
Estructura del cristal.

Así como existe un intervalo o banda de fuente de energías para los electrones de valencia, hay otro intervalo de valores de fuente de energía para los electrones libres, es decir, aquellos que rompen el enlace y forman un canal de conducción. Las dos bandas pueden o no traslaparse.

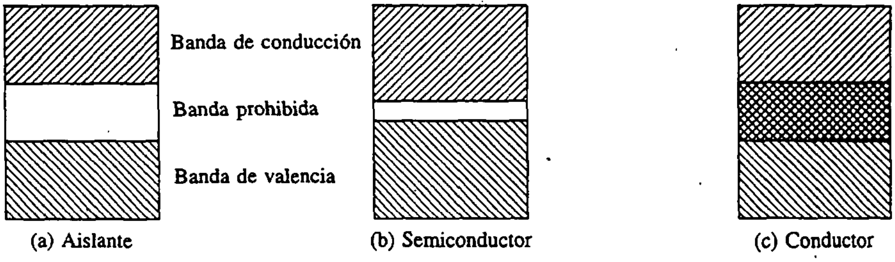
1.1.1 Conducción en los materiales

En la figura 1.2 se presentan tres diagramas de niveles de fuente de energía. En la figura 1.2(a), las bandas de fuente de energía se encuentran muy separadas. La región sin sombrear representa una *banda prohibida* de niveles de fuente de energía en el cual no se encuentran electrones. Cuando esta banda es relativamente grande, como se muestra en la figura, el resultado es un *aislante.*

Si la banda es más o menos pequeña (del orden de un electrón volt (eV), la cantidad de energía cinética que aumenta un electrón cuando cae a través de un potencial de 1 V, o 1.6×10^{-19} J), el resultado es un *semiconductor*. Esto se ilustra en la figura 1.2(b).

La fuente de energía necesaria para romper un enlace covalente es función del espaciamiento atómico en el cristal. Cuanto más pequeño sea el átomo, más pequeño será el espaciamiento y mayor la fuente de energía necesaria para romper los enlaces covalentes. Resulta más difícil extraer un electrón de conducción del silicio que del germanio debido a que los cristales de silicio tienen un espaciamiento reticular más pequeño.

Figura 1.2
Niveles de energía.



El *conductor*, o metal, se tiene cuando las bandas se traslapan, como se muestra en la figura 1.2(c). El conductor permite que se muevan las cargas eléctricas cuando existe una diferencia de potencial a través del material.

En un conductor, no existe barrera alguna entre la fuente de energía del electrón de valencia y la del electrón de conducción. Esto significa que un electrón de valencia particular no está asociado fuertemente a su propio núcleo. Por tanto, es libre de moverse a través de la estructura. Este movimiento de electrones, generalmente como respuesta a la aplicación de un potencial, es la conducción.

En los materiales, los electrones se pueden elevar a niveles de energía más altos por medio de aplicación de calor, que provoca vibración de la red. Los materiales que son aislantes a temperatura ambiente pueden volverse conductores cuando la temperatura se eleva lo suficiente. Esto provoca que algunos electrones se muevan a una banda de fuente de energía mayor, donde quedan disponibles para conducción. El diagrama de bandas de la fuente de energía de la figura 1.3 se utiliza para ilustrar la cantidad de energía necesaria para que los electrones alcancen la banda de conducción. El eje de abscisas de esta gráfica es el espaciamiento atómico del cristal. Conforme aumenta el espaciamiento, el núcleo ejerce menos fuerza en los electrones de valencia. El eje está marcado con el espaciamiento atómico para cuatro materiales. El carbono (C) es un aislante en forma cristalina (diamante). El silicio (Si) y el germanio (Ge) son semiconductores, y el estaño es un conductor. La barrera de fuente de energía mostrada en la figura representa la cantidad de energía externa requerida para mover los electrones de valencia hacia la banda de conducción.

1.1.2 Conducción en materiales semiconductores

En los átomos de silicio y germanio, los electrones se mantienen juntos con suficiente fuerza. Los electrones interiores se encuentran a gran profundidad dentro del átomo, mientras que los electrones de valencia son parte del enlace covalente: no pueden desprenderse sin recibir una considerable cantidad de energía. Una forma de suministrar esta energía es calentar el material. A una temperatura de cero absoluto, no existe vibración térmicamente inducida en el cristal. No se pueden romper los enlaces covalentes, por lo que no existen electrones disponibles en la banda de conducción. Debido a ello, no puede existir corriente y el semiconductor se comporta como aislante.

El calor y otras fuentes de energía provocan que los electrones en la banda de valencia rompan sus enlaces covalentes y se conviertan en electrones libres en la

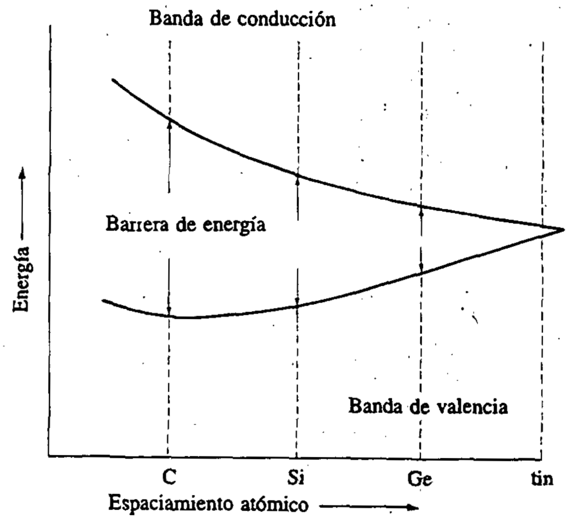


Figura 1.3 Diagrama de bandas de energía.

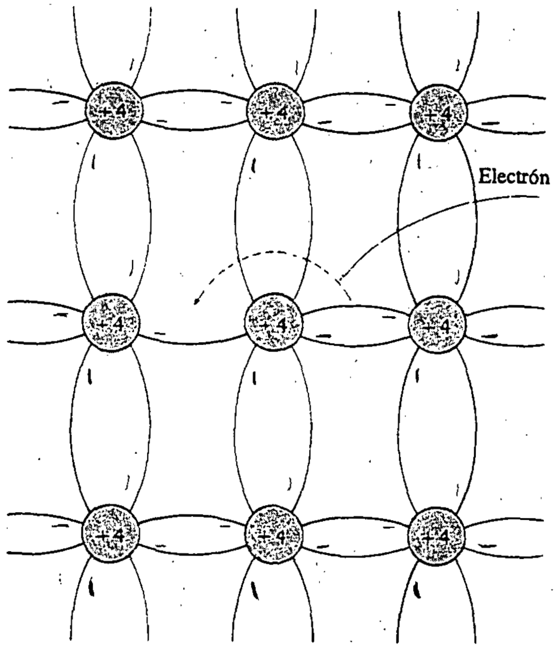


Figura 1.4 Conducción desde un enlace covalente roto.

banda de conducción. Por cada electrón que deja la banda de valencia, se forma un "hueco". Un electrón cercano a la banda de valencia puede moverse y llenar el hueco, creando otro, prácticamente sin intercambio de energía. En la figura 1.4 se muestra la forma en que el movimiento de electrones entre enlaces covalentes contribuye a la conducción.

La conducción provocada por los electrones en la banda de conducción es diferente de la conducción debida a los huecos dejados en la banda de valencia. En semiconductores puros, existen tantos huecos como electrones libres.

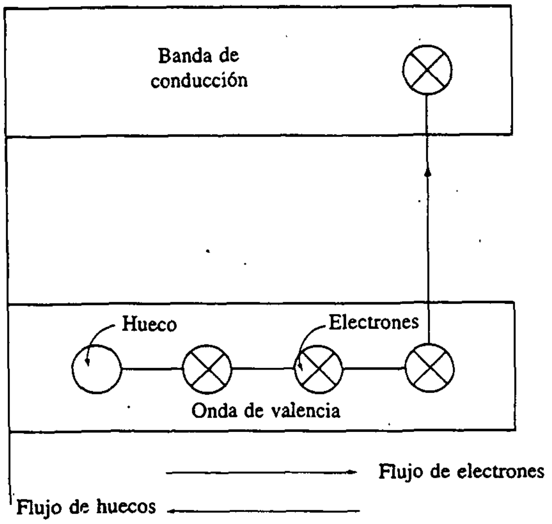
La fuente de energía térmica interna aumenta la actividad de los electrones; por tanto, saca a los electrones de valencia de la influencia del enlace covalente y los dirige hacia la banda de conducción. De esta forma, existe un número limitado de electrones en la banda de conducción bajo la influencia del campo eléctrico aplicado; estos electrones se mueven en una dirección y establecen una corriente, como se muestra en la figura 1.5.

Siempre que un electrón se eleva a una banda superior, se crea un hueco en la banda de valencia. El movimiento de huecos es opuesto al de electrones y se conoce como *corriente de huecos.* Los huecos actúan como si fueran partículas positivas y contribuyen a la corriente total.

Conforme aumenta la temperatura, un mayor número de electrones se eleva a la banda de conducción, y la corriente aumenta ([44], Vol. I).

Los dos métodos mediante los cuales se pueden mover los electrones y huecos a través de un cristal de silicio son la *difusión* y el *desplazamiento.* La agitación térmica provoca un movimiento aleatorio de electrones en un semiconductor. Aunque este fenómeno puede relacionarse con la difusión, no provoca ningún flujo neto

Figura 1.5
Corriente.



de carga. Sin embargo, si otro mecanismo provoca una concentración en un extremo del semiconductor, los electrones se difunden hacia el otro extremo. Esto da lugar a un flujo neto de carga conocido como *corriente de difusión.* El otro método de movimiento, el desplazamiento, resulta cuando se aplica un campo eléctrico al semiconductor y los huecos y electrones libres se aceleran en el campo eléctrico. La velocidad de este movimiento se llama *velocidad de deriva,* y el movimiento provoca *corrientes de deriva.* La relación entre el campo eléctrico aplicado y la corriente de deriva es análoga a la ley de Ohm.

1.1.3 Materiales semiconductores

Los átomos de silicio y germanio se ilustran en la figura 1.6. El átomo de germanio tiene lleno un anillo exterior más que el átomo de silicio. Este anillo exterior en el germanio se encuentra a una distancia mayor del núcleo que el anillo exterior en el silicio. Por tanto, en el átomo de germanio se necesita una fuente de energía menor para elevar electrones de la banda exterior a la banda de conducción. Este punto se ilustra con mayor detalle al comparar las *barreras de la fuente de energía* de los dos materiales, como se muestra en la figura 1.7. El germanio tiene una barrera de la fuente de energía más pequeña para separar sus bandas de valencia y de conducción, por lo que se requiere una menor cantidad de energía para cruzar las barreras entre bandas.

1.1.4 Semiconductores contaminados

Las corrientes inducidas en semiconductores puros son muy pequeñas (por lo general de menos de 10^{-9}A) para aplicaciones prácticas. En un semiconductor puro, el número de huecos es igual que el de electrones. La conductividad de

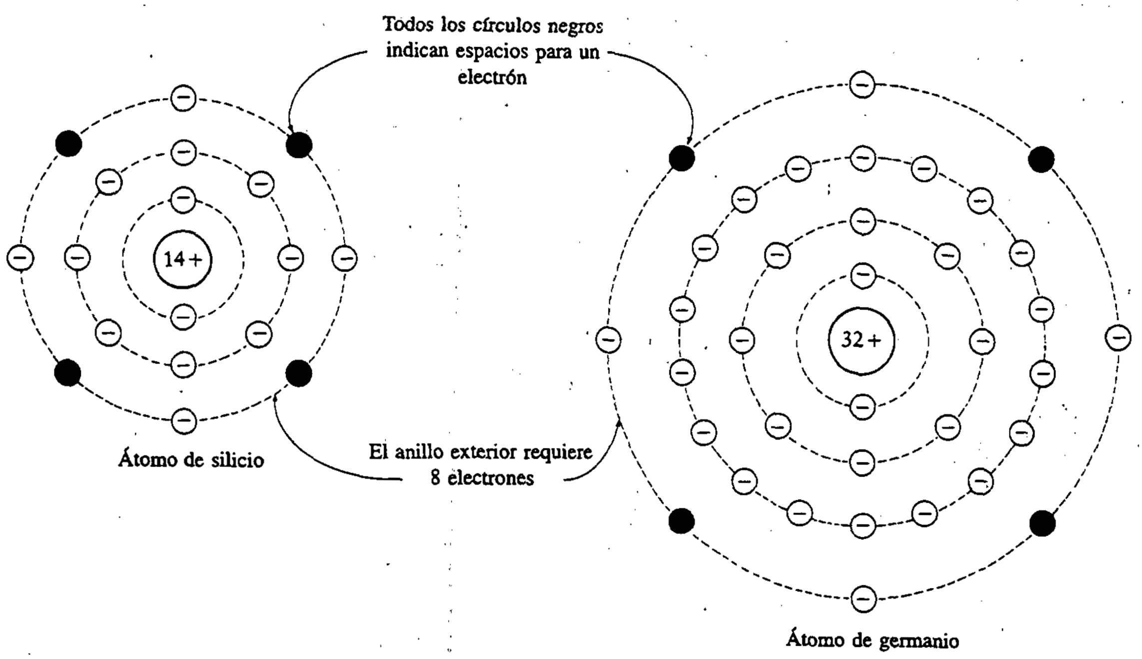


Figura 1.6 Estructura atómica del silicio y el germanio.

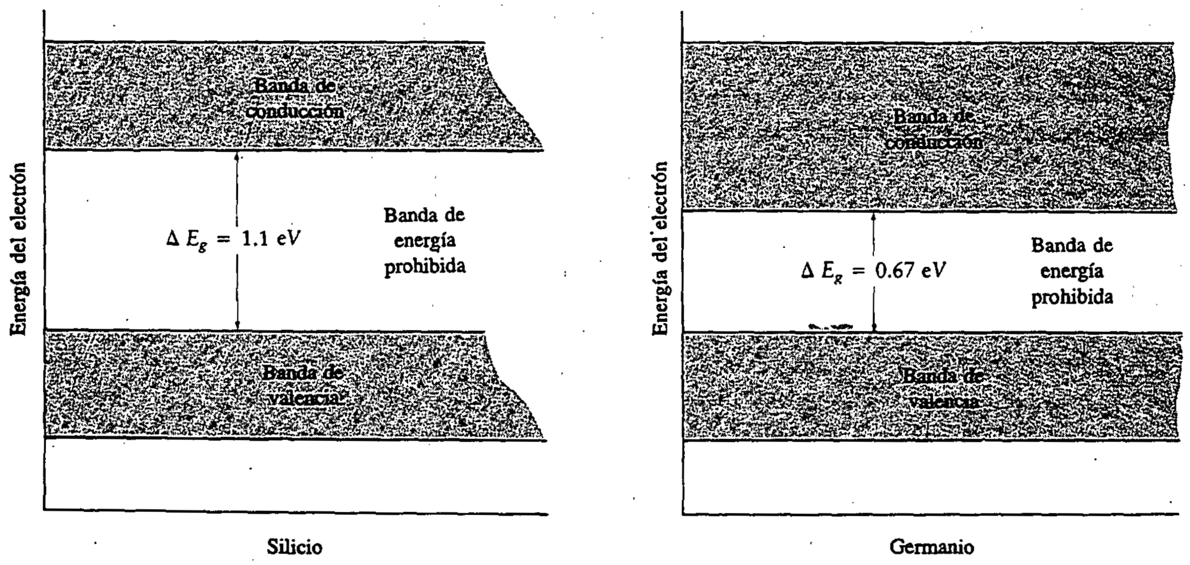


Figura 1.7 Barreras de energía para el germanio y silicio.

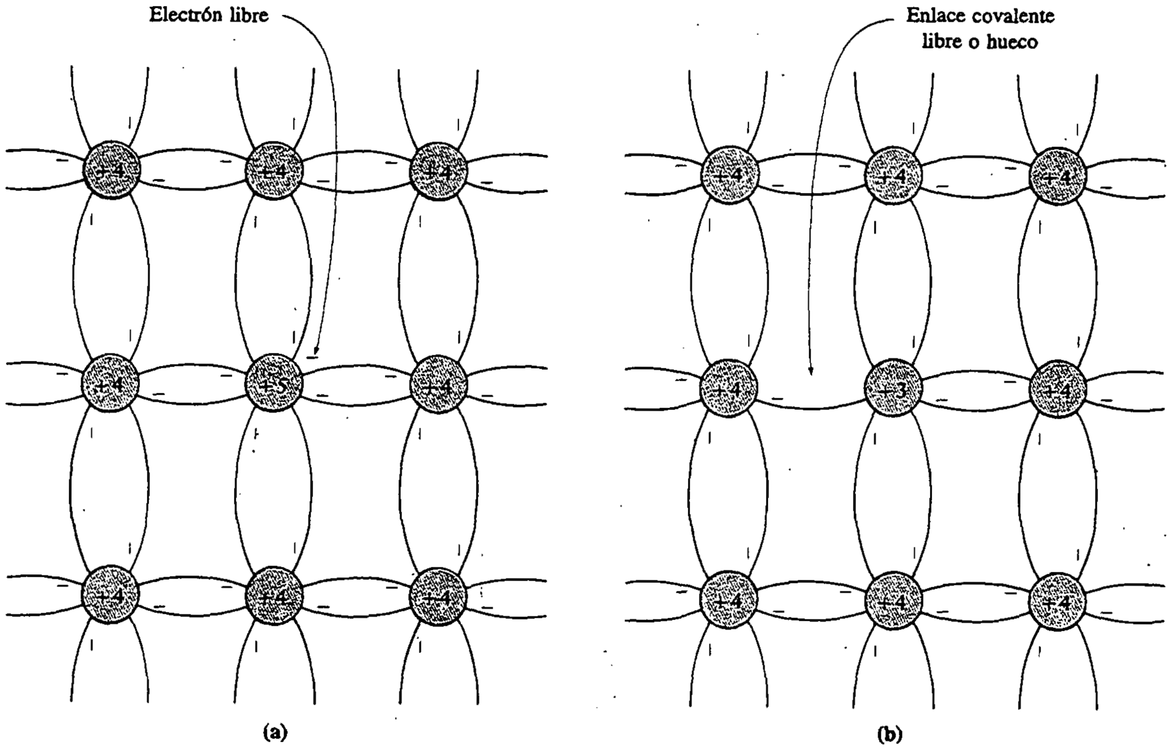


Figura 1.8 Estructura del cristal en semiconductores contaminados.

un semiconductor se puede aumentar en forma considerable cuando se introducen cantidades pequeñas de impurezas específicas en el cristal. Este procedimiento se llama *contaminación.* Si la sustancia contaminante tiene electrones libres extra, se conoce como *donador,* y el semiconductor contaminado es de *tipo n.* Los *portadores mayoritarios* son electrones y los *portadores minoritarios* son huecos, pues existen más electrones que huecos.

Si la sustancia contaminante tiene huecos extra, se conoce como *aceptor* o *receptor,* y el semiconductor contaminado es de *tipo p.* Los portadores mayoritarios son huecos y los minoritarios son electrones. En la figura 1.8 se ilustran las estructuras cristalinas de un semiconductor de tipo n (Fig. 1.8(a)) y de otro de tipo p (Fig. 1.8(b)). Los materiales contaminados se conocen como *semiconductores extrínsecos,* mientras que las sustancias puras son *materiales intrínsecos.* El cristal semiconductor intrínseco tiene igual concentración de electrones libres y huecos generados por ionización térmica. La densidad de electrones se denota por n y la densidad de huecos por p. Se puede demostrar que el producto, np, es una constante para un material dado a una temperatura dada.

La densidad intrínseca de portadores, que se denota con n_i, está dada por la raíz cuadrada de este producto. Entonces,

$$n_i^2 = np$$

Como estas concentraciones están provocadas por ionización térmica, n_i depende de la temperatura del cristal. Se concluye entonces que n o p, o ambos, tienen que ser función de la temperatura. La concentración de huecos minoritarios es función de la temperatura en el material contaminado de tipo n y la densidad de electrones mayoritarios es independiente de la temperatura. En forma similar, la concentración de electrones minoritarios es función de la temperatura en los materiales de tipo p, mientras que la densidad de huecos mayoritarios es independiente de la temperatura. Recuérdese que el semiconductor contaminado es aún eléctricamente neutro, pues la mayoría de los portadores libres son neutralizados por la capa de cargas asociadas con los átomos de impureza.

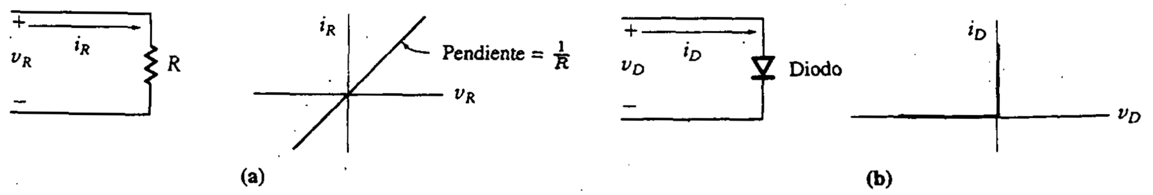
La resistencia de un semiconductor se conoce como *resistencia de bloque*. Un semiconductor ligeramente contaminado tiene una alta resistencia de bloque.

1.2 DIODOS SEMICONDUCTORES

El circuito lineal más simple es el resistor. La tensión a través de este elemento está relacionada con la corriente que lo atraviesa mediante la ley de Ohm. Esta relación se representa de manera gráfica por medio de una línea recta, como se muestra en la figura 1.9(a). La pendiente de esta línea es la conductancia del resistor, es decir, el factor de corriente a tensión. La inversa de esta pendiente es la resistencia en ohms (Ω). Si el resistor se conecta en cualquier circuito, el punto de operación debe caer en algún lugar de esta curva.

El diodo ideal es un dispositivo no lineal con característica de corriente contra tensión, como la mostrada en la figura 1.9(b). Esta característica se conoce como *lineal a segmentos*, ya que la curva se construye con segmentos de rectas. Nótese que si se intenta colocar una tensión positiva (o directa) a través del diodo, no se tiene éxito y la tensión se limita a cero. La pendiente de la curva es infinita. Por tanto, bajo esta condición la resistencia es cero y el diodo se comporta como un cortocircuito. Si se coloca una tensión negativa (o inversa) a través del diodo, la corriente es cero y la pendiente de la curva también es cero. Por tanto, el diodo se comporta ahora como una resistencia infinita, o circuito abierto.

Figura 1.9 Curvas de operación para un resistor y un diodo ideal.



1.2.1 Construcción del diodo

En la figura 1.10 se muestra un material de tipo p y otro de tipo n colocados juntos para formar una unión. Esto representa un modelo simplificado de construcción del diodo. El modelo ignora los cambios graduales en la concentración de impurezas en el material. Los diodos prácticos se construyen como una sola pieza de material semiconductor, en la que un lado se contamina con material de tipo p y el otro con material de tipo n.

También se muestra en la figura 1.10 el símbolo esquemático del diodo. Nótese que, en este símbolo, la "flecha" apunta del material de tipo p al material de tipo n.

Los materiales más comunes utilizados en la construcción de diodos son tres: germanio, silicio y arseniuro de galio. En general, el silicio ha reemplazado al germanio en los diodos debido a su mayor barrera de energía que permite la operación a temperaturas más altas, y los costos de material son mucho menores. El arseniuro de galio es particularmente útil en aplicaciones de alta frecuencia y microondas. Sin embargo, resulta más caro que el silicio, y la fabricación de diodos de arseniuro de galio es difícil.

La distancia precisa en la que se produce el cambio de material de tipo p a tipo n en el cristal varía con la técnica de fabricación. La característica esencial de la unión pn es que el cambio en la concentración de impurezas se debe producir en una distancia relativamente corta. De otra manera, la unión no se comportará como un diodo. Existen casos donde la unión pn no se puede tratar como un cambio abrupto en el tipo de material, sobre todo cuando el diodo se forma por difusión. Esto provoca que la contaminación cercana a la unión esté *escalonada*; esto es, las concentraciones de donadores y receptores son una función de la distancia a través de la unión [2, 14, 36, 37, 44, 53, 57, 61].

Habrá una *región desértica* en la vecindad de la unión, como se muestra en la figura 1.11(a). Este fenómeno se debe a la combinación de huecos y electrones donde se unen los materiales. La región desértica tendrá muy pocos portadores. Los portadores minoritarios a cada lado de esta región (electrones en la región p y huecos en la región n) se trasladarán hacia el otro lado y se combinarán con iones en el material. De la misma forma, los portadores mayoritarios (electrones en la región n y huecos en la región p) se moverán a través de la unión.

Sin embargo, los dos componentes de la corriente constituida por el movimiento de huecos y electrones a través de la unión se suman para formar la corriente de difusión, I_D. La dirección de esta corriente es del lado p al lado n. Además de la corriente de difusión, existe otra corriente debido al desplazamiento de portadores minoritarios a través de la unión, y se conoce como I_S. Algunos de los huecos generados térmicamente en el material n se difunden, a través de este material, hacia el borde de la región desértica. Allí experimentan el campo eléctrico y se deslizan, a lo largo de dicha región, hacia el lado p. Los electrones reaccionan de la misma forma. Los componentes de estas acciones se combinan para formar la corriente de deriva, I_S. En condiciones de circuito abierto, la corriente de difusión es igual a la corriente de deriva (en equilibrio).

Si ahora se aplica un potencial positivo al material p en relación con el material n, como se muestra en la figura 1.11(b), se dice que el diodo está *polarizado*

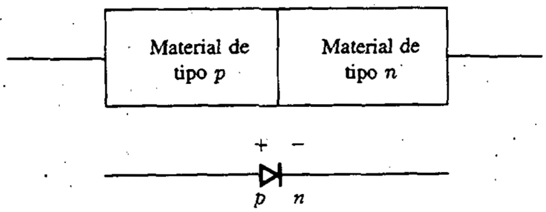


Figura 1.10
Modelo simplificado del diodo.

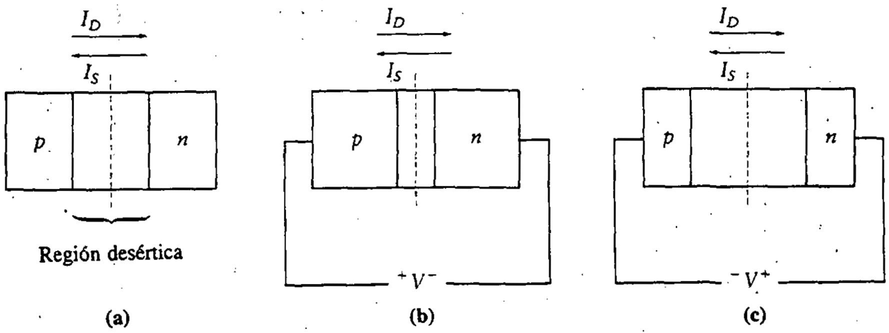


Figura 1.11
Regiones desérticas.

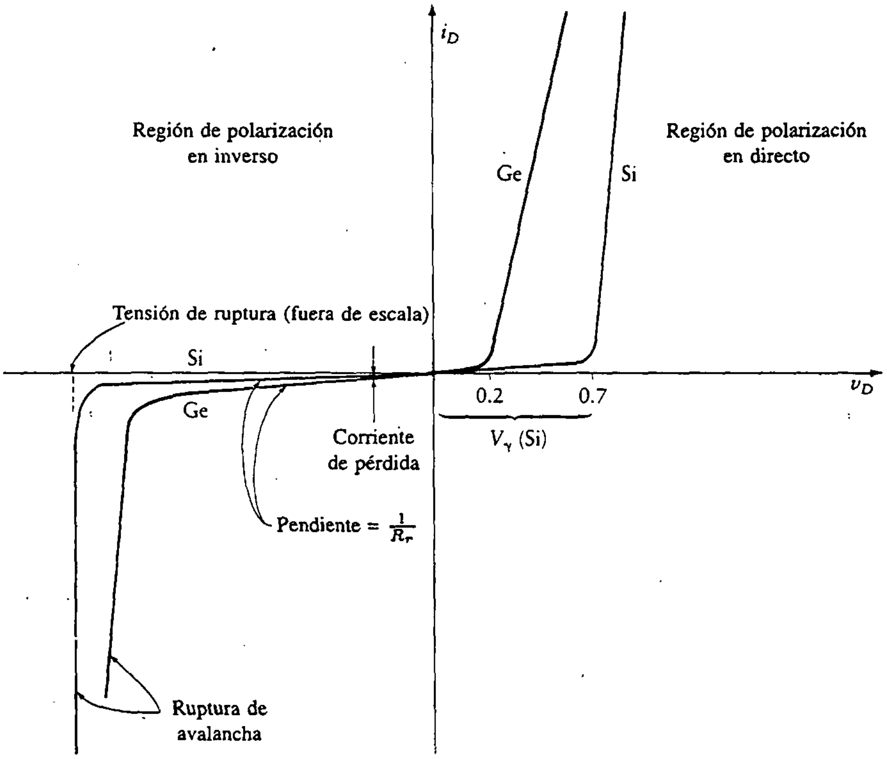
en directo. La región desértica disminuye de tamaño debido a la atracción de portadores mayoritarios al lado opuesto. Esto es, el potencial negativo a la derecha atrae huecos a la región p, y viceversa. Con una región desértica más pequeña, la corriente puede fluir con mayor rapidez. Cuando se polariza en directo, $I_D - I_S = I$ después de alcanzar el equilibrio, donde I es la corriente a través de la unión.

Por otra parte, si la tensión se aplica como en la figura 1.11(c), el diodo se *polariza en inverso.* Los electrones libres se llevan del material n hacia la derecha; y, del mismo modo, los huecos se llevan hacia la izquierda. La región desértica se hace más ancha y el diodo actúa como un aislante. Cuando se polariza en inverso, $I_S - I_D = I$ luego de alcanzar el equilibrio, donde I es la corriente a través de la unión.

1.2.2 Operación del diodo

En la figura 1.12 se ilustran las características de operación de un diodo *práctico.* Esta curva difiere de la característica ideal de la figura 1.9(b) en los siguientes puntos: conforme la tensión en directo aumenta más allá de cero, la corriente no fluye de inmediato. Es necesaria una tensión mínima, denotada por V_γ, para obtener una corriente significativa. Conforme la tensión tiende a exceder V_γ, la corriente aumenta con rapidez. La pendiente de la curva característica es grande pero no infinita, como en el caso del diodo ideal. La tensión mínima necesaria para obtener una corriente significativa, V_γ, es aproximadamente 0.7 V para semiconductores

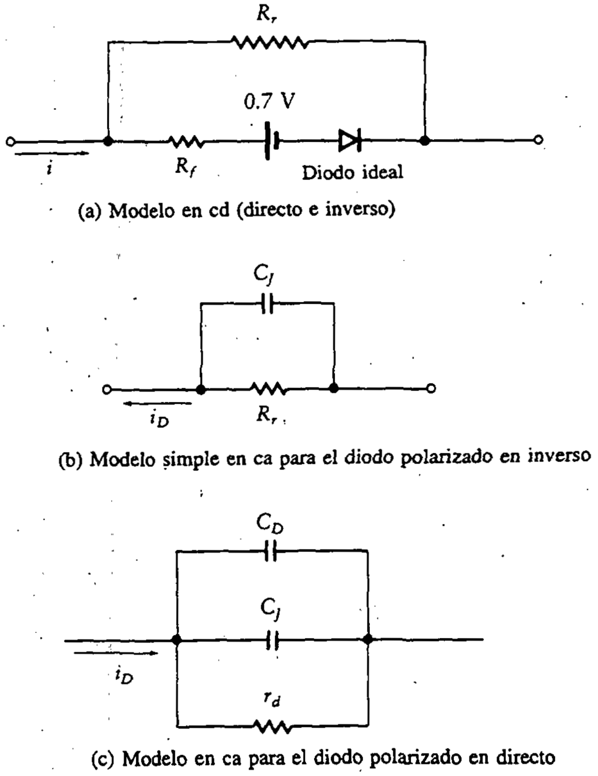
Figura 1.12 Características de operación del diodo.



de silicio (a temperatura ambiente) y 0.2 V para semiconductores de germanio. La diferencia de tensión para el silicio y el germanio radica en la estructura atómica de los materiales. Para diodos de arseniuro de galio, V_γ es más o menos 1.2 V.

Cuando el diodo está polarizado en inverso, existe una pequeña corriente de fuga. Esta corriente se produce siempre que la tensión sea inferior a la requerida para romper la unión. La corriente de fuga es mucho mayor para los diodos de germanio que para los de silicio o arseniuro de galio. Si la tensión negativa es lo suficientemente grande como para estar en la región de ruptura, podría destruirse un diodo normal. Esta tensión de ruptura se define como ***tensión inversa pico*** (PIV, ***peak inverse voltage***) en las especificaciones del fabricante (el Ap. D contiene hojas de especificaciones representativas. A menudo se hará referencia a ellas en el texto, por lo que sería conveniente tomar unos minutos para localizarlas en este momento). La curva de la figura 1.12 no está a escala en la región inversa, ya que la ruptura por avalancha suele tener valores negativos de tensión elevados (generalmente 50 V o más). El daño al diodo normal en ruptura se debe a la avalancha de electrones, que fluyen a través de la unión con poco incremento en la tensión. La corriente muy grande puede destruir el diodo si se genera excesivo calor. Esta ruptura a menudo se conoce como la tensión de ruptura del diodo (V_{BR}).

Figura 1.13
Modelos de diodos.



Los diodos se pueden construir para utilizar la tensión de ruptura a fin de simular un dispositivo de control de tensión. El resultado es un diodo Zener, que se analiza en la sección 1.6.

1.2.3 Modelos de circuito equivalentes del diodo

El circuito mostrado en la figura 1.13(a) representa un modelo simplificado del diodo de silicio bajo condiciones de operación en *cd* tanto en directo como en inverso. Las relaciones para este modelo se aproximan a las curvas de operación del diodo de la figura 1.12. El resistor R_r representa la resistencia en polarización inversa del diodo y, por lo general, es del orden de megaohms (MΩ). El resistor R_f representa la resistencia de bloque y contacto del diodo, y suele ser menor que 50 Ω. Cuando se encuentra polarizado en directo, el diodo ideal es un cortocircuito, o resistencia cero. La resistencia de circuito del diodo práctico modelado en la figura 1.13(a) es

$$R_r \parallel R_f \approx R_f$$

Bajo condiciones de polarización en inverso, el diodo ideal tiene resistencia infinita (circuito abierto), y la resistencia de circuito del modelo práctico es R_r. El diodo ideal que es parte del modelo de la figura 1.13(a) está polarizado en directo cuando la tensión entre sus terminales excede de 0.7 V.

Los modelos de circuito en *ca* son más complejos debido a que la operación del diodo depende de la frecuencia. En la figura 1.13(b) se muestra un modelo simple en ca para un diodo polarizado en inverso. El capacitor, C_J, representa la capacitancia de unión. En la figura 1.13(c) se muestra el circuito equivalente en ca para un diodo polarizado en directo. El modelo incluye dos capacitores, el *capacitor de difusión*, C_D, y el *capacitor de unión*, C_J. La capacitancia de difusión, C_D, se aproxima a cero para diodos polarizados en inverso. La *resistencia dinámica* es r_d y está dada por la pendiente de la característica tensión-corriente. A bajas frecuencias, los efectos capacitivos son pequeños y r_d es el único elemento significativo.

1.3 FÍSICA DE LOS DIODOS DE ESTADO SÓLIDO

Ahora que se ha analizado la construcción del diodo y presentado una breve introducción a los modelos prácticos del diodo, se explorarán algunos aspectos más detallados de las diferencias entre diodos prácticos e ideales. En el apéndice B se incluyen detalles adicionales.

1.3.1 Distribución de carga

Los diodos se pueden visualizar como la combinación de un semiconductor de tipo n conectado a un semiconductor de tipo p. Sin embargo, en una producción real, se forma un solo cristal semiconductor con una parte del cristal contaminada por material de tipo n y la otra parte contaminada por material de tipo p.

Cuando existen materiales de tipo p y de tipo n juntos en un cristal, se produce una redistribución de carga. Algunos de los electrones libres del material n migran a través de la unión y se combinan con huecos libres en el material p. De la misma forma, algunos de los huecos libres del material p se mueven a través de la unión y se combinan con electrones libres en el material n. Como resultado de esta redistribución de carga, el material p adquiere una carga negativa neta y el material n obtiene una carga positiva neta. Estas cargas crean un campo eléctrico y una diferencia de potencial entre los dos tipos de material que inhiben cualquier otro movimiento de carga. El resultado es una reducción en el número de portadores de corriente cerca de la unión. Esto sucede en un área conocida como *región desértica*. El campo eléctrico resultante proporciona una *barrera de potencial*, o *colina*, en

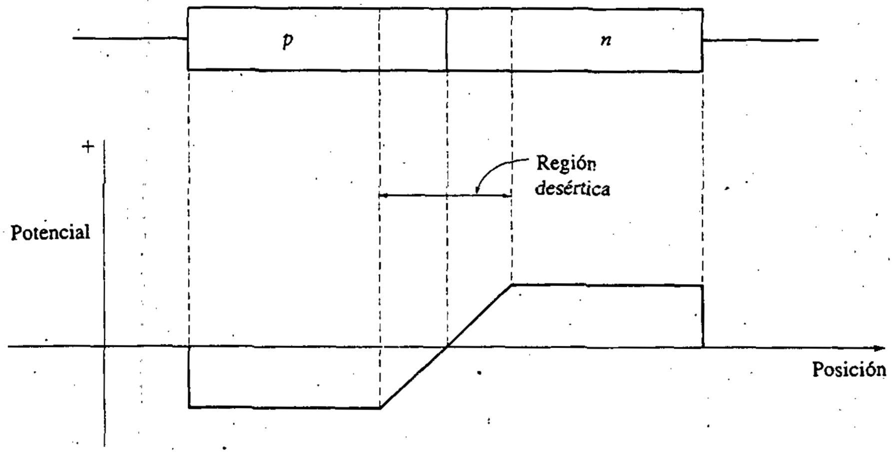


Figura 1.14
Barreras de potencial.

una dirección que inhibe la migración de portadores a través de la unión. Esto se muestra en la figura 1.14. Para producir una corriente a través de la unión, se debe reducir la barrera de potencial o colina aplicando una tensión con la polaridad apropiada a través del diodo.

1.3.2 Relación entre la corriente y la tensión en un diodo

Existe una relación exponencial entre la corriente del diodo y el potencial aplicado. *Es posible escribir una expresión única para la corriente que se aplique a condiciones de polarización tanto en directo como en inverso.* La expresión se aplica siempre que la tensión no exceda la tensión de ruptura. La relación se describe por medio de la ecuación (1.1).

$$i_D = I_o\left[\exp\left(\frac{qv_D}{nkT}\right) - 1\right] \tag{1.1}$$

Los términos de la ecuación (1.1) se definen como sigue:

i_D = corriente en el diodo
v_D = diferencia de potencial a través del diodo
I_o = corriente de fuga
q = carga del electrón: 1.6×10^{-19} coulombs (C)
k = constante de Boltzmann: 1.38×10^{-23} J/°K
T = temperatura absoluta en grados Kelvin
n = constante empírica entre 1 y 2, que a veces se refiere como el *factor exponencial de idealidad*

La ecuación (1.1) se puede simplificar definiendo

$$V_T = \frac{kT}{q}$$

Esto da

$$i_D = I_o \left[\exp\left(\frac{v_D}{nV_T}\right) - 1\right] \tag{1.2}$$

Si se opera a temperatura ambiente (25°C) y sólo en la región de polarización en directo ($v_D > 0$), entonces predomina el primer término en el paréntesis y la corriente está dada aproximadamente por

$$i_D = I_o \exp\left(\frac{v_D}{nV_T}\right) \tag{1.3}$$

Estas ecuaciones se ilustran en la figura 1.15.

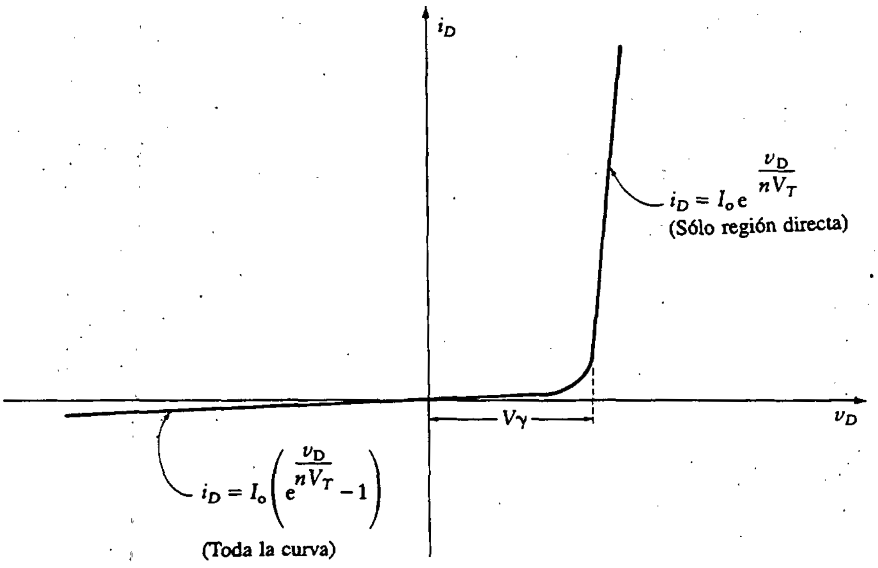
La corriente de saturación inversa, I_o, es función de la pureza del material, de la contaminación y de la geometría del diodo. La constante empírica, n, es un número propiedad de la construcción del diodo y puede variar de acuerdo con los niveles de tensión y de corriente. Sin embargo, algunos diodos operan sobre un intervalo considerable de tensión con una constante n aceptable. Si $n = 1$, el valor de nV_T es de 26 mV a 25°C. Cuando $n = 2$, nV_T tiene un valor de 52 mV. Para diodos de germanio, por lo común se considera que n es 1. Para diodos de silicio, la teoría de Sah-Noyce-Shockley (SNS) [47] predice que n debería ser 2. Aunque se predice el valor de 2, muchos diodos de silicio operan con n en el intervalo $n = 1.3$ a 1.6. El valor de n puede variar un poco, inclusive en una producción particular debido a la tolerancia durante la fabricación, la pureza del material y los niveles de contaminación ([36], Sec. 1.2).

Ya se tiene la información necesaria para evaluar la relación entre la corriente y la tensión en un punto de operación Q. Aunque las curvas para la región en directo mostradas en la figura 1.15 recuerdan una línea recta, se sabe que la línea no es recta, ya que sigue una relación exponencial. Esto significa que la pendiente de la línea se modifica conforme cambia i_D. Se puede diferenciar la expresión de la ecuación (1.3) para encontrar la pendiente en cualquier i_D dada:

$$\frac{di_D}{dv_D} = \frac{I_o \left[\exp\left(\frac{v_D}{nV_T}\right)\right]}{nV_T} \tag{1.4}$$

Para eliminar la función exponencial, se resuelve la ecuación (1.2) a fin de obtener

Figura 1.15
Relación tensión-corriente en el diodo.



$$\exp\left(\frac{v_D}{nV_T}\right) = \frac{i_D}{I_o} + 1$$

Entonces, al sustituir esta expresión en la ecuación (1.4) se tiene

$$\frac{di_D}{dv_D} = \frac{(i_D + I_o)}{nV_T}$$

La resistencia dinámica, r_d, es el recíproco de esta expresión, o

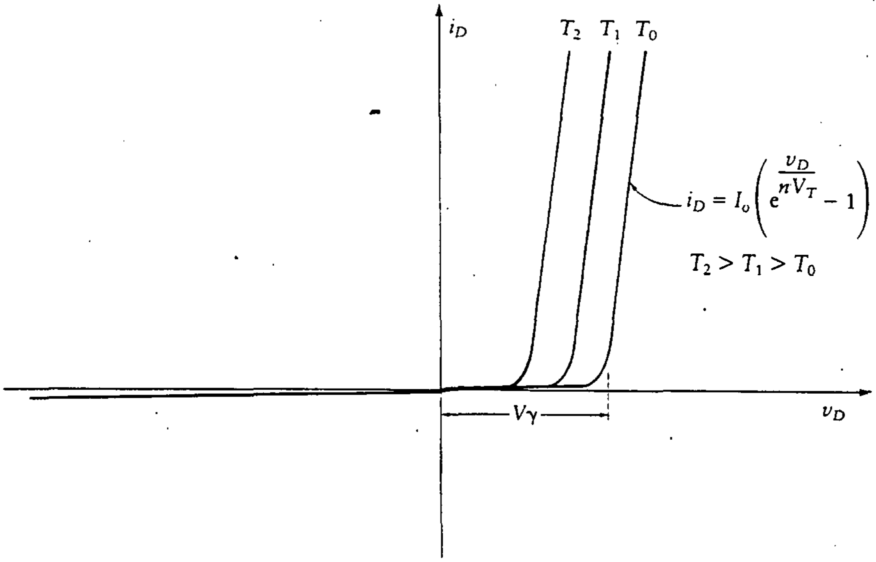
$$r_d = \frac{nV_T}{(i_D + I_o)} \approx \frac{nV_T}{i_D}$$

Aunque se sabe que r_d cambia cuando cambia i_D, se puede suponer fija para un intervalo de operación específico. Se utiliza el término R_f para denotar la resistencia del diodo en directo, la cual se compone de r_d y la resistencia de contacto.

1.3.3 Efectos de la temperatura

La temperatura tiene un papel importante en la determinación de las características operacionales de los diodos. Los cambios en estas características provocados por cambios de temperatura requieren ajustes en el diseño y empaquetado de los circuitos.

Figura 1.16
Dependencia de I_D hacia la temperatura.



Conforme aumenta la temperatura, disminuye la tensión de encendido V_γ. Por otra parte, un descenso en la temperatura provoca un incremento en V_γ. Esto se ilustra en la figura 1.16. Aquí V_γ varía linealmente con la temperatura de acuerdo con la siguiente ecuación (se supone que la corriente del diodo, i_D, se mantiene constante):

$$V_\gamma(T_1) - V_\gamma(T_o) = k(T_1 - T_o)$$

donde

T_o = temperatura ambiente, o 25°C

T_1 = nueva temperatura del diodo en °C

$V_\gamma(T_o)$ = tensión del diodo a temperatura ambiente

$V_\gamma(T_1)$ = tensión del diodo a la nueva temperatura

k = coeficiente de temperatura en V/°C

Aunque de hecho k varía con cambios en los parámetros de operación, la práctica estándar en ingeniería permite suponer que es constante. A continuación se muestran valores de k para varios tipos de diodos ([50], Sec. 1.11):

$k = -2.5$ mV/°C para diodos de germanio

$k = -2.0$ mV/°C para diodos de silicio

$k = -1.5$ mV/°C para diodos de Schottky

$V_\gamma(T_o)$ es igual a los valores mostrados abajo.

diodos de silicio:	0.7 V
diodos de germanio:	0.2 V
diodos Schottky:	0.3 V
diodos de arseniuro de galio:	1.2 V

La corriente de saturación en inverso, I_o, es otro parámetro que depende de la temperatura. Aumenta aproximadamente 7.2%/°C para diodos tanto de silicio como de germanio. En otras palabras, I_o se duplica más o menos por cada 10°C de aumento en la temperatura. La expresión para la corriente de saturación inversa en función de la temperatura es

$$I_o(T_2) = I_o(T_1)\exp\left[k_i(T_2 - T_1)\right]$$

donde

$$k_i = 0.072/°C$$

y T_1 y T_2 son dos temperaturas diferentes. Esta expresión se puede simplificar y reescribir como:

$$I_o(T_2) = I_o(T_1)2^{(T_2-T_1)/10} \tag{1.5}$$

Esta simplificación es posible porque

$$e^{0.72} \approx 2$$

Ejercicios

D1.1 Cuando un diodo está en conducción a 25°C, hay una caída de 0.7 V entre sus terminales. ¿Cuál es la tensión, V_γ, a través del diodo a 100°C?

Resp.: $V_\gamma = 0.55$ V

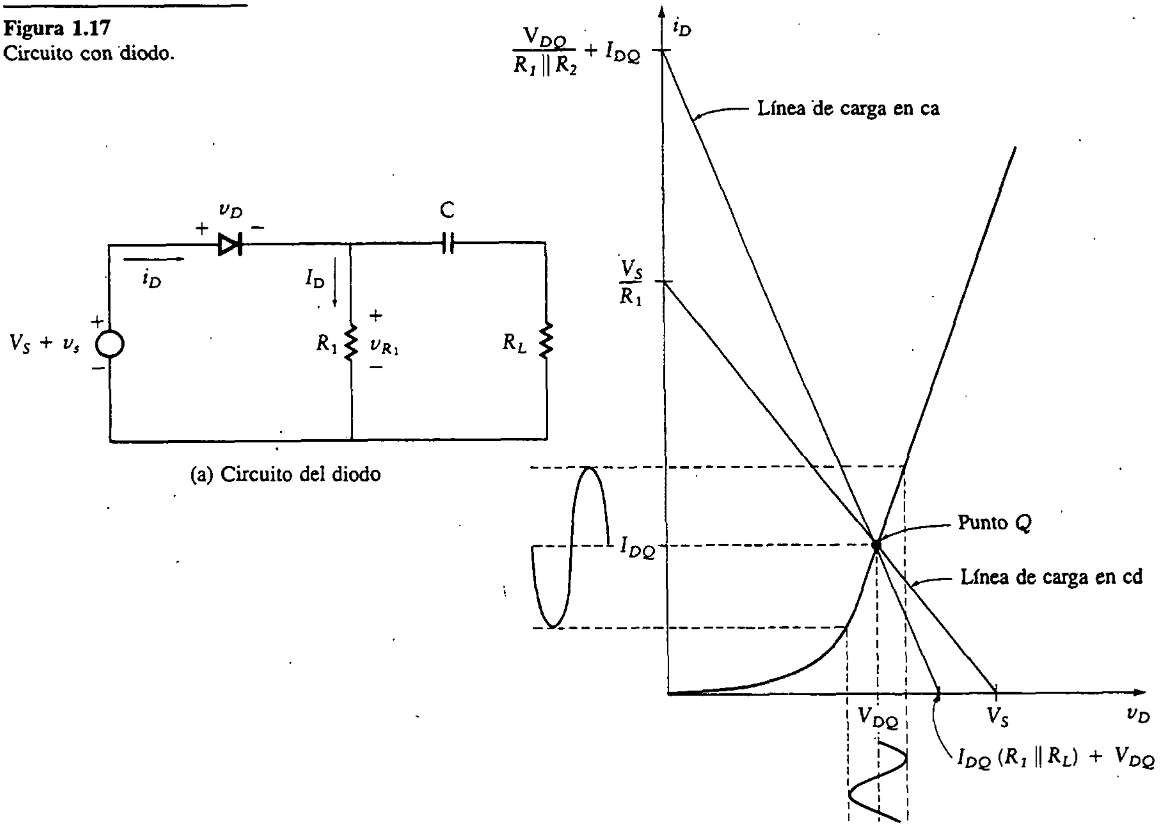
D1.2 El diodo descrito en el ejercicio D1.1 se enfría a −100°C. ¿Cuál es la tensión necesaria para establecer una corriente apreciable a la nueva temperatura?

Resp.: $V_\gamma = 0.95$ V

1.3.4 Líneas de carga del diodo

Como el diodo es un dispositivo no lineal, se deben modificar las técnicas estándar de análisis de circuitos. No se pueden escribir ecuaciones simples y resolver para las variables, ya que las ecuaciones sólo son válidas dentro de una región particular de operación.

Figura 1.17
Circuito con diodo.



(b) Línea de carga en el diodo

A menudo un circuito contiene fuentes de cd y fuentes variables en el tiempo. Si se hace a las fuentes variables iguales a cero, la única energía suministrada a los circuitos proviene de las fuentes de cd. Con las fuentes variables en el tiempo fuera del circuito, la tensión y la corriente en el diodo definen lo que se conoce como *punto de operación en reposo* (*punto* Q).

En la figura 1.17(a) se ilustra un circuito con un diodo, un capacitor, una fuente y dos resistores. Si se denomina a la corriente y a la tensión del diodo como las dos incógnitas del circuito, se necesitan dos ecuaciones independientes que incluyan estas dos incógnitas para encontrar una solución única para el punto de operación. Una de las ecuaciones es la restricción proporcionada por los elementos conectados al diodo. La segunda es la relación real entre corriente y tensión para el diodo. Estas dos ecuaciones se deben resolver simultáneamente para determinar la tensión y la corriente en el diodo. Esta solución simultánea se puede llevar a cabo en forma gráfica.

Si en primer lugar se toma la condición de cd, la fuente de tensión se vuelve simplemente V_S, y el capacitor es un circuito abierto (es decir, la impedancia del

capacitor es infinita a frecuencia cero). Por tanto, la ecuación de lazo se puede escribir como

$$V_S = V_D + V_{R1} = V_D + I_D R_1$$

o

$$V_D = -R_1 I_D + V_S \tag{1.6}$$

Esta es la primera de dos ecuaciones que incluyen la corriente y la tensión del diodo. Es necesario combinarla con la característica del diodo y resolver para el punto de operación. La gráfica de esta ecuación se muestra en la figura 1.17(b) y se etiqueta como "línea de carga en cd". La gráfica de la característica del diodo también se muestra en el mismo conjunto de ejes. La intersección de las dos gráficas da la solución simultánea de las dos ecuaciones y se etiqueta como "punto Q" en la figura. Este es el punto en el cual opera el circuito con las entradas variables iguales a cero. La Q (*quiescent*) denota condición de reposo.

Si ahora se aplica una señal variable en el tiempo además de la entrada de cd, cambia una de las dos ecuaciones simultáneas. Si se supone que la entrada variable es de una frecuencia suficientemente alta como para permitir la aproximación del capacitor como un cortocircuito, la nueva ecuación está dada por (1.7):

$$v_s = v_d + i_d(R_1 \parallel R_L)$$

o

$$v_d = -(R_1 \parallel R_L) i_d + v_s \tag{1.7}$$

De los muchos parámetros, sólo se han considerado los componentes variables en el tiempo. (Nótese la utilización de letras minúsculas para las variables. Considérese la simbología de etiquetas presentada al principio del texto.) Entonces, el valor total de los parámetros está dado por

$$v_D = v_d + V_{DQ}$$
$$i_D = i_d + I_{DQ}$$

y la ecuación (1.7) se vuelve

$$v_D = V_{DQ} = -(R_1 \parallel R_L)(i_D - I_{DQ}) + v_s$$

Esta última ecuación se etiqueta como "línea de carga en ca" en la figura 1.17(b). La línea de carga en ca debe pasar a través del punto Q, ya que en los momentos en que la parte variable se hace cero, las dos condiciones de operación (cd y ca) deben coincidir. Por tanto, la línea de carga en ca se determina de manera única.

Ejemplo 1.1

La fuente de tensión,

$$v_S = 1.1 + 0.1 \operatorname{sen} 1000t$$

se coloca a través de una combinación en serie de un diodo y un resistor de 100 Ω, como se muestra en la figura 1.18. Encuéntrese la corriente, i_D, si

$$nV_T = 40 \text{ mV}$$
$$V_\gamma = 0.7 \text{ V}$$

SOLUCIÓN Se utiliza LTK para la ecuación en cd a fin de obtener

$$V_S = V_\gamma + I_D R_L$$
$$I_D = \frac{V_S - V_\gamma}{R_L} = \frac{1.1 - 0.7}{100} = 4 \text{ mA}$$

Esto fija el punto de operación en cd del diodo. Se necesita determinar la resistencia dinámica (se utiliza el símbolo R_f en vez de r_d, porque el primero incluye la resistencia de contacto) para poder establecer la resistencia de la unión polarizada en directo para la señal de ca.

Utilizando la ecuación (1.4a) y suponiendo que la resistencia de contacto es despreciable, se tiene

$$R_f = \frac{nV_T}{I_D} = \frac{40 \text{ mV}}{4 \text{ mA}} = 10 \ \Omega$$

Ahora se puede reemplazar el diodo por un resistor de 10 Ω, con la salvedad de que permanezca polarizado en directo durante todo el periodo de la señal de entrada de ca. Utilizando otra vez LTK, se obtiene

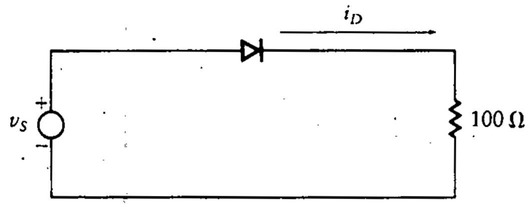
$$v_s = R_f i_d + R_L i_d$$
$$i_d = \frac{v_s}{R_f + R_L} = \frac{0.1 \operatorname{sen} 1000t}{110} = 0.91 \operatorname{sen} 1000t \text{ mA}$$

Por tanto, la corriente del diodo está dada por

$$i_D = 4 + 0.91 \operatorname{sen} 1000t \text{ mA}$$

Como i_D siempre es positiva, el diodo se encuentra polarizado en directo todo el tiempo, y la solución está completa.

Figura 1.18
Circuito con diodo en serie.



Si la amplitud de la corriente en ca es mayor que el valor de la corriente en cd, la solución se debe modificar. En ese caso, cuando la amplitud de corriente en ca en la parte negativa es mayor que el valor en cd, el diodo se polariza en inverso y la corriente se anula. Esta situación se analiza en la sección 1.8.

1.3.5 Capacidad de manejo de potencia

Los diodos se clasifican de acuerdo con su capacidad de manejo de corriente. Las características se determinan por la construcción física del diodo (por ejemplo, el tamaño de la unión, el tipo de empaque y el tamaño del diodo). Las especificaciones del fabricante se utilizan para determinar la capacidad de potencia de un diodo para ciertos intervalos de temperatura. Algunos diodos, como los de potencia, se clasifican por su capacidad de paso de corriente.

La potencia instantánea disipada por un diodo se define por medio de la expresión de la ecuación (1.8):

$$p_D = v_D i_D \tag{1.8}$$

1.3.6 Capacitancia del diodo

El circuito equivalente del diodo incluye un pequeño capacitor. El tamaño de este capacitor depende de la magnitud y polaridad de la tensión aplicada al diodo, así como de las características de la unión formada durante la fabricación.

En el modelo simple del diodo de unión mostrado en la figura 1.19, la región alrededor de la unión es deficiente en electrones y huecos. En el lado p de la unión existe una gran concentración de huecos, mientras que en el lado n la concentración de electrones es grande. La difusión de estos electrones y huecos se produce cerca de la unión, provocando una *corriente de difusión* inicial. Cuando los huecos se difunden hacia la región n a través de la unión, se combinan rápidamente con los electrones mayoritarios presentes en el área y desaparecen. Del mismo modo, los electrones se difunden a través de la unión, se recombinan y desaparecen. Esto forma una *región desértica* (a veces llamada *región de carga espacial*) cerca de la unión debido a la recombinación de electrones y huecos. Conforme se aplica una tensión inversa a través de la unión, esta región se ensancha, provocando que la región desértica aumente de tamaño.

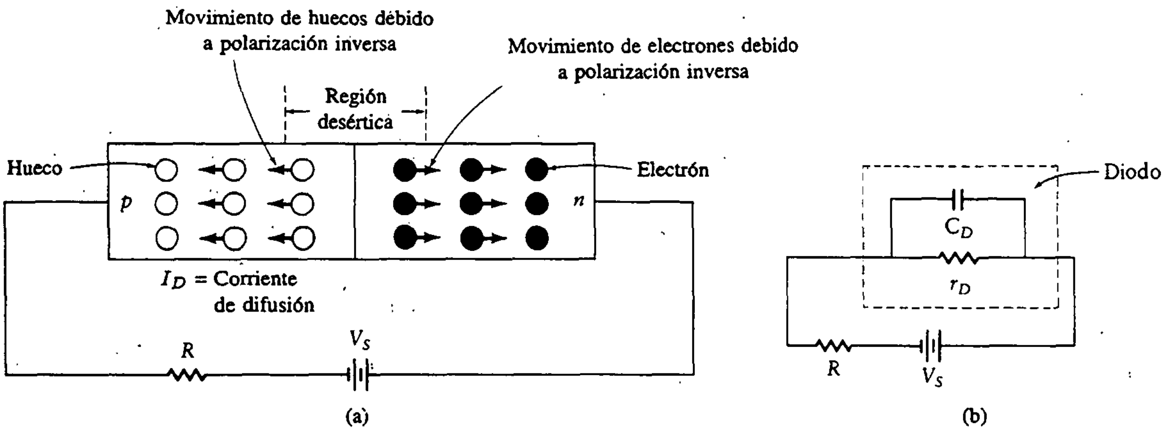


Figura 1.19 Modelo de diodo y circuito equivalente.

La región desértica actúa como aislante. Por tanto, un diodo polarizado en inverso actúa como un capacitor cuya capacitancia varía en razón inversa a la raíz cuadrada de la tensión a través del material semiconductor.

La capacitancia equivalente para diodos de alta velocidad es inferior a 5 pF. Esta capacitancia puede llegar a ser tan grande como 500 pF en diodos de alta corriente (baja velocidad). Se deben consultar las especificaciones del fabricante para determinar la cantidad predicha de capacitancia para una condición de operación dada.

1.4 RECTIFICACIÓN

Ya se está en posibilidad de ver la forma en que se acomoda un diodo para realizar una función útil. La primera aplicación importante por considerar es la *rectificación*.

La rectificación es el proceso de convertir una señal alterna (ca) en otra que se restringe a una sola dirección (cd). La rectificación se clasifica ya sea como de *media onda* o de *onda completa.*

1.4.1 Rectificación de media onda

Como un diodo ideal puede mantener el flujo de corriente en una sola dirección, se puede utilizar para cambiar una señal de ca en una de cd.

En la figura 1.20 se ilustra un circuito *rectificador de media onda* simple. Cuando la tensión de entrada es positiva, el diodo se polariza en directo y se puede reemplazar por un cortocircuito (suponiendo que sea ideal). Si la tensión de entrada es negativa, el diodo se polariza en inverso y se puede reemplazar por un circuito abierto (siempre que la tensión no sea muy negativa como para romper la

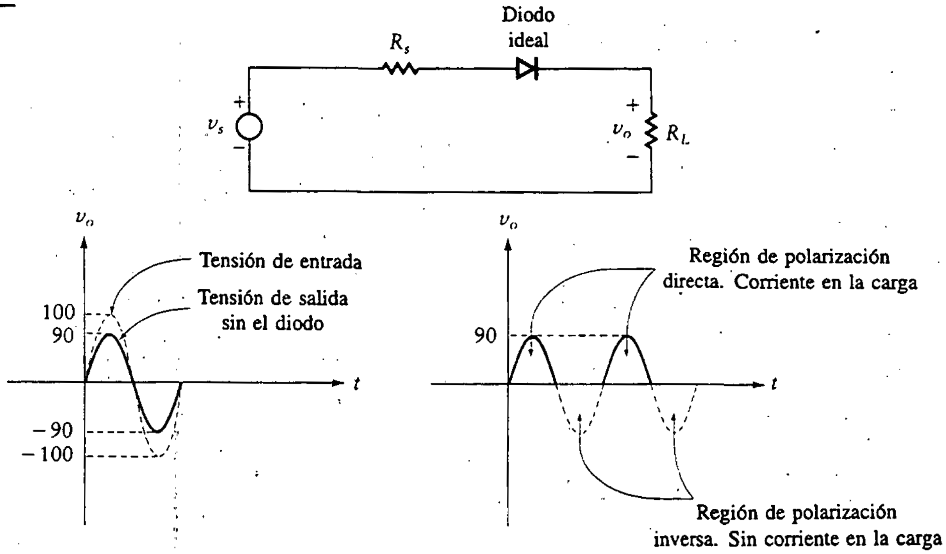


Figura 1.20
Rectificador de media onda.

unión). Por tanto, cuando el diodo se polariza en directo, la tensión de salida a través del resistor de carga se puede encontrar a partir de la relación de un divisor de tensión. Por otra parte, en condición de polarización inversa, la corriente es cero, de manera que la tensión de salida también es cero.

En la figura 1.20 se muestra un ejemplo de la forma de onda de salida suponiendo una entrada senoidal de 100 V, $R_s = 10\ \Omega$ y $R_L = 90\ \Omega$.

El rectificador de media onda se puede utilizar para crear una salida de cd casi constante si se filtra la forma de onda de la figura 1.20. La operación de filtración se comenta en la sección 1.4.3. Se nota que el rectificador de media onda no es muy eficiente. Durante la mitad de cada ciclo, la entrada se bloquea completamente desde la salida. Si se pudiera transferir energía de la entrada a la salida durante este medio ciclo, se podría incrementar la potencia de salida para una entrada determinada.

1.4.2 Rectificación de onda completa

Un *rectificador de onda completa* transfiere energía de la entrada a la salida durante todo el ciclo y proporciona mayor corriente promedio por cada ciclo en relación con la que se obtiene utilizando un rectificador de media onda. Por lo general, al construir un rectificador de onda completa se utiliza un transformador con el fin de obtener polaridades positivas y negativas. En la figura 1.21 se muestran un circuito representativo y la curva de la tensión de salida.

El *promedio* de una función periódica se define como la integral de la función sobre un periodo dividida por el periodo. Es igual al primer término del desarrollo de la función en series de Fourier. El rectificador de onda completa produce el *doble* de corriente promedio en relación con el rectificador de media onda. (Verifíquese esta aseveración.)

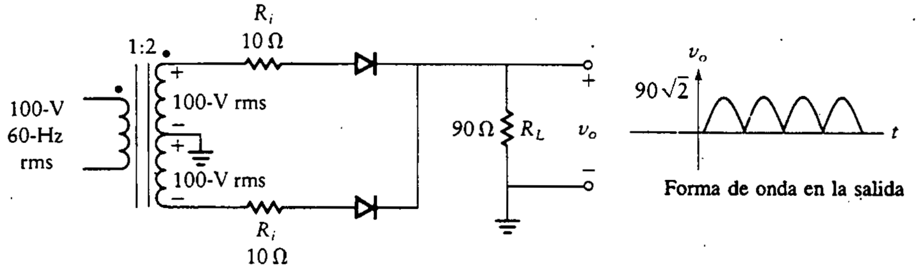


Figura 1.21
Rectificador de onda completa.

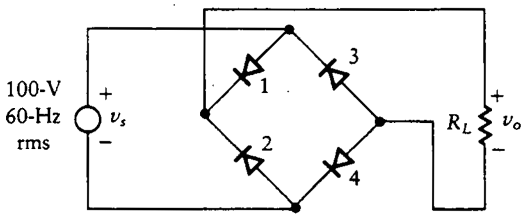


Figura 1.22
Puente rectificador de onda completa.

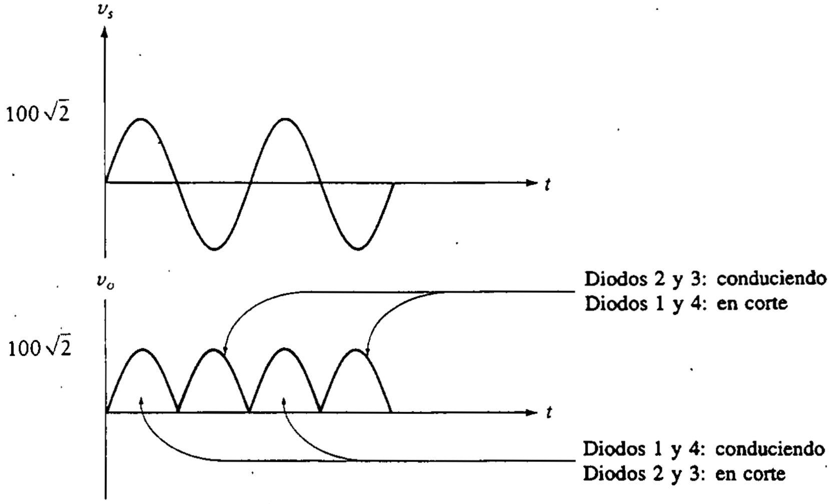


Figura 1.23
Tiempos de conducción en el puente rectificador de diodos.

Es posible hacer la rectificación de onda completa sin utilizar un transformador. El *puente rectificador* de la figura 1.22 realiza la rectificación de onda completa. Cuando la fuente de tensión es positiva, los diodos 1 y 4 conducen y los diodos 2 y 3 son circuitos abiertos. Cuando la fuente de tensión se vuelve negativa, se invierte la situación y los diodos 2 y 3 conducen. Esto se indica en la figura 1.23. El estudio de la figura 1.22 indica una posible falla práctica en el circuito del puente rectificador. Si una de las terminales de la fuente se conecta a tierra, ninguna de las terminales del resistor de carga se puede aterrizar. Hacerlo provocaría un *lazo de tierra*, que eliminaría uno de los diodos. Por tanto, es necesario añadir un transformador a este circuito para aislar entre sí las dos tierras.

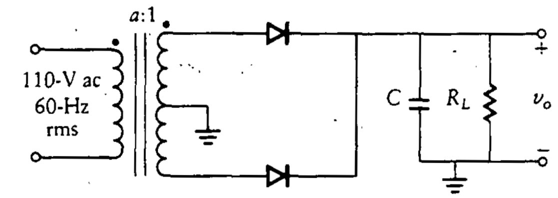


Figura 1.24
Rectificador de onda completa con filtro.

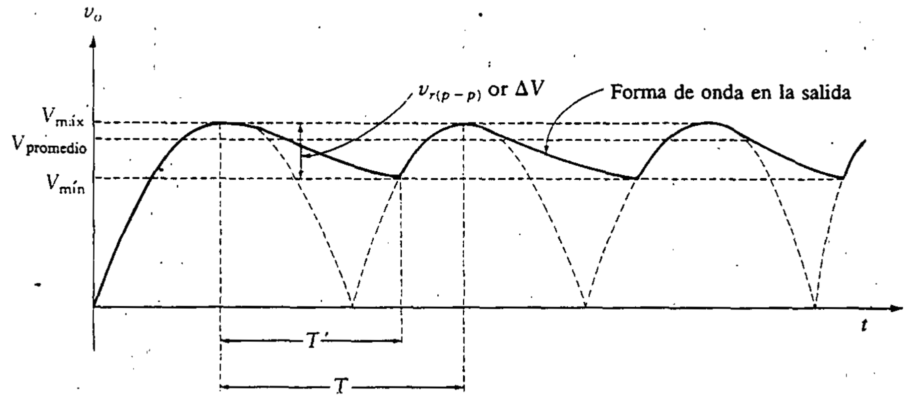


Figura 1.25
Forma de onda filtrada en la salida.

1.4.3 Filtrado

Los circuitos rectificadores de la sección anterior proporcionan una tensión en cd *pulsante* en la tensión de salida. Estas pulsaciones (conocidas como *rizo* de salida) se pueden reducir considerablemente filtrando la tensión de salida del rectificador. El tipo de filtro más común emplea un solo capacitor.

En la figura 1.24 se muestra el rectificador de onda completa, donde se añadió un capacitor en paralelo con el resistor de carga. La tensión de salida modificada se muestra en la figura 1.25.

El capacitor se carga al valor de tensión más alto ($V_{máx}$) cuando la entrada alcanza su máximo valor positivo o negativo. Cuando la tensión de entrada cae por debajo de ese valor, el capacitor no se puede descargar a través de ninguno de los diodos. Por tanto, la descarga se lleva a cabo a través de R_L. Esto conduce a un decaimiento exponencial dado por la ecuación

$$v_o = V_{máx}\, e^{-t/\tau} = V_{máx}\, e^{-t/R_L C} \tag{1.9a}$$

Como ejemplo de una situación de diseño, supóngase que la entrada es una sinusoide de 100 V de amplitud y que la tensión de salida más baja que se puede aceptar en una aplicación dada es de 95 V. Entonces

$$95 = 100\, e^{-T'/R_L C} \tag{1.9b}$$

donde T' es el tiempo de descarga disponible, como se indica en la figura. Se puede resolver C en términos de T' y R_L tomando el logaritmo natural en ambos lados de la ecuación (1.9b):

$$\ln 1.053 = \frac{T'}{R_L C}$$

y, finalmente,

$$C = \frac{19.4T'}{R_L}$$

Esta fórmula es difícil de utilizar en el diseño del filtro (esto es, elegir un valor para C), ya que T' depende de la constante de tiempo R_{LC} y, por tanto, de la incógnita C. Se sabe de cierto que

$$T' < T$$

Para una entrada de 60 Hz, la frecuencia fundamental en la tensión de salida es el doble de este valor, o 120 Hz. Por tanto,

$$T = \frac{1}{f} = \frac{1}{120} = 8.33 \quad \text{ms}$$

Se puede aproximar el valor del filtro capacitor necesario para una carga particular utilizando una aproximación de línea recta, como se muestra en la figura 1.26. La pendiente inicial de la exponencial en la ecuación (1.9a) es

$$m_1 = \frac{-V_{\text{máx}}}{R_L C}$$

que constituye la pendiente de la línea A en la figura 1.26.

La pendiente de la línea B de la figura 1.26 es

$$m_2 = \frac{V_{\text{máx}}}{T/2}$$

Entonces

$$t_1 = \frac{-\Delta V}{m_1} = \frac{R_L C \Delta V}{V_{\text{máx}}}$$

Por triángulos semejantes, se encuentra

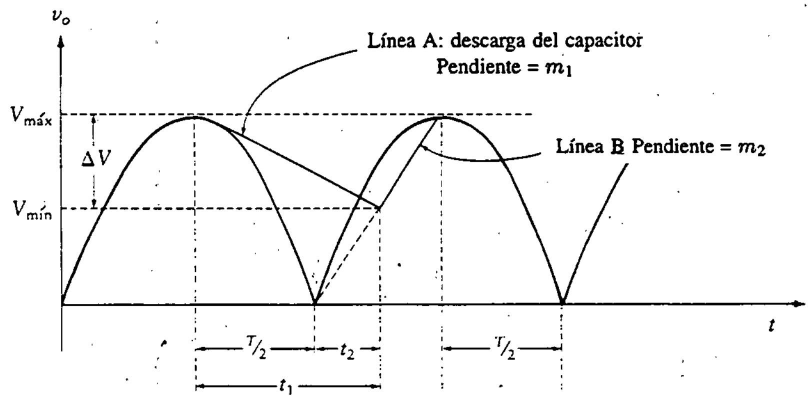


Figura 1.26
Aproximación al tiempo de descarga.

$$t_1 = \frac{T}{2} + t_2 = \frac{T}{2} + \frac{TV_{mín}}{2V_{máx}}$$

y

$$t_1 = \frac{R_L C \Delta V}{V_{máx}} = \frac{T(1 + V_{mín}/V_{máx})}{2}$$

$$= \frac{T}{2}\left(1 + \frac{V_{máx} - \Delta V}{V_{máx}}\right) = \frac{T(2 - \Delta V/V_{máx})}{2}$$

Sustituyendo $T = 1/f_p$, donde f_p es el número de pulsos por segundo (el doble de la frecuencia original), se obtiene

$$R_L C \frac{\Delta V}{V_{máx}} = \frac{1}{2f_p}\left[2 - \frac{\Delta V}{V_{máx}}\right] = \frac{1}{f_p}\left[1 - \frac{\Delta V}{2V_{máx}}\right]$$

$$2\pi f_p R_L C = \frac{2\pi V_{máx}}{\Delta V}\left[1 - \frac{\Delta V}{2V_{máx}}\right]$$

pero como

$$\frac{\Delta V}{2V_{máx}} \ll 1$$

se desprecia el segundo término para obtener

$$2\pi f_p R_L C = \frac{2\pi V_{máx}}{\Delta V}$$

o

$$C = \frac{2\pi V_{\text{máx}}}{\Delta V 2\pi f_p R_L}$$

Esta fórmula representa una solución conservativa del problema de diseño: si la línea recta nunca pasa por debajo de $V_{\text{mín}}$, la curva exponencial estará de seguro por encima de este valor. Una regla práctica que se sugiere utilizar en el diseño es elegir

$$C = \frac{5V_{\text{máx}}}{\Delta V 2\pi f_p R_L} \tag{1.10}$$

Se utiliza ahora la ecuación (1.10) para resolver la capacitancia en el ejemplo presentado antes. Se supone que la entrada es una sinusoide de 60 Hz de 100 V de amplitud y que el valor aceptable más bajo en la tensión de salida es 95 V. Por tanto, para este ejemplo, $V_{\text{máx}} = 100$ V, $\Delta V = 5$ V, y la frecuencia, después de la rectificación de onda completa, es

$$f_p = 120 \text{ Hz}$$

Por tanto, de la ecuación (1.10),

$$C = \frac{500}{5 \times 240\pi R_L} = \frac{0.133}{R_L}$$

Este análisis muestra que se puede diseñar un filtro para limitar el rizo de salida de un rectificador. El tamaño del rizo suele ser un importante parámetro de diseño. Como este rizo no sigue una forma estándar (por ejemplo, senoidal o en diente de sierra), se necesita alguna manera de caracterizar su tamaño. La tensión de rizo, V_r(rms) está dada por

$$V_r(\text{rms}) = \frac{V_{\text{máx}} - V_{\text{mín}}}{2\sqrt{3}}$$

Nótese que se usa $\sqrt{3}$ en vez de $\sqrt{2}$ en el denominador. El último número se debe utilizar para encontrar el valor rms de una sinusoide, que es la amplitud dividida por $\sqrt{2}$. Para una onda en diente de sierra, el valor rms es la amplitud dividida por $\sqrt{3}$. Estas cifras se verifican tomando la raíz cuadrada del promedio del cuadrado de la forma de onda sobre un periodo. La forma del rizo es más parecida a una forma de onda en diente de sierra que a una sinusoide. Se supone que el valor promedio de la tensión de rizo se encuentra en el punto medio de la forma de onda (esto es una aproximación). Si se define la diferencia entre el máximo y el mínimo como V_r(p-p) para el rizo pico a pico, el promedio o valor de cd es

$$V_{dc} = V_{máx} - \frac{v_{r(p-p)}}{2}$$

El *factor de rizo* se define como

$$\text{factor de rizo} = \frac{V_r(\text{rms})}{V_{dc}}$$

Ejercicios

D1.3 El circuito de la figura 1.24 se utiliza para rectificar una sinusoide de 100 V rms y 60 Hz. La tensión de salida mínima no debe caer por debajo de 70 V, y el transformador tiene una razón de vueltas de 1:2. La resistencia de carga es 2 kΩ. ¿Qué valor de capacitor se necesita a través de R_L?

Resp.: 6.6 μF

D1.4 La salida de un rectificador de media onda tiene 50 V de amplitud a 60 Hz. Suponiendo que no existe resistencia en directo en el diodo, ¿cuál es la mínima carga que se debe añadir al circuito cuando se usa un capacitor de 50 μF para mantener la tensión mínima por encima de 40 V?

Resp.: 1.33 kΩ

D1.5 Un rectificador de onda completa similar al mostrado en la figura 1.24 tiene un transformador con una razón de vueltas de 5:1. ¿Qué capacitancia se requiere para mantener una tensión mínima de 10 V en una carga de 100 Ω si la señal de entrada es de 110 V rms a 60 Hz, como se muestra en la figura?

Resp.: 185 μF

D1.6 Si la tensión de entrada en el ejercicio D1.5 varía entre 110 V y 120 V rms a 60 Hz, ¿qué capacitancia se necesita para mantener un mínimo de 10 V en la carga?

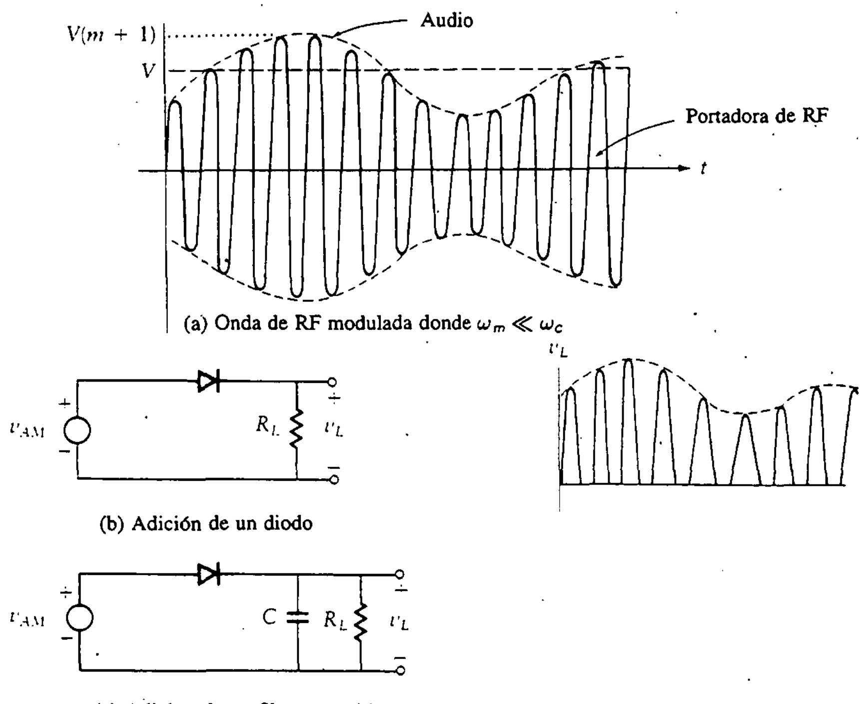
Resp.: 161 μF

1.5 DEMODULACIÓN

La *modulación de amplitud (AM)* es un método para trasladar una señal de baja frecuencia a una frecuencia superior para su transmisión a través de un canal. La forma de onda de AM se caracteriza por la siguiente ecuación:

$$v(t) = V[1 + mf(t)] \operatorname{sen} \omega_c t$$

Figura 1.27
AM y el proceso de detección.



(a) Onda de RF modulada donde $\omega_m \ll \omega_c$

(b) Adición de un diodo

(c) Adición de un filtro capacitivo

donde m es el *índice de modulación*, $f(t)$ es una señal normalizada (amplitud limitada a la unidad) de baja frecuencia que se desea transmitir, y ω_c es la *frecuencia de la portadora*. La figura 1.27(a) constituye un bosquejo de una forma de onda de AM característica. La línea superior discontinua, etiquetada como "audio", está dada por

$$V[1 + mf(t)]$$

La *demodulación*, también conocida como *detección*, es el proceso de comenzar con la forma de onda modulada de la figura 1.27(a) y procesarla de manera que se obtenga la señal de audio, o la envolvente de la gráfica. Este proceso no es muy diferente del de rectificación, excepto porque en el caso de la rectificación la señal con la que se empieza es una sinusoide de amplitud constante. Esto es, la rectificación se puede considerar un caso especial de la demodulación, donde $f(t)$ es una constante. Si se construye un rectificador pero se permite que la salida varíe con tanta rapidez como varía $f(t)$, se habrá construido un demodulador.

El circuito de la figura 1.27(b) realiza una rectificación de media onda sobre la entrada y produce una señal de salida, como se muestra. Si ahora se coloca un capacitor en paralelo con el resistor, el efecto es proporcionar un decaimiento exponencial entre pulsos, como se hizo en la figura 1.25, que muestra la salida de un filtro rectificador. Por tanto, con una adecuada elección de parámetros, la salida del circuito de la figura 1.27(c) es aproximadamente igual a la señal de audio.

La constante de tiempo del circuito (el producto de la resistencia y la capacitancia) se debe elegir con cuidado para no distorsionar la señal modulante (audio). Si la constante de tiempo se selecciona en forma adecuada, la salida sigue los picos de la señal pulsante rectificada. Si es muy grande, la señal de audio se distorsiona, ya que la salida pierde algunos de los picos (es decir, no es capaz de cambiar con la suficiente rapidez). Si la constante de tiempo es muy pequeña, existirá demasiado rizo en la forma de onda de la salida.

Se puede utilizar la aproximación por líneas rectas (véase Fig. 1.26) para obtener la siguiente ecuación de diseño. Para esta ecuación, se supone que $f(t)$ es una sinusoide de frecuencia ω.

$$\frac{V}{R_L C} \geq m\omega V$$

El lado izquierdo de esta ecuación es la pendiente, m_1, del análisis de la sección anterior. El lado derecho es la máxima pendiente de la señal de audio (es decir, el máximo valor de la derivada de $Vm \operatorname{sen} \omega t$). Resolviendo para el valor límite de la capacitancia, se encuentra

$$C = \frac{1}{\omega R_L m} \tag{1.11}$$

Esta ecuación se puede utilizar para seleccionar el valor del capacitor cuando se conoce la resistencia de carga.

Ejercicios

D1.7 Una portadora de radiofrecuencia de 15 MHz se modula con una señal de 5 kHz con un índice de modulación de 0.5. Si la resistencia de carga del detector es 5 kΩ, ¿qué valor de capacitor se debe añadir en paralelo a la carga para filtrar la señal de radiofrecuencia?

Resp.: 0.013 μF

D1.8 Si el capacitor detector del ejercicio D1.7 se cambia a 0.01 μF, ¿hasta qué valor se puede elevar la frecuencia modulante para filtrar la RF al mismo grado que en el ejercicio D1.7?

Resp.: 6.37 kHz

1.6 DIODOS ZENER

El *diodo Zener* es un dispositivo donde la contaminación se realiza de tal forma que la tensión característica de *ruptura* o *avalancha*, V_Z, es muy pronunciada.

UNET - BIBLIOTECA

Si la tensión en inverso excede la tensión de ruptura, el diodo normalmente no se destruye. Esto siempre que la corriente no exceda un máximo predeterminado y el dispositivo no se sobrecaliente.

Cuando un portador generado en forma térmica (parte de la corriente de saturación inversa) atraviesa la barrera de la unión (véase Fig. 1.14) y adquiere energía del potencial aplicado, el portador choca con iones en el cristal e imparte suficiente energía para romper un enlace covalente. Además del portador original, se genera un nuevo par electrón-hueco que puede tomar suficiente energía del campo aplicado para chocar con iones en otro cristal y crear nuevos pares electrón-hueco. Esta acción continúa y así se rompen los enlaces covalentes; este proceso se conoce como *multiplicación por avalancha* o *ruptura por avalancha.*

Existe un segundo mecanismo por el cual se rompen los enlaces covalentes. La utilización de un campo eléctrico bastante fuerte en la unión puede provocar la ruptura directa del enlace. Si el campo eléctrico ejerce una fuerza intensa en un electrón de enlace, el electrón se extrae del enlace covalente provocando la multiplicación de pares electrón-hueco. Este mecanismo se llama *ruptura Zener.* El valor de la tensión inversa al cual se produce este fenómeno se controla con la cantidad de contaminante en el diodo. Un diodo fuertemente contaminado tiene baja tensión de ruptura Zener, mientras que un diodo poco contaminado tiene una tensión de ruptura Zener elevada.

Aunque se describen dos mecanismos distintos para que se produzca la ruptura, a menudo se intercambian. Con valores de tensión por arriba de aproximadamente 10 V, el mecanismo predominante es la ruptura por avalancha ([35], Sec. 2.9). Como el efecto Zener (avalancha) se produce en un punto predecible, el diodo se puede utilizar como referencia de tensión. La tensión inversa a la cual se produce la avalancha se llama *tensión Zener.*

La característica de un diodo Zener típico se muestra en la figura 1.28. El símbolo de circuito para el diodo Zener es diferente del de un diodo regular y se ilustra en la figura 1.28.

La máxima corriente inversa, $I_{Z\text{máx}}$, que puede soportar el diodo depende del diseño y la construcción de éste. La corriende de pérdida ($I_{Z\text{mín}}$) por debajo del vértice de la curva característica generalmente se supone que es $0.1\ I_{Z\text{máx}}$. La utilización de $I_{Z\text{mín}}$ asegura que la curva de avalancha permanezca paralela al eje i_D entre $I_{Z\text{máx}}$ e $I_{Z\text{mín}}$. La cantidad de potencia que el diodo puede soportar es $P_Z = I_{Z\text{máx}}V_Z$.

1.6.1 Regulador Zener

Se puede utilizar un diodo Zener como regulador de tensión en la configuración mostrada en la figura 1.29. En la figura se ilustra una carga cuya resistencia puede variar sobre un intervalo particular. Este circuito se diseña de tal forma que el diodo opere en la región de ruptura, aproximándose así a una fuente ideal de tensión. La tensión de salida permanece relativamente constante aun cuando la tensión de la fuente de entrada varíe sobre un intervalo más o menos amplio ([49], Sec. 4.4).

Figura 1.28
Diodo Zener.

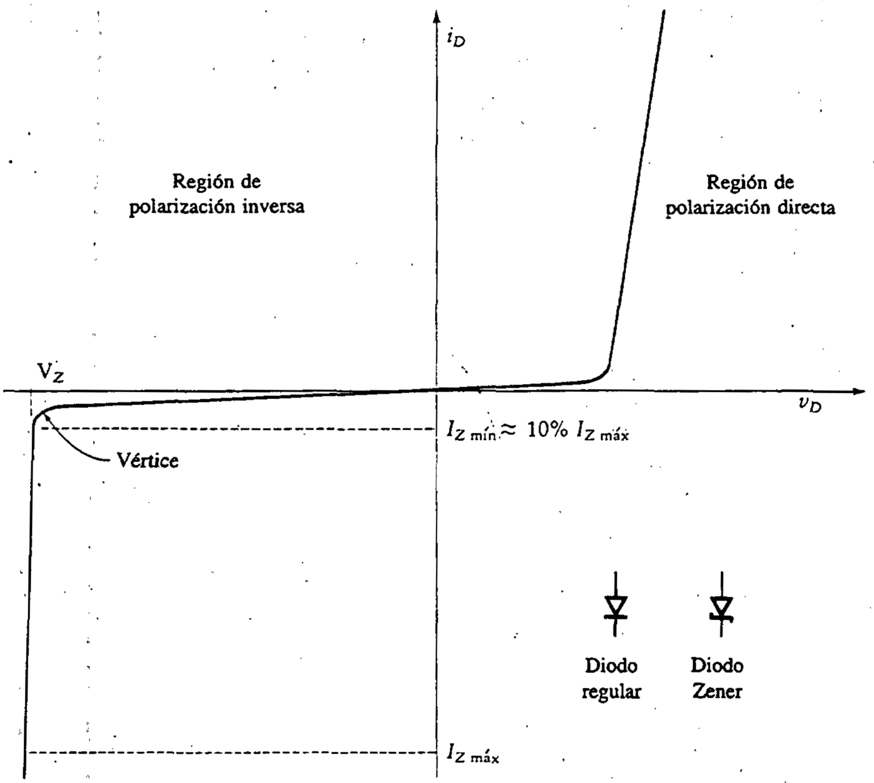
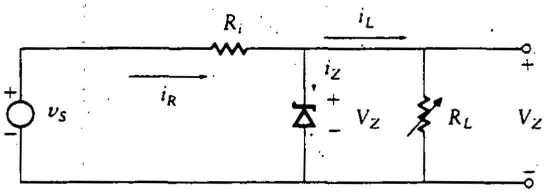


Figura 1.29
Regulador Zener.



Es importante conocer el intervalo de la tensión de entrada y de la corriente de carga para diseñar este circuito de manera apropiada. La resistencia, R_i, debe ser tal que el diodo permanezca en el modo de tensión constante sobre el intervalo completo de variables.

La ecuación de nodo para el circuito de la figura 1.29 da

$$R_i = \frac{v_s - V_Z}{i_R} = \frac{v_s - V_Z}{i_Z + i_L} \tag{1.12}$$

Para asegurar que el diodo permanezca en la región de tensión constante (ruptura), se examinan los dos extremos de las condiciones de entrada-salida.

1. La corriente a través del diodo i_Z es mínima cuando la corriente de carga i_L es máxima y la fuente de tensión v_S es mínima.
2. La corriente a través del diodo i_Z es máxima cuando la corriente de carga i_L es mínima y la fuente de tensión v_S es máxima.

Cuando estas características de los dos extremos se insertan en la ecuación (1.12), se encuentra

$$\text{Condición 1:} \quad R_i = \frac{V_{S\,\text{mín}} - V_Z}{I_{L\,\text{máx}} + I_{Z\,\text{mín}}} \tag{1.13a}$$

$$\text{Condición 2:} \quad R_i = \frac{V_{S\,\text{máx}} - V_Z}{I_{L\,\text{mín}} + I_{Z\,\text{máx}}} \tag{1.13b}$$

Se igualan (1.13a) y (1.13b) para obtener

$$(V_{S\,\text{mín}} - V_Z)(I_{L\,\text{mín}} + I_{Z\,\text{máx}}) = (V_{S\,\text{máx}} - V_Z)(I_{L\,\text{máx}} + I_{Z\,\text{mín}}) \tag{1.13c}$$

En un problema práctico, es razonable suponer que se conoce el intervalo de tensiones de entrada, el intervalo de corriente de salida en la carga y el valor de tensión Zener deseado. La ecuación (1.13c) representa por tanto una ecuación en dos incógnitas, las corrientes Zener máxima y mínima. Se encuentra una segunda ecuación examinando la figura 1.28. Para evitar la porción no constante de la curva característica, se utiliza la regla práctica de que la máxima corriente Zener debe ser al menos 10 veces mayor que la mínima ([46], Sec. 5.4); esto es,

$$I_{Z\,\text{mín}} = 0.1 I_{Z\,\text{máx}}$$

Este es un criterio de diseño aceptable.

Ahora se escribe la ecuación (1.13c) como

$$(V_{S\,\text{mín}} - V_Z)(I_{L\,\text{mín}} + I_{Z\,\text{máx}}) = (V_{S\,\text{máx}} - V_Z)(I_{L\,\text{máx}} + 0.1 I_{Z\,\text{máx}})$$

Resolviendo entonces para la máxima corriente Zener, se obtiene

$$I_{Z\,\text{máx}} = \frac{I_{L\,\text{mín}}(V_Z - V_{S\,\text{mín}}) + I_{L\,\text{máx}}(V_{S\,\text{máx}} - V_Z)}{V_{S\,\text{mín}} - 0.9V_Z - 0.1V_{S\,\text{máx}}} \tag{1.14}$$

Ahora que se tiene la máxima corriente Zener, el valor de R_i se puede calcular de la ecuación (1.13a) o de la (1.13b).

Ejemplo 1.2 Diseño de un regulador Zener

Diséñese un regulador Zener (Fig. 1.30) para cada una de las siguientes condiciones:

a. La corriente en la carga varía de 100 mA a 200 mA y la fuente de tensión varía de 14 V a 20 V.
b. La corriente en la carga varía de 20 mA a 200 mA y la fuente de tensión varía de 10.2 a 14 V.

Utilícese un diodo Zener de 10 V en ambos casos.

SOLUCIÓN

a. El diseño consiste en elegir el valor apropiado de la resistencia, R_i, y la estimación de potencia para el Zener. En primer lugar se utilizan las ecuaciones de esta sección para calcular la máxima corriente en el diodo Zener y luego encontrar el valor del resistor de entrada. De la ecuación (1.14), se obtiene

$$I_{Z\,\text{máx}} = \frac{0.1(10-14)+0.2(20-10)}{14-0.9(10)-0.1(20)}$$
$$= \frac{1.6}{3} = 0.533 \text{ A}$$

Entonces, de la ecuación (1.13b), se obtiene R_i como sigue:

$$R_i = \frac{V_{S\,\text{máx}} - V_Z}{I_{Z\,\text{máx}} + I_{L\,\text{mín}}} = \frac{20-10}{0.533+0.1} = 15.8\ \Omega$$

No es suficiente especificar sólo la resistencia de R_i, también se debe seleccionar el resistor apropiado que maneje la potencia estimada. La máxima potencia está dada por el producto de la tensión por la corriente, utilizando el máximo de cada valor.

$$P_R = I_{R\,\text{máx}}(V_{S\,\text{máx}} - V_Z)$$
$$= (I_{Z\,\text{máx}} + I_{L\,\text{mín}})(V_{S\,\text{máx}} - V_Z)$$
$$= 0.63 \times 10 = 6.3 \text{ W}$$

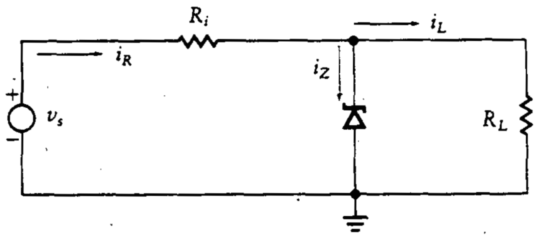


Figura 1.30 Regulador con diodo Zener.

Por último, se debe realizar la estimación de potencia del diodo Zener. La máxima potencia disipada en el diodo Zener está dada por el producto de la tensión y la corriente.

$$P_Z = V_Z I_{Z\,\text{máx}} = 10 \times 0.53 = 5.3 \text{ W}$$

b. Repitiendo los pasos para los parámetros de la parte (b), se obtiene

$$I_{Z\,\text{máx}} = \frac{0.02(10 - 10.2) + 0.2(14 - 10)}{10.2 - 0.9(10) - 0.1(14)} = -4 \text{ A}$$

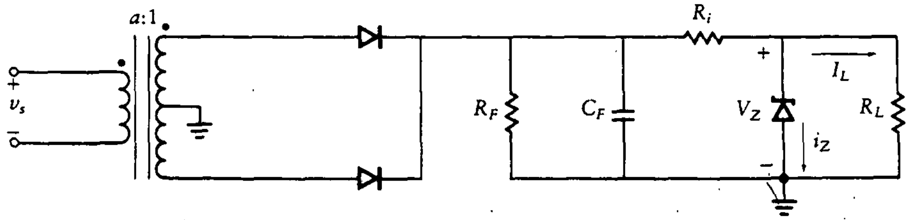
El valor negativo de $I_{Z\,\text{máx}}$ indica que el margen entre $V_{S\,\text{mín}}$ y V_Z no es lo bastante grande para permitir la variación de la corriente en la carga. Esto es, bajo la condición del peor caso de 10.2 V de entrada y 200 mA de corriente en la carga, no es posible para el Zener mantener 10 V a través de sus terminales. Por tanto, el regulador no opera correctamente para ninguna elección de resistencia.

El circuito regulador Zener de la figura 1.30 se puede combinar con el rectificador de onda completa de la figura 1.24 para obtener el regulador Zener de onda completa de la figura 1.31.

El componente R_F se llama *resistor de sangría* y se utiliza para proporcionar un trayecto de descarga para el capacitor cuando se quita la carga. Por lo común, los resistores de sangría son resistencias altas para que no absorban una potencia significativa cuando el circuito está en operación. Como R_F es mucho mayor que R_i, se desprecia en el siguiente análisis.

El valor de C_F se encuentra adaptando la ecuación (1.10) a esta situación. La resistencia en la ecuación es la resistencia equivalente a través de C_F. El diodo Zener se reemplaza por una fuente de tensión, V_Z. La resistencia equivalente es entonces la combinación en paralelo de R_F y R_i. Como R_F es mucho mayor que R_i, la resistencia es más o menos igual a R_i. Puesto que la tensión a través de R_i no cae a cero, como es el caso del rectificador de onda completa, en la ecuación (1.9) $V_{\text{máx}}$ se debe reemplazar por la excursión total de tensión. Por tanto, el capacitor queda especificado como en la ecuación (1.15), donde se supone que a (la razón del transformador) es 1.

Figura 1.31 Regulador Zener de onda completa.



$$C_F = \frac{5(V_{S\,\text{máx}} - V_Z)}{\Delta V 2\pi f_p R_i} \tag{1.15}$$

La tensión más grande que se coloca sobre el regulador es $V_{S\,\text{máx}}$. Como antes, ΔV es el rizo pico a pico y f_p la frecuencia fundamental de la forma de onda rectificada (es decir, el doble de la frecuencia original para rectificación de onda completa).

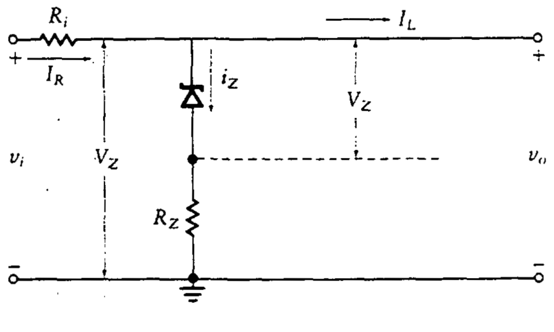
1.6.2 Diodos Zener prácticos y porcentaje de regulación

En la sección anterior se supuso que el diodo Zener era ideal. Esto es, en la región de ruptura por avalancha, el diodo se comporta como fuente de tensión constante. Esta suposición significa que la curva de la figura 1.28 es una línea vertical en la región de ruptura. En la práctica, esta curva no es vertical, y la pendiente es provocada por una resistencia en serie. La tensión de ruptura es entonces una función de la corriente en vez de una constante. El diodo Zener práctico se modela como se muestra en la figura 1.32. Este modelo reemplaza al diodo Zener con un diodo ideal en serie con una resistencia, R_Z.

Para mostrar los efectos de este resistor en serie, se resuelve nuevamente el ejemplo 1.2. Se supone que se incorpora un diodo Zener práctico en el circuito, con una resistencia de diodo $R_Z = 2\ \Omega$. En ese ejemplo, se utiliza el circuito de la figura 1.30 como un regulador donde la máxima corriente Zener es 0.53 A. Se supone que $I_{Z\,\text{mín}}$ es el 10% de $I_{Z\,\text{máx}}$, o 0.053 A. Debido a R_Z, la tensión de salida (a través de la carga) ya no es la constante 10 V. Los valores mínimo y máximo de esta tensión se encuentran a partir de la figura 1.32, utilizando los valores de corriente mínimo y máximo. La tensión a través del diodo ideal de la figura 1.32 es 10 V, por lo que se puede escribir

$$V_{o\,\text{mín}} = 10 + (0.053 \times 2) = 10.1\ \text{V}$$
$$V_{o\,\text{máx}} = 10 + (0.53 \times 2) = 11.1\ \text{V}$$

Figura 1.32 Circuito Zener equivalente.



El *porcentaje de regulación* se define como la excursión de tensión dividida entre el valor de la tensión nominal. A menor porcentaje de regulación, mejor regulador. Por tanto, en este ejemplo,

$$\text{porcentaje de reg.} = \frac{V_{o\,\text{máx}} - V_{o\,\text{mín}}}{V_{o\,\text{nominal}}} = \frac{11.1 - 10.1}{10}$$
$$= 0.1, \text{ o } 10\%$$

Este valor de regulación es pobre, y la regulación se incrementa limitando la corriente en el Zener a un valor más pequeño. Esto se consigue utilizando un amplificador en serie con la carga. El efecto de este amplificador es limitar las variaciones de corriente a través del diodo Zener. Estos amplificadores se estudian en el capítulo 6.

Ejercicios

D1.9 Un circuito regulador Zener (véase Fig. 1.30) tiene una entrada cuya tensión varía entre 10 y 15 V y una carga cuya corriente varía entre 100 mA y 500 mA. Encuéntrense los valores de R_i e $I_{Z\,\text{máx}}$ suponiendo que se utiliza un Zener de 6 V.

Resp.: 6.33 Ω; 1.32 A

D1.10 En el ejercicio D1.9, encuéntrense las estimaciones de potencia para el diodo Zener y para el resistor de entrada.

Resp.: 7.94 W; 12.8 W

D1.11 En el ejercicio D1.9, encuéntrese el valor del capacitor necesario si la fuente es la salida de un rectificador de media onda con una entrada de 60 Hz.

Resp.: 3800 μF

D1.12 Si no se utilizara el resistor, R_F, en el circuito de la figura 1.31, y hubiera un transformador de derivación central 4:1 con una entrada de 120 V rms a 60 Hz, ¿qué valor para R_i sería necesario para mantener 10 V a través de una carga cuya corriente varía entre 50 mA y 200 mA? Supóngase que la tensión mínima permitida en la entrada del regulador es 14 V.

Resp.: 14.8 Ω

D1.13 ¿Qué valor de capacitor es necesario en el regulador del ejercicio D1.12 para mantener una tensión mínima de 14 V?

Resp.: 697 μF

D1.14 En el circuito del ejercicio D1.12, supóngase que la tensión de entrada varía de 110 V a 120 V rms a 60 Hz. Selecciónese un valor de capacitancia que se

acomode tanto a una variación de corriente de carga de 50 mA a 200 mA como a la variación de tensión de entrada especificada.

Resp.: $C = 922\ \mu\text{F}$

1.7 DISEÑO DE UNA FUENTE DE PODER USANDO UN CIRCUITO INTEGRADO

Los reguladores se empaquetan como circuitos integrados (CI); como ejemplo, se enfocará la atención sobre la serie MC78XX. Las hojas de especificaciones apropiadas aparecen en el apéndice D, y se deben considerar durante la siguiente exposición. Se pueden obtener varias tensiones diferentes de la serie de CI 7800; éstas son 5, 6, 8, 8.5, 10, 12, 15, 18 y 24 V. Todo lo que se requiere para diseñar un regulador alrededor de uno de estos CI es seleccionar el transformador, los diodos y el filtro. En la figura 1.33 se muestra un circuito característico.

La hoja de especificaciones para este CI indica que debe existir una tierra común entre la entrada y la salida, y que la tensión mínima en la entrada del CI debe estar al menos 2 ó 4 V por encima de la salida regulada. Para asegurar esta última condición, es necesario filtrar la salida del rectificador. En la figura 1.33, C_F realiza este filtrado cuando se combina con la resistencia de entrada del CI.

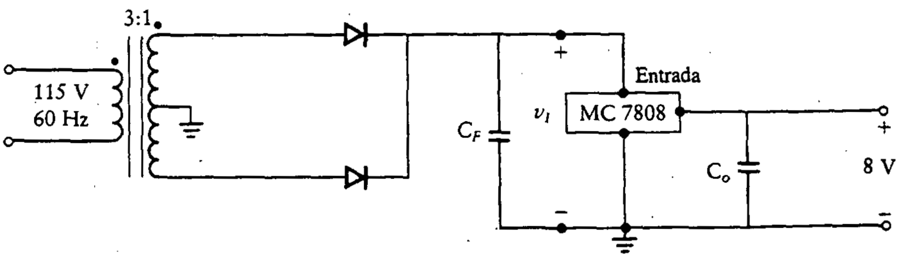
La resistencia de entrada equivalente más pequeña del CI está dada por $V_{S\,\text{mín}}/I_{L\,\text{máx}}$. Entonces

$$C_F = \frac{5(V_{S\,\text{máx}} - V_L)}{\Delta V 2\pi f_p V_{S\,\text{mín}}/I_{L\,\text{máx}}} \tag{1.17}$$

donde $V_{S\,\text{máx}}$ es la tensión más grande que se aplica al CI, ΔV es la caída de tensión del capacitor (es decir, la tensión pico más pequeña aplicada al CI menos la tensión de salida del CI más 4 V) y f_p es el número de pulsos por segundo.

El capacitor de salida, C_o, se añade para ayudar a aislar los efectos de la variación de cargas de cualquier otro. El capacitor corta las variaciones de alta frecuencia provenientes de la circuitería de carga.

Figura 1.33 Fuente de alimentación regulada.



Los reguladores de la serie MC7900 son idénticos a los de la serie 7800, con la excepción de que los primeros proporcionan tensiones reguladas de salida negativas en vez de positivas.

Ejemplo 1.3

Supóngase que se desea diseñar un circuito regulador con CI para generar 12 V de salida en una carga cuya corriente varía de 5 a 800 mA.

SOLUCIÓN Se usa el circuito de la figura 1.33 con un regulador 7812. La salida del transformador está dada por una onda senoidal rectificada completa de amplitud $115\sqrt{2}/6$, o 27.1 V (cero a pico) a 120 Hz.

La tensión mínima que se desea en la entrada del CI es

$$V_{S\,\text{mín}} = 12 + 2 = 14 \text{ V}$$

donde se utilizan 2 V por arriba de la salida deseada.

La resistencia equivalente de carga más pequeña es la razón entre la mínima tensión y la máxima corriente, o

$$R_L(\text{el peor caso}) = \frac{16}{0.8} = 20\ \Omega$$

La diferencia de tensión entre el máximo y el mínimo es

$$V = 27.1 - 16 = 11.1 \text{ V}$$

Entonces, de la ecuación (1.15), se resuelve para el filtro capacitor:

$$C = \frac{5(27.1 - 12)}{11.1(4\pi 60)20} = 451\ \mu\text{F}$$

Utilizando un capacitor de al menos 451 μF, se asegura que el regulador proporcione 12 V regulados para cualquier carga que consuma una corriente de hasta 800 mA.

Ejercicios

D1.15 Se utiliza un CI MC7812 como regulador con un transformador con derivación central para hacer la rectificación de onda completa de una señal de 40 V de amplitud pico a pico. ¿Cuál es el capacitor más pequeño que se requiere para proporcionar una salida de 12 V a 400 mA?

Resp.: 332 μF

D1.16 En el ejercicio D1.15 se utiliza un MC7808 en lugar del MC7812. ¿Cuál es el capacitor de menor valor necesario para filtrar la señal rectificada de onda completa?

Resp.: 332 μF

1.8 RECORTADORES Y FIJADORES

Los diodos tienen otras aplicaciones aparte de la rectificación y la detección. Entre ellas están las de recortar una señal de entrada o limitar sólo partes de la señal. Los diodos también se utilizan para restablecer un nivel de cd a una señal de entrada.

1.8.1 Recortadores

Los *circuitos recortadores* se utilizan para eliminar parte de una forma de onda que se encuentre por encima o por debajo de algún nivel de referencia. Los circuitos recortadores se conocen a veces como *limitadores, selectores de amplitud* o *rebanadores*. Los circuitos de rectificación de la sección anterior utilizan una acción recortadora de nivel cero. Si se añade una batería en serie con el diodo, un circuito rectificador recortará todo lo que se encuentre por encima o por debajo del valor de la batería, dependiendo de la orientación del diodo. Esto se ilustra en la figura 1.34.

Para las formas de onda de salida indicadas en la figura 1.34 se supone que los diodos son ideales. Se extiende esta suposición para el circuito de la figura 1.34(a) mediante la inclusión de dos parámetros adicionales en el modelo del diodo. Primero, se supone que se debe sobrepasar una tensión V_γ antes de que el diodo conduzca. Segundo, cuando el diodo conduce, se incluye una resistencia en directo, R_f. El efecto de V_γ es hacer que el nivel de recorte sea $V_\gamma + V_B$ en vez de V_B. El efecto de la resistencia es cambiar la acción recortadora plana a una que sigue a la tensión de entrada en forma proporcional (es decir, un efecto de división de tensión). La salida resultante se calcula como sigue, y se ilustra en la figura 1.35 ([34], Sec. 10.2).

Para

$$v_i < V_B + V_\gamma, \qquad v_o = v_i$$

Para

$$v_i > V_B + V_\gamma, \quad v_o = v_i \frac{R_f}{R + R_f} + (V_B + V_\gamma)\frac{R}{R + R_f}$$

Los recortes positivo y negativo se pueden realizar simultáneamente. El resultado es un *recortador polarizado en paralelo*, que se diseña utilizando dos diodos

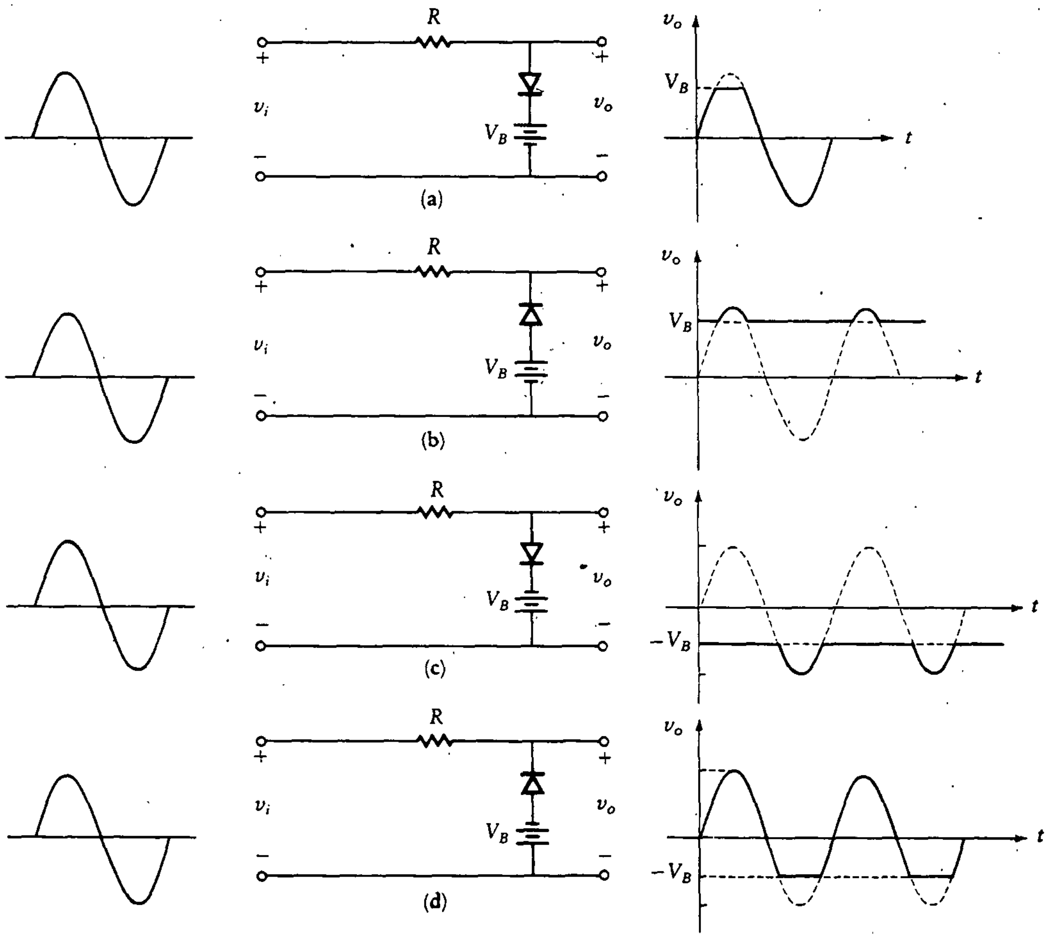


Figura 1.34 Circuitos recortadores típicos.

y dos fuentes de tensión orientadas de forma opuesta. El circuito produce una onda de salida como la mostrada en la figura 1.36 cuando se suponen diodos ideales. La extensión a diodos prácticos es paralela al análisis que conduce a los resultados de la figura 1.35.

Otro tipo de recortador es el *polarizado en serie*, que se muestra en la figura 1.37. La batería de 1 V en serie con la entrada provoca que la señal de entrada se superponga en una tensión de cd de −1 V en vez de estar simétrica alrededor del eje cero. Suponiendo que este sistema utiliza un diodo ideal, se encuentra que el diodo de la figura 1.37(a) conduce sólo durante la porción negativa de la señal de entrada condicionada (es decir, desplazada). Cuando el diodo se encuentra en conducción, la salida es cero. Se tiene una salida distinta de cero cuando el diodo no conduce. En la figura 1.37(b), lo contrario es cierto. Cuando la señal condicionada es positiva, el diodo conduce y existe señal en la salida, pero cuando el diodo está apagado, no hay señal de salida. Aunque la operación de los dos

Figura 1.35
Forma de onda de salida para el circuito de la figura 1.34(c).

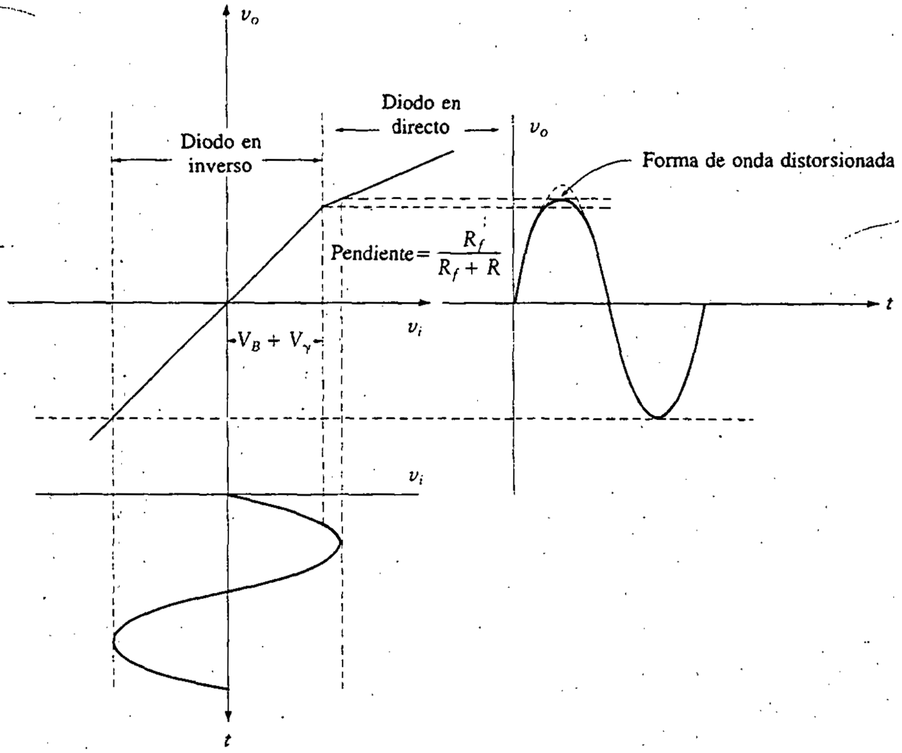
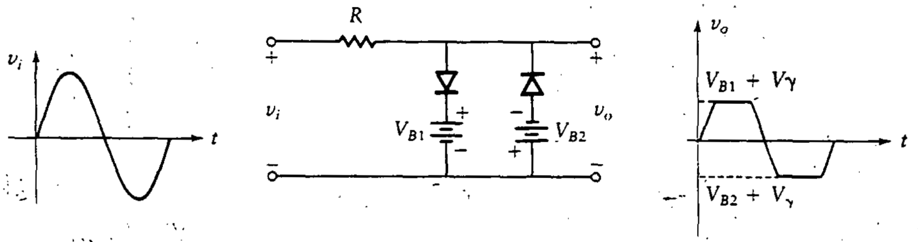


Figura 1.36
Recortador con polarización en paralelo.



circuitos es diferente, las dos salidas son idénticas. En la figura 1.37(c) y (d) se invierte la polaridad de la batería, y en la salida se obtienen las formas de onda mostradas.

1.8.2 Fijadores

Una forma de onda de tensión se puede desplazar añadiendo en serie con ella una fuente de tensión independiente, ya sea constante o dependiente del tiempo. La *fijación* es una operación de desplazamiento, pero la cantidad de éste depende de la

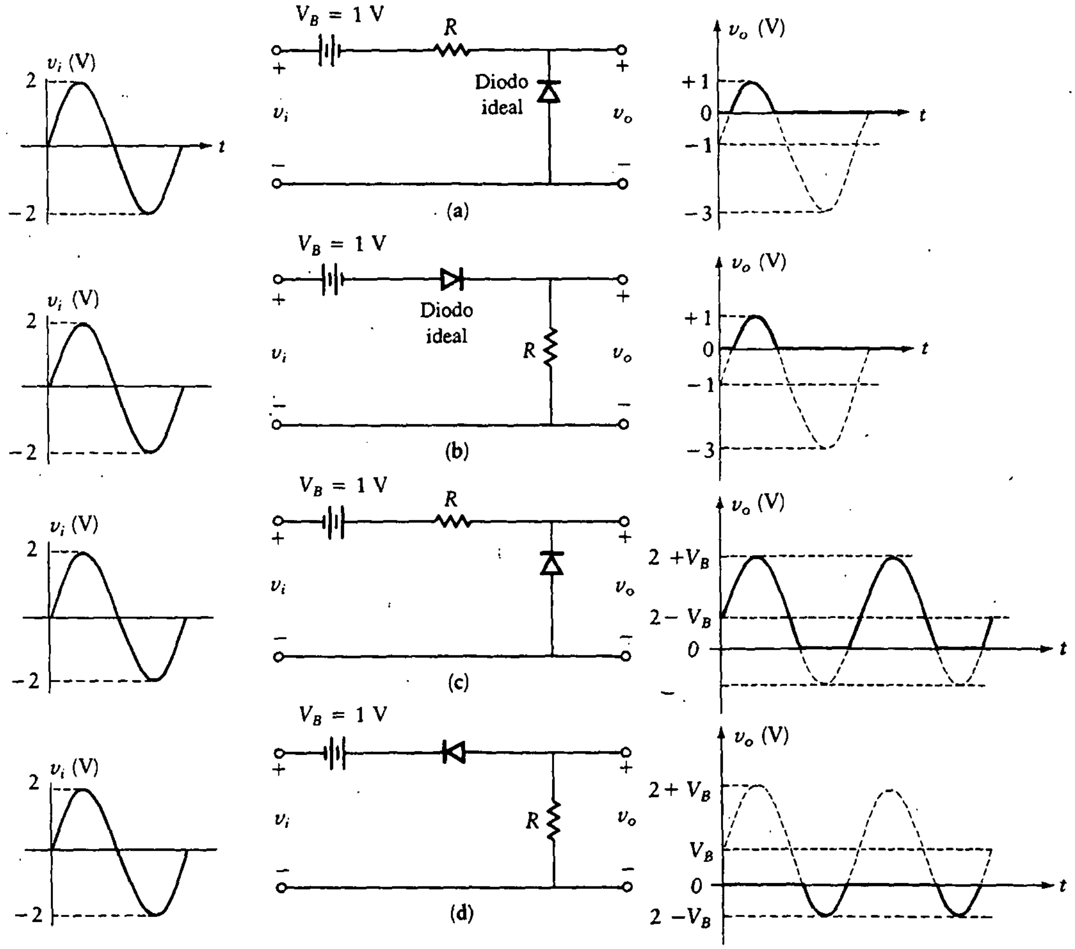
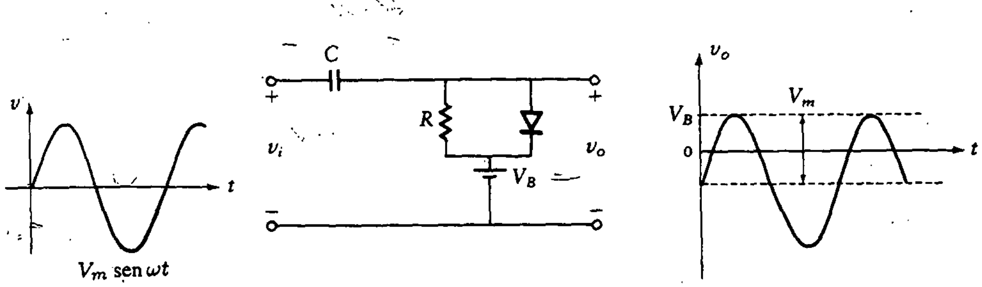
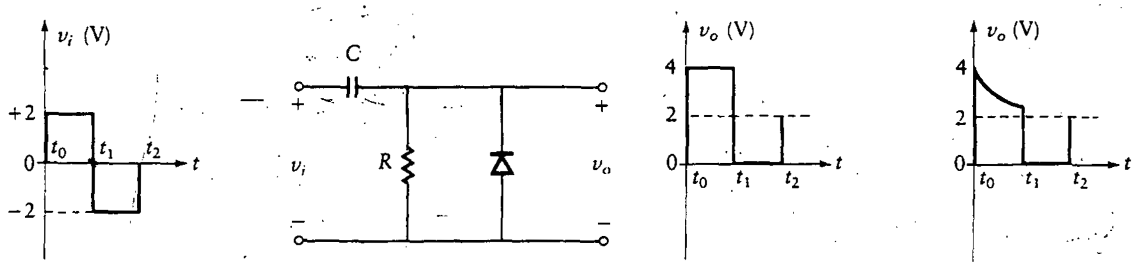


Figura 1.37 Recortador con polarización en serie.



(a) Entrada (b) Circuito fijador (c) Salida cuando $V_B < V_m$

Figura 1.38 Circuito fijador.



(a) Entrada (b) Fijador con constante de tiempo grande (c) Salida con constante de tiempo pequeña

Figura 1.39 Fijación en cero.

forma de onda real. En la figura 1.38 se muestra un ejemplo de fijación. La forma de onda de entrada se encuentra desplazada por una cantidad que lleva el valor pico de la onda desplazada al valor V_B. Por tanto, la cantidad de desplazamiento es la cantidad exacta necesaria para cambiar el máximo original, V_m, al nuevo máximo, V_B. La forma de onda se "fija" al valor V_B. Si la forma de onda en la entrada cambia, la cantidad de desplazamiento se modifica de manera que la salida siempre se fija en V_B. Así el circuito de fijación proporciona un componente de cd necesario para lograr el nivel de fijación deseado.

Un circuito de fijación está compuesto de una batería (o fuente de cd), un diodo, un capacitor y un resistor. El resistor y el capacitor se eligen de tal forma que la constante de tiempo sea grande. Es deseable que el capacitor se cargue a un valor constante y permanezca en ese valor durante el periodo de la onda de entrada. Si se cumple esta condición y se supone que la resistencia en directo del diodo es cero, la salida es una reproducción de la entrada con el desplazamiento adecuado. Cuando la salida trata de exceder V_B, el diodo se polariza en directo y la salida se limita a V_B. Durante esos instantes, el capacitor se carga. Cuando se alcanza el estado estacionario, el capacitor se carga al valor

$$V_C = V_m - V_B$$

En la figura 1.39 se ilustra un circuito de fijación donde la salida se fija a cero (es decir, no existe batería, por lo que $V_B = 0$). Como el diodo se encuentra en dirección opuesta al del circuito previo, se fija el *mínimo* en lugar del *máximo* de la salida. Se muestra el circuito con una onda cuadrada como entrada. Es importante que la tensión a través del capacitor permanezca aproximadamente constante durante el semiperiodo de la onda de entrada. Una regla práctica de diseño es hacer que la constante de tiempo RC tenga al menos cinco veces la duración del semiperiodo (es decir, cinco veces $t_1 - t_0$ o $t_2 - t_1$). En este caso, el circuito RC tiene menos del 20% de la constante de tiempo para cargarse o descargarse durante el semiperiodo. Esto coloca el valor final en poco menos del 18% del valor inicial (o sea, $\exp(-0.2) = 0.82$). Si la constante de tiempo es muy pequeña, la onda se distorsiona, como se muestra en la figura 1.39(c). ([6], Sec. 1.22.) Para reducir el error a menos del 18%, se puede incrementar la constante de tiempo (por ejemplo, 10 veces la duración del semiperiodo).

1.9 TIPOS ALTERNOS DE DIODOS

Esta sección presenta brevemente los siguientes tipos de diodos:

- Schottky
- Varactor
- Túnel
- Emisor de luz
- Fotodiodo
- PIN

1.9.1 Diodos Schottky

El *diodo Schottky* se forma al enlazar un metal, como aluminio o platino, a silicio de tipo *n*. Se utiliza a menudo en circuitos integrados para aplicaciones de conmutación de alta velocidad. Su símbolo y su construcción se muestran en la figura 1.40. El diodo Schottky tiene una característica de tensión contra corriente similar a la del diodo de unión *pn* de silicio, excepto porque la tensión en directo, V_γ, es 0.3 V en vez de 0.7 V. Cuando el diodo Schottky se opera en modo directo, se induce corriente por el movimiento de electrones del silicio de tipo *n* a lo largo de la unión y a través del metal. Como los electrones se mueven casi sin resistencia a través de los metales, el tiempo de recombinación es pequeño, del orden de 10 ps. Esto es más rápido que un diodo ordinario de unión *pn*. Por tanto, el diodo Schottky es de gran valor en aplicaciones de conmutación de alta velocidad. La capacitancia asociada con el diodo es pequeña.

El material metálico en el contacto 1 y la región *n* poco contaminada forman una unión rectificadora, mientras que la región *n* muy contaminada y el contacto 2 forman un contacto óhmico. Los electrones en dirección directa del silicio de tipo *n* cruzan la unión hacia el metal, donde existen muchos electrones disponibles. Esto produce un dispositivo de portadores *mayoritarios* que contrasta con los diodos estándar de unión *pn*, donde los portadores *minoritarios* determinan las características del diodo.

El diodo Schottky a veces se denomina *diodo de barrera*, ya que se forma una barrera a través de la unión debido al movimiento de electrones del semiconductor a la interfaz metálica.

Los diodos Schottky son útiles en la tecnología de CI porque resultan fáciles de fabricar y pueden construirse al mismo tiempo que los otros componentes del circuito integrado (chip). La fabricación de un diodo Schottky en un circuito integrado requiere de un paso menos que la fabricación de un diodo de unión *pn*, ya que éste necesita la difusión adicional del tipo *p*. Las características de bajo ruido del diodo Schottky lo hacen ideal para aplicaciones en supervisión de potencia de radiofrecuencias de bajo nivel, en detectores de alta frecuencia y en mezcladores de radar Doppler.

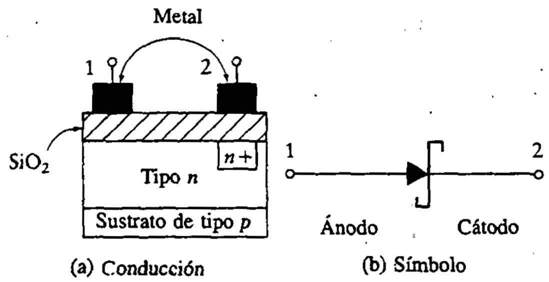


Figura 1.40 Diodo Schottky.

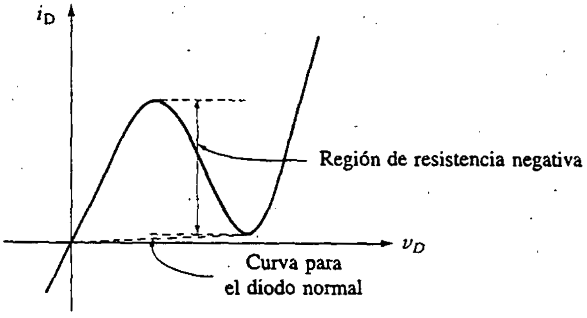


Figura 1.41 Características del diodo túnel.

1.9.2 Diodos varactor

Los diodos de unión *pn* normales exhiben capacitancia cuando se operan en modo de polarización inversa. El *diodo varactor* se fabrica específicamente para operar en este modo. La capacitancia es una función de la inversa de tensión. Por tanto, el diodo actúa como *capacitor variable*, donde el valor de la capacitancia es una función de la tensión de entrada.

Un uso común de este diodo es en el *oscilador controlado por tensión* (VCO, *voltage controlled oscillator*). El VCO es un generador senoidal cuya frecuencia de salida depende de la tensión de entrada.

1.9.3 Diodos túnel (diodo Esaki)

El *diodo túnel* está más contaminado que el diodo Zener, provocando que la zona desértica sea pequeña. Esto aumenta la velocidad de operación, por lo que el diodo túnel es útil en aplicaciones de alta velocidad. Conforme aumenta la polarización directa, la corriente aumenta con mucha rapidez hasta que se produce la ruptura. Entonces la corriente cae rápidamente. Esta característica se muestra en la figura 1.41. La región de pendiente negativa de la característica se puede modelar como resistencia negativa en serie con una fuente de cd. El diodo túnel es útil debido a esta región de resistencia negativa. Como ejemplo, se puede utilizar en conjunción con un circuito sintonizado para producir un oscilador de alta frecuencia y alta Q.

La región de resistencia negativa de un diodo túnel se desarrolla de manera característica en el intervalo de 50 mV a 250 mV. Esta tensión relativamente baja limita sus aplicaciones ([36], Sec. 3.4).

1.9.4 Diodos emisores de luz y fotodiodos

Ciertos tipos de diodos son capaces de cambiar la fuente de energía eléctrica en fuente de energía lumínica. El *diodo emisor de luz* (LED, *light emitting diode*)

transforma la corriente eléctrica en luz. Es útil para diversas formas de despliegues, y a veces se puede utilizar como fuente de luz para aplicaciones de comunicaciones por fibra óptica.

Un electrón puede caer de la banda de conducción a un hueco y liberar energía en la forma de un fotón de luz. La relación entre momento y energía en el silicio y el germanio es tal que el electrón libera su energía como calor cuando regresa de la banda de conducción a la de valencia. Sin embargo, en un cristal de arseniuro de galio el electrón produce un fotón cuando regresa de la banda de conducción a la de valencia. Aunque no existen suficientes electrones en un cristal intrínseco para producir luz visible, cuando se aplica polarización directa, se inyecta un gran número de electrones del material n al p. Estos electrones se combinan con huecos en el material p en el nivel de energía de la banda de valencia, y se liberan fotones. La intensidad de la luz es proporcional a la velocidad de recombinación de electrones y, por tanto, proporcional a la corriente del diodo. El diodo de arseniuro de galio emite ondas de luz en una longitud de onda cercana a la banda infrarroja. Para producir luz en el intervalo visible, se debe mezclar fosfuro de galio con el arseniuro de galio.

Un *fotodiodo* realiza la función inversa al LED. Esto es, transforma la fuente de energía lumínica en corriente eléctrica. Se aplica polarización inversa al fotodiodo y la corriente de saturación inversa se controla por la intensidad de luz que ilumina el diodo. La luz genera pares electrón-hueco, que inducen corriente. El resultado es una "fotocorriente" en el circuito externo, que es proporcional a la intensidad de luz efectiva en el dispositivo. Éste se comporta como generador de corriente constante mientras la tensión no exceda la tensión de avalancha. Los tiempos de respuesta son inferiores a 1 μs. La sensibilidad del diodo se puede aumentar si el área de la unión se hace mayor, ya que se pueden colectar más fotones, pero esto también aumenta el tiempo de respuesta pues la capacitancia de unión se vuelve mayor.

En la figura 1.42 se muestra un fotodiodo. La corriente inversa, $-I_p$, aumenta conforme lo hace la intensidad de luz, H. Se puede utilizar la ecuación (1.18) para estimar la corriente del fotodiodo, I_p:

$$I_p = \eta q H \tag{1.18}$$

donde

η = eficiencia cuántica
q = carga del electrón: 1.6×10^{-19} C
H = $\phi \times A$ = intensidad de luz en fotones/s
ϕ = densidad de flujo de fotones en fotones/s-cm^2
A = área de la unión en cm^2

Muchos detectores de luz de silicio consisten en un fotodiodo de unión y un amplificador, casi siempre en un circuito integrado. Se deja el análisis de este tipo de dispositivo para el capítulo 3.

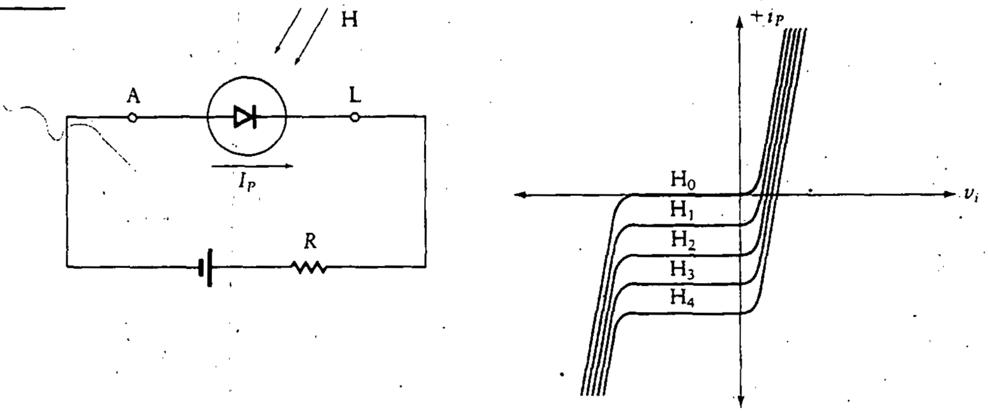


Figura 1.42
El fotodiodo.

1.9.5 Diodos PIN

Un diodo que tiene una región poco contaminada y casi intrínseca entre las regiones p y n se llama *diodo PIN*. El nombre se deriva del material intrínseco entre las capas p y n. Debido a su construcción, el diodo PIN tiene baja capacitancia y, por tanto, encuentra aplicación en frecuencias altas. Cuando se polariza en directo, la inyección de portadores minoritarios aumenta la conductividad de la región intrínseca. Cuando se polariza en inverso, la región i se vacía totalmente de portadores y la intensidad del campo a través de la región es constante. La estimación máxima de tensión del diodo se determina por la intensidad del campo crítico para la avalancha y el espesor de la región i.

Los diodos PIN se utilizan en conmutadores de radiofrecuencia, alternadores y desplazadores de fase en radiofrecuencia. Con una corriente de control variable, los diodos PIN se utilizan en modulación de amplitud ([36], Sec. 3.4).

1.10 ESPECIFICACIONES DE LOS FABRICANTES

La construcción de un diodo determina la cantidad de corriente que es capaz de manejar, la cantidad de potencia que puede disipar y la tensión inversa pico que puede soportar sin dañarse. Cada fabricante desarrolla estos criterios en las hojas de especificaciones del dispositivo. Algunos ejemplos de especificaciones del fabricante se dan en el apéndice D.

A continuación se listan los parámetros principales que se encuentran en la hoja de especificaciones del fabricante de un diodo rectificador:

1. Tipo de dispositivo con el número genérico de los números del fabricante.
2. Tensión inversa pico (PIV).
3. Máxima corriente inversa en PIV.
4. Máxima corriente de cd en directo.

5. Corriente promedio de media onda rectificada en directo.
6. Máxima temperatura de la unión.
7. Curvas de degradación de corriente.
8. Curvas características para cambios en temperatura de tal forma que el dispositivo se pueda *estimar* para altas temperaturas.

En el caso de los diodos Zener, por lo general aparecen los siguientes parámetros en las hojas de especificaciones:

1. Tipo de dispositivo con el número genérico o el número del fabricante.
2. Tensión Zener nominal (tensión de ruptura por avalancha).
3. Tolerancia de tensión.
4. Máxima disipación de potencia (a 25°C).
5. Corriente de prueba, I_{ZT}.
6. Impedancia dinámica a I_{ZT}.
7. Corriente de vértice.
8. Máxima temperatura en la unión.
9. Coeficiente de temperatura.
10. Curvas de degradación para altas temperaturas.

Se escogerá un ejemplo de especificación y se verá la información suministrada por la hoja de especificaciones. Utilizando el diodo rectificador 1N4001 mostrado en el apéndice D, se encuentra la siguiente lista:

1. PIV = 50 V.
2. Máxima corriente inversa (a la tensión en cd estimada) a 25°C = 10 μA. A 100°C la máxima corriente es 5μA.
3. Máxima caída instantánea de tensión en directo a 25°C = 1.1 V.
4. Corriente rectificada promedio en directo a 25°C = 1 A.
5. Intervalo de temperatura en la unión para operación y almacenamiento (T_j) = −65° a +175°C.
6. Se presenta una figura de temperatura contra montaje en un circuito impreso para varias cargas.
7. Se presenta una figura para efectos de longitud de la terminal para cargas resistivas contra temperatura.

En la figura 1.43 se muestra una típica curva de *degradación de corriente.* Esta curva indica el ajuste requerido en la corriente estimada conforme la temperatura aumenta más allá del ambiente. A menudo se presenta una curva similar para *degradación de potencia.*

Nótese que el fabricante no proporciona las curvas de degradación estándar para el 1N4001. Sin embargo, la información brindada es más que suficiente para asegurar que el diodo de unión no se sobrecaliente al operar en varios modos circuitales. En la práctica, los diseñadores deben asegurar que el diodo esté sujeto a valores de corriente que se encuentren al menos entre el 20% y el 30% por debajo de los valores máximos publicados. En algunas aplicaciones (como las militares o espaciales), se requiere un ajuste de hasta 50%.

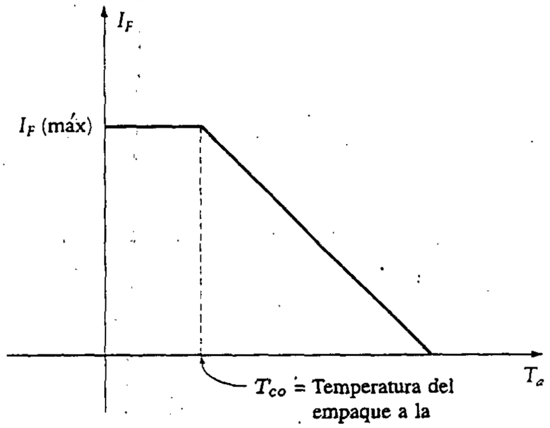


Figura 1.43
Curva de degradación de corriente.

PROBLEMAS

1.1 Bosquéjese la salida del circuito mostrado en la figura P1.1 cuando la entrada, v_s, es una onda cuadrada de 100 V pico a pico con un periodo de 2 s. Supóngase que el diodo es ideal.

1.2 Bosquéjese la salida del circuito mostrado en la figura P1.2 (el diodo es ideal) cuando v_s es:

a. Una onda cuadrada de 100 V pico a pico con periodo de 2 s.

b. Una onda senoidal de 100 V pico a pico con un periodo de 2 s.

c. Una onda triangular de 40 V pico a pico con un periodo de 2 s.

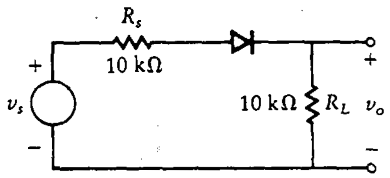


Figura P1.1

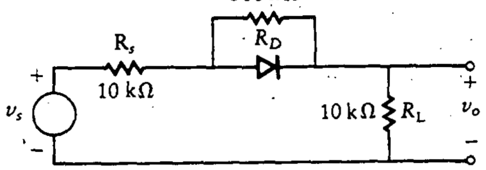


Figura P1.2

1.3 Bosquéjese la salida del circuito mostrado en la figura P1.3 cuando v_s es una onda senoidal de 100 V pico a pico con un periodo de 2 s. Supóngase que el diodo es ideal.

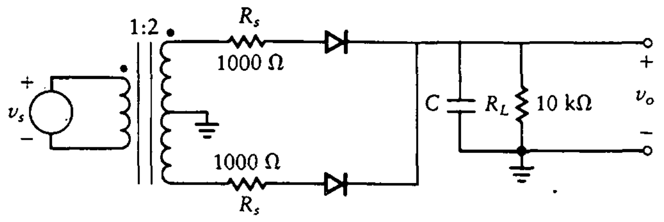


Figura P1.3

1.4 Si la carga de salida de un rectificador de media onda es 10 kΩ, ¿qué valor de capacitor se requiere para obtener una tensión de salida que no varíe más del 5%? La tensión de entrada es de 100 V rms a 60 Hz. Remítase a la figura P1.1. Dibújese la forma de onda de la salida.

1.5 Si la carga de salida de un rectificador de onda completa es 10 kΩ, ¿qué valor de capacitor se requiere para mantener una tensión de salida que no varíe más del 10%? La entrada es de 100 V rms a 60 Hz. Remítase a la figura P1.3. Dibújese la forma de onda de la salida.

1.6 Una señal de radiofrecuencia (rf) de 2 MHz se modula con una señal de 15 kHz, con índice de modulación de 0.5. ¿Qué capacitancia se debe utilizar a través de un detector de 2 kΩ de carga para filtrar la rf sin afectar la señal modulante?

1.7 Grafique I_D contra V_D para un diodo de silicio si la corriente de saturación inversa, $I_o = 0.1$ μA utilizando $n = 1.5$ para el silicio. Determínese también la tensión de encendido del diodo.

1.8 Grafique I_D contra V_D para un diodo de germanio si la corriente de saturación inversa, $I_o = 0.01$ mA. Determínese también la tensión de encendido para el diodo (esta curva se puede trazar en la misma gráfica que la del problema 1.7).

1.9 Un diodo particular tiene una corriente de saturación inversa de 0.2 μA, $n = 1.6$ y $V_T = 26$ mV. Determínese la corriente del diodo cuando la tensión a través de éste es 0.4 V. Determínese también la resistencia en directo del diodo en este punto de operación.

1.10 Para el circuito mostrado en la figura P1.4, determínese la corriente a través del diodo cuando la tensión de cd a través de éste es de 0.6 V para el intervalo de corriente y $nV_T = 40$ mV.

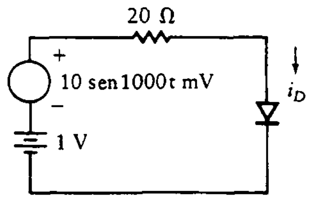


Figura P1.4

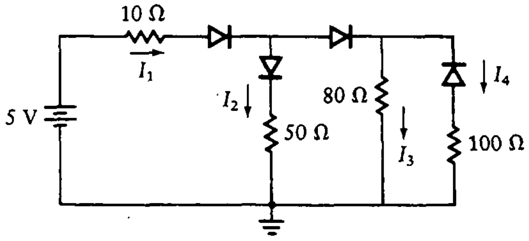


Figura P1.5

1.11 Para el circuito mostrado en la figura P1.5, determínese I_3 para cada caso.

a. Cuando los diodos se consideran ideales.

b. Cuando los diodos no se consideran ideales con $R_f = 10\ \Omega$ y $V_D = 0.7$ V. Ignórese la corriente de saturación inversa.

1.12 Un diodo Zener se conecta en un circuito, como se muestra en la figura P1.6. ¿Cuál es el valor de la resistencia R_i que mantiene la tensión en la carga a 12 V (V_Z) si la corriente en la carga es 1 A y la tensión de entrada varía de 14 a 20 V? ¿Cuál es el margen de potencia necesario para el resistor y el diodo Zener?

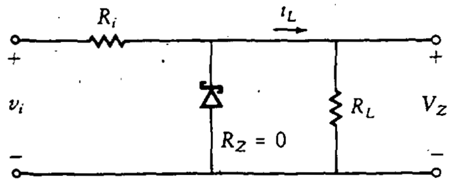


Figura P1.6

1.13 Si un diodo Zener se conecta en un circuito como el mostrado en la figura P1.6, ¿cuál es el valor del resistor R_i que mantiene la tensión en la carga a 12 V (V_Z) cuando la carga varía de 50 mA a 500 mA y la tensión de entrada varía de 15 a 20 V? Determínese el margen de potencia requerido para el resistor y el diodo Zener.

1.14 El regulador Zener mostrado en la figura P1.7 utiliza un diodo Zener de 20 V para mantener 20 V constantes a través de la resistencia de carga, R_L. Si la tensión de entrada varía de 32 a 43 V y la corriente en la carga varía de 200 mA a 600 mA, selecciónese el valor de R_i para mantener la tensión constante a través de la carga. Determínese el margen de potencia para el resistor y el diodo Zener. Supóngase que $R_Z = 0$.

1.15 El regulador Zener mostrado en la figura P1.7 utiliza un diodo Zener de 9 V para mantener 9 V constantes a través de la carga, con una entrada que varía entre 16 y 25 V y una salida que varía entre 100 mA y 800 mA. Considérese que $R_Z = 0$.

a. Selecciónese el valor de R_i necesario y determínese el requerimiento mínimo de potencia.

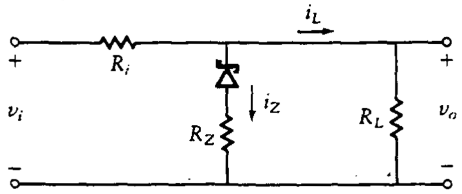


Figura P1.7

b. Determínese el margen de potencia del diodo Zener.

c. Calcúlese la variación pico a pico en la salida si $R_Z = 1\ \Omega$.

1.16 Considerando que no existen pérdidas en los diodos rectificadores de la figura P1.8, ¿cuál es el valor de R_i necesario para mantener V_L a 16 V con una corriente en la carga de 1 A utilizando un diodo Zener de 16 V? v_i varía entre 110 y 120 V rms a 60 Hz. Supóngase que $R_Z = 0$. La tensión hacia el regulador debe ser al menos 5 V arriba de V_Z.

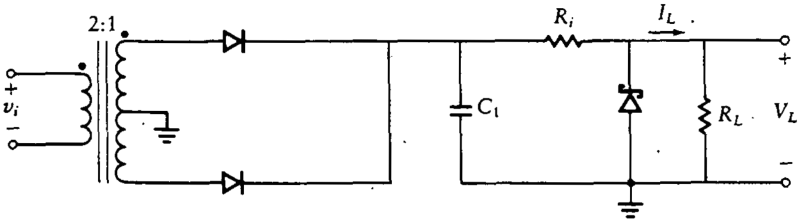


Figura P1.8

1.17 Suponiendo que no existe caída de tensión en el diodo rectificador de la figura P1.8, ¿cuál es el valor necesario de R_i para mantener V_L a 16 V con una carga de 1 A? La tensión de entrada al transformador es de 110 a 120 V rms a 60 Hz. La salida filtrada del rectificador no debe variar más de ±5 V. Determínese el margen de potencia necesario para el resistor y el diodo Zener.

1.18 Utilizando los valores para la tensión de entrada a R_i del problema 1.17 pero con un Zener de 12 V, ¿cuál debe ser el valor de R_i para mantener 12 V en la salida si la carga varía de 20 mA a 600 mA? ¿Qué tamaño debe tener el capacitor?

1.19 Utilizando el circuito de la figura P1.8 y suponiendo que no hay pérdidas en los diodos rectificadores, ¿cuál es el valor de R_i para mantener 12 V a través de la carga utilizando un Zener de 12 V cuando v_i es de 110 a 120 V rms a 60 Hz? La salida del rectificador cae 20% debido al tamaño del capacitor, C_1, y la carga varía de 20 mA a 500 mA. ¿Cuál es el tamaño del capacitor?

1.20 Repítase el problema 1.19 utilizando un MC7812 para reemplazar el regulador discreto mostrado. Determínese el mínimo tamaño necesario del capacitor.

1.21 Con una forma de onda de entrada de $10 \operatorname{sen} \omega t$, ¿cuál es la forma de onda de salida para los circuitos recortadores mostrados en la figura P1.9? Suponga que todos los diodos son ideales.

1.22 Diséñese un fijador que proporcione +2 V de nivel fijo a una onda de entrada cuadrada para el circuito mostrado en la figura P1.10. La magnitud de la onda cuadrada de entrada es ±4 V con un periodo de 100 μs.

1.23 En los circuitos recortadores con diodos de la figura P1.11, $v_i = 20 \operatorname{sen} \omega t$, $R = 2\ \text{k}\Omega$ y $V_R = 10$ V. La tensión de referencia se obtiene de una terminal en un divisor de 10 kΩ conectado a una fuente de 100 V. Despréciense todas

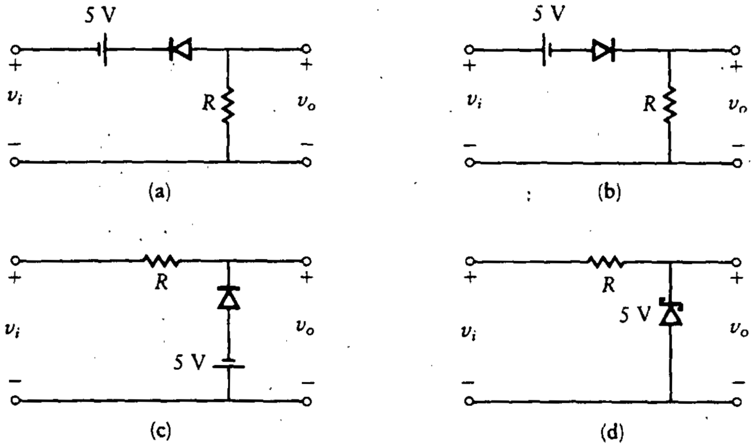


Figura P1.9

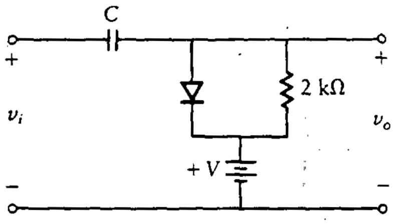


Figura P1.10

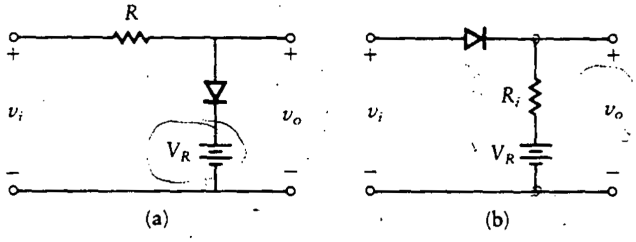


Figura P1.11

las capacitancias. La resistencia en directo del diodo es 100 Ω, $R_r = \infty$, y $V_\gamma = 0$. Dibújense las formas de onda de entrada y salida. Aplíquese el teorema de Thévenin para la red divisora de la tensión de referencia.

1.24 a. La tensión de entrada, v_i, al recortador mostrado en la figura P1.12(a) varía en forma lineal de 0 a 175 V. Bosquéjese la tensión de salida v_o en la misma gráfica que la entrada. Supóngase diodos ideales.

b. Repítase la parte (a) para el circuito de la figura P1.12(b).

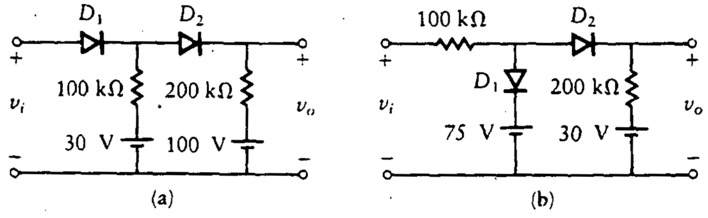


Figura P1.12

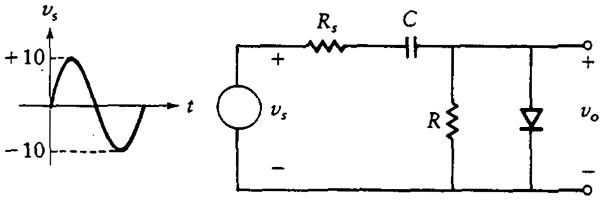


Figura P1.13

1.25 Una fuente ideal de tensión senoidal de 10 kHz cuyas excursiones pico son de ± 10 V con respecto a tierra se aplica al circuito fijador con diodo de la figura P1.13. Supóngase que $R = \infty$, $R_s = 0$, $C = 1\ \mu F$, el diodo tiene una $R_r = \infty$, $R_f = 0$ y $V_\gamma = 0$, y la resistencia de la fuente es cero. Bosquéjese la forma de onda en la salida.

1.26 La señal mostrada en la figura P1.13 con una frecuencia de 10 kHz se aplica al circuito, con valores $R_s = 0$, $R = 10\ k\Omega$, $C = 1\ \mu F$, $R_f = 0$, $R_r = \infty$ y $V_\gamma = 0$.

a. Bosquéjese la forma de onda en la salida, v_o.

b. Repítase la parte (a) si $R = 1\ k\Omega$ y $C = 0.1\ \mu F$.

1.27 ¿Qué tipo de recortador se necesita para obtener las formas de onda ilustradas en la figura P1.14? Supóngase que la entrada es 10 sen t volts. Dibújense y etiquétense los circuitos.

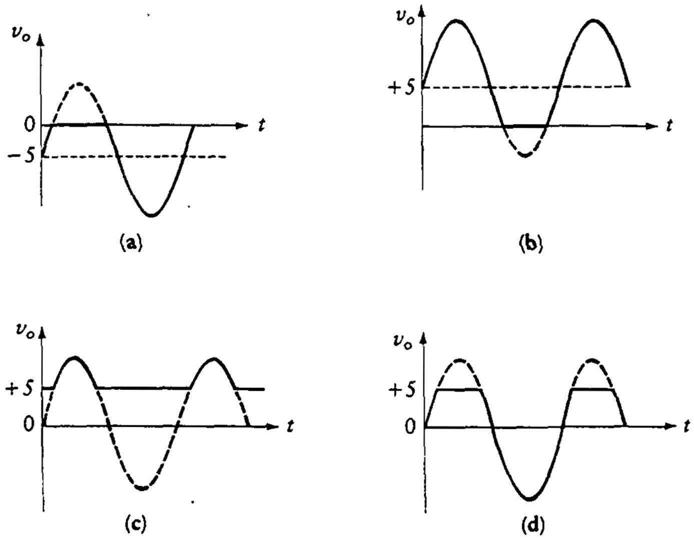


Figura P1.14

PROBLEMAS ADICIONALES

PA1.1 Diseñe una fuente de energía con un rectificador de media onda que tiene una entrada de 120 V rms a 60 Hz, con una salida máxima de 17 V y una mínima de 12 V. La fuente debe proporcionar energía a un circuito electrónico que necesita una corriente máxima de 1 A. Determine la configuración del circuito, la razón de vueltas del transformador y el tamaño del capacitor. Suponga que los diodos y el transformador son ideales.

PA1.2 Repita el problema anterior con un rectificador de onda completa.

PA1.3 Determine el valor del capacitor para el circuito mostrado en la figura 1.24 cuando $a = 6$ y $R_L = 50\ \Omega$. La tensión mínima en la carga no debe caer más de un 20%.

PA1.4 Diseñe una fuente de energía con un rectificador de onda completa, un transformador con razón de vueltas de 4:1 con derivación central y un diodo Zener de 8 V y 2 W, que proporcione 8 V constantes a una carga que varía de 200 a 500 Ω. La tensión de entrada al transformador es de 120 V rms, 60 Hz. Ignore las pérdidas en el transformador y los diodos. Determine:

a. $I_{Z_{máx}}$ e $I_{Z_{mín}}$.

b. R_i y $V_{S_{mín}}$.

c. El valor del capacitor necesario.

d. El porcentaje de regulación cuando $R_Z = 2\ \Omega$.

PA1.5 Diseñe una fuente de energía regulada con un rectificador de onda completa, un transformador con razón de vueltas de 5:1 con derivación central y un diodo Zener de 8 V y 2 W, que proporcione 8 V constantes a una carga que varía de 100 a 500 Ω. La tensión de entrada al transformador es de 120 V rms, 60 Hz. Ignore las pérdidas en el transformador y los diodos. Determine:

a. $I_{Z_{máx}}$ e $I_{Z_{mín}}$.

b. R_i y $V_{s_{mín}}$.

c. El valor del capacitor necesario.

d. El porcentaje de regulación cuando $R_Z = 2\ \Omega$.

e. La potencia de R_i.

PA1.6 a. Dibuje la señal de salida para el circuito mostrado en la figura PA1.1(a) si $v_i = 9 \operatorname{sen} 1000t$ V. Muestre los valores máximo y mínimo en el dibujo y la ecuación de las curvas para diferentes intervalos de tiempo. Suponga que los diodos son ideales.

b. Repita el problema para la figura PA1.1(b).

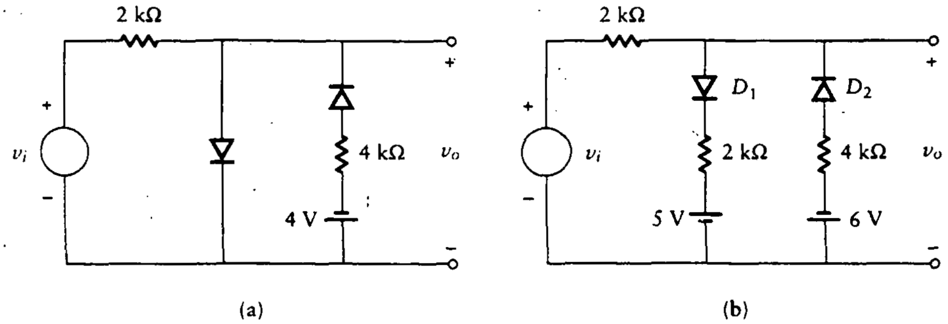


Figura PA1.1

PA1.7 Diseñe un circuito recortador para obtener la salida mostrada en la figura PA1.2 a partir de una onda cuadrada simétrica de ±10 V. Suponga que $V_\gamma = 0.7$ V.

PA1.8 Diseñe un circuito sujetador para obtener la salida mostrada en la figura PA1.3. Suponga que el capacitor disponible es de 0.1 μF y que la entrada es $v_i = 5 \operatorname{sen} 25\,000t$ V. Suponga que $V_\gamma = 0.7$ V.

PA1.9 Seleccione un resistor para limitar la corriente e iluminar en forma adecuada un LED cuando se aplican 8 V al LED.

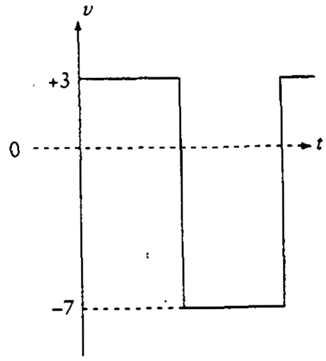


Figura PA1.2

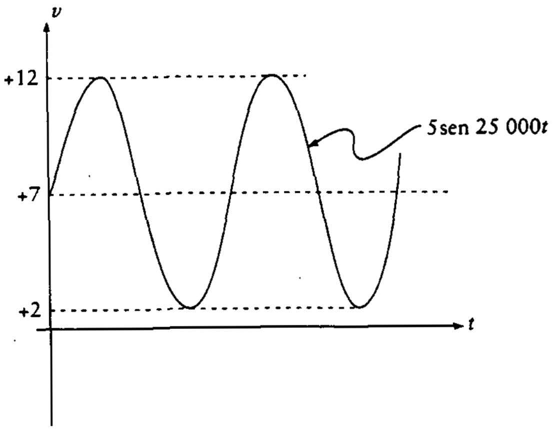


Figura PA1.3

2

AMPLIFICADORES CON TRANSISTORES BIPOLARES DE UNIÓN

2.0 INTRODUCCIÓN

El análisis básico de circuitos es el estudio de la interconexión de dispositivos pasivos y fuentes. Los *dispositivos pasivos lineales* incluyen resistores, capacitores e inductores. Estos dispositivos realizan las operaciones lineales de multiplicación proporcional, integración y diferenciación. Las *fuentes independientes* son de corriente o de tensión, y los valores de sus salidas no dependen de ningún otro valor en el circuito. Las *fuentes dependientes* se caracterizan por tener una corriente o tensión de salida, función de un parámetro en alguna rama del circuito separada de aquella de la fuente. Por lo general, las fuentes dependientes surgen del modelado de dispositivos activos como los transistores bipolares de unión, los transistores de efecto de campo y los amplificadores operacionales.

El estudio de dispositivos activos en este libro se inicia con el transistor bipolar de unión. En 1948 John Bardeen, Walter H. Brattain y William Shockley de Bell Telephone Laboratories construyeron y probaron el primer transistor. Era un dispositivo imperfecto (no refinado) de baja ganancia; en realidad, no tenía mayores propósitos que los de experimentar en el laboratorio. Por otra parte, en la industria el tubo de vacío reinaba en aplicaciones que iban desde bienes de consumo hasta usos militares. Sin embargo, existían algunas funciones que el tubo no podía desempeñar sin un gran gasto. Aún más, ciertas aplicaciones eran imposibles de lograr utilizando tubos de vacío. Poco después de la invención del transistor, los

ingenieros vieron sus ventajas en pequeños dispositivos portátiles y empezaron a mejorar su desempeño. El resultado fue una continua evolución que condujo al transistor de hoy en día. Durante los años sesenta, los procesos y métodos de fabricación se mejoraron de forma tal que el transistor pudo construirse de manera confiable. Esto produjo una explosión en la industria electrónica, pues muchos productos se podían construir en forma barata. La capacidad de manejar potencia y las frecuencias máximas de operación se incrementaron de forma constante en este periodo. En la actualidad el transistor ha reemplazado casi completamente al tubo de vacío, excepto en algunas aplicaciones de alta potencia y alta frecuencia.

2.1 FUENTES DE TENSIÓN Y DE CORRIENTE DEPENDIENTES

Las fuentes dependientes producen una tensión o corriente cuyo valor está determinado por la existencia de una tensión o corriente en otro lugar del circuito (nótese que los dispositivos pasivos producen una tensión o corriente cuyo valor se determina por una tensión o corriente en el *mismo* lugar del circuito). Las fuentes de tensión y corriente dependientes o independientes son elementos *activos*, esto es, capaces de suministrar energía a algún dispositivo externo. Los elementos *pasivos* no pueden generar energía, aunque pueden almacenar cantidades finitas de ésta para su distribución posterior, como es el caso de los capacitores e inductores.

En la figura 2.1 se muestra un circuito que contiene una fuente dependiente. La fuente de tensión depende del valor de la tensión, V_{R2}. El factor de amplificación es 4. La ley de tensiones de Kirchhoff (LTK) se aplica al lazo para obtener

$$10 = (5000)I + 4V_{R2} - V_{R2} = (5000)I + 3V_{R2}$$

Entonces, utilizando la ley de Ohm, se obtiene

$$V_{R2} = -(1000)I$$

Sustituyendo esto en la ecuación de lazo, se tiene

$$10 = (5000)I + 3V_{R2} = (5000)I - (3000)I = (2000)I$$

Por tanto,

$$I = 5 \text{ mA}$$
$$V_{R2} = -5 \text{ V}$$

y

$$4V_{R2} = -20 \text{ V}$$

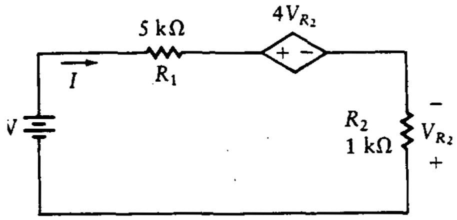


Figura 2.1 Circuito con una fuente de tensión dependiente.

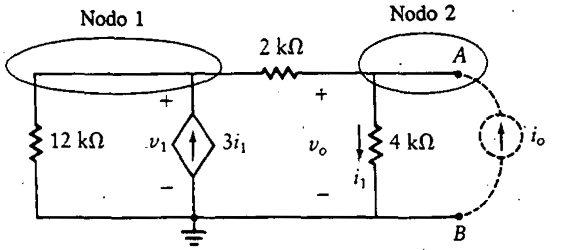


Figura 2.2 Circuito con una fuente de corriente dependiente.

La tensión a través de la fuente dependiente es dos veces mayor que la de la fuente independiente.

Si la batería de 10 V se reemplaza por una fuente de tensión alterna, la tensión a través de la fuente dependiente tendrá el doble de amplitud que la entrada y estará 180° fuera de fase.

Ahora se analizará un circuito simple que contiene una fuente de corriente dependiente, como el mostrado en la figura 2.2. Nótese que este circuito sólo cuenta con una fuente dependiente y resistores; no existe una fuente independiente de energía. Por tanto, sin conexiones externas, el circuito se mantendrá con corrientes y tensiones cero para cada rama (verifíquese que haciendo todos los parámetros iguales a cero se satisfacen las leyes de corriente y de tensión de Kirchhoff). Este circuito tiene interés sólo cuando se conectan circuitos adicionales (en este caso, a las terminales A y B).

Se encontrará el equivalente de Thévenin del circuito visto a través de estas dos terminales. La tensión de circuito abierto es cero, por lo que todo el circuito es equivalente a una sola resistencia. La resistencia de Thévenin no se puede encontrar utilizando combinaciones simples de resistores debido a la presencia de la fuente dependiente. Tampoco se puede encontrar utilizando la técnica de evaluar la tensión de circuito abierto y hacer un cortocircuito en la corriente para luego tomar la razón. Ambas cantidades son cero, por lo que este método conduce a una respuesta indeterminada. El método más utilizado en este tipo de problemas es suponer que se aplica una fuente de corriente o tensión a las terminales, evaluar la tensión o corriente resultante, y entonces tomar la razón para encontrar la resistencia.

Supóngase que se aplica una corriente i_o como se muestra con líneas punteadas en la figura. La ley de corrientes de Kirchhoff (LCK) (análisis de nodos) en el nodo 1 da

$$\frac{v_1}{12000} - 3i_1 + \frac{v_1 - v_o}{2000} = 0$$

En el nodo 2,

$$\frac{v_o - v_1}{2000} + \frac{v_o}{4000} = i_o$$

Sustituyendo $i_1 = v_o/4000$ en la ecuación anterior, se tiene

$$7v_1 - 15v_o = 0$$

$$-2v_1 + 3v_o = 4000i_o$$

Se utiliza la regla de Cramer para resolver este sistema de ecuaciones y obtener

$$v_o = \frac{\begin{vmatrix} 7 & 0 \\ -2 & i_o \times 4000 \end{vmatrix}}{\begin{vmatrix} 7 & -15 \\ -2 & 3 \end{vmatrix}} = \frac{(28000)i_o}{21 - 30} = (-3110)i_o \text{ V}$$

La resistencia equivalente, R_{TH}, se obtiene dividiendo v_o por i_o para obtener

$$R_{TH} = -3.11 \text{ k}\Omega$$

El hecho de que la resistencia sea negativa sugiere una ganancia de potencia, o amplificación. Este circuito no consume energía. Al contrario, la suministra, o produce ganancia de potencia.

En la figura 2.3 se ilustra una configuración común en análisis de circuitos de estado sólido. Se encontrará la ganancia de tensión y de corriente de este sistema. La *ganancia de tensión* se define como la razón de la tensión de salida a la de entrada. Del mismo modo, la *ganancia de corriente* es la razón de corriente de salida a corriente de entrada. La corriente de entrada es

$$i_{en} = \frac{v_i}{R_{en}} = \frac{20 \operatorname{sen} \omega t \text{ mV}}{1 \text{ k}\Omega} = 20 \operatorname{sen} \omega t \ \mu\text{A}$$

Se puede utilizar una relación de divisor de corriente para encontrar i_1.

$$i_1 = \frac{2000(20 \operatorname{sen} \omega t \ \mu\text{A})}{2000 + 2000} = 10 \operatorname{sen} \omega t \ \mu\text{A}$$

La tensión de salida está dada por

$$v_o = -100i_1 \times (10 \text{ k}\Omega \parallel 10 \text{ k}\Omega)$$

donde || indica una combinación de resistores en paralelo.

$$v_o = -(500000)i_1 = -500000(10 \times 10^{-6} \operatorname{sen} \omega t) = -5 \operatorname{sen} \omega t \text{ V}$$

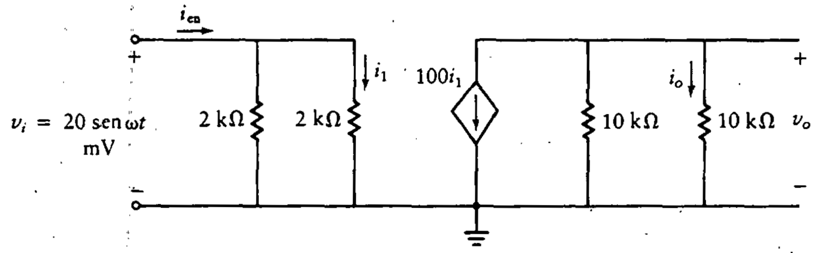


Figura 2.3
Circuito de estado sólido equivalente.

Entonces, utilizando una relación de divisor de corriente, se encuentra que la corriente de salida es

$$i_o = \frac{10000(-100i_1)}{10000 + 10000} = -50i_1$$

La ganancia de tensión es

$$\frac{v_o}{v_1} = \frac{-5\,\text{sen}\,\omega t}{0.02\,\text{sen}\,\omega t} = -250$$

La ganancia de corriente es

$$\frac{i_o}{i_{en}} = \frac{-50(10\ \mu\text{A})}{20\ \mu\text{A}} = -25$$

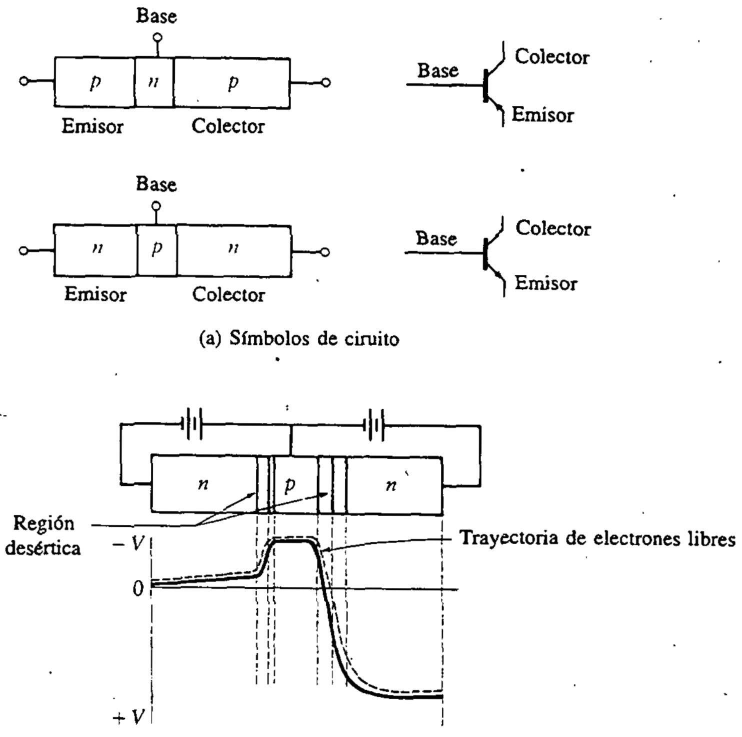
2.2 TRANSISTORES BIPOLARES

El transistor es un dispositivo de tres terminales, a diferencia del diodo, que tiene dos terminales. Éste consiste en un material de tipo *p* y uno de tipo *n*; el transistor consiste en dos materiales de tipo *n* separados por un material de tipo *p* (transistor *npn*) o en dos materiales *p* separados por un material *n* (transistor *pnp*). En la figura 2.4(a) se incluye la representación esquemática de un transistor [22].

Las tres capas o secciones diferentes se identifican como emisor, base y colector. El *emisor*, capa de tamaño medio diseñada para emitir o inyectar electrones, está bastante contaminado. La *base*, con una contaminación media, es una capa delgada diseñada para pasar electrones. El *colector*, capa grande diseñada para colectar electrones, está poco contaminado.

El transistor se puede concebir como dos uniones *pn* colocadas "espalda contra espalda"; éstas se denominan *transistores bipolares de unión* (BJT, *bipolar junction transistor*).

Figura 2.4
El transistor bipolar.



(a) Símbolos de ciruito

(b) Diagrama potencial colina

Para explicar la operación del transistor, se desarrolla un modelo matemático simple basado en las características operacionales del dispositivo para la región en la que se esté trabajando. A fin de mantener la sencillez del modelo, se restringe el análisis a bajas frecuencias. En el capítulo 3 se modifica este modelo simple para incluir las resistencias de entrada. Luego, en el capítulo 10, se amplía el modelo y se incluyen componentes adicionales para poder analizar la operación del transistor en alta frecuencia.

El presente modelo es suficiente para exponer los conceptos y diseñar varias aplicaciones útiles en baja frecuencia. Intencionalmente se presenta poco complicado, de manera que es posible encontrar soluciones de forma cerrada a las ecuaciones resultantes. No obstante, si se requieren resultados más exactos, puede ser necesario el análisis por computador. Se ha desarrollado un programa de análisis apoyado por computador, que se conoce como *SPICE* (*simulated program with integrated circuit emphasis*; véase el Ap. A y [36], pág. 254) y utiliza el modelo de *Gummel-Poon* ([16], pág. 286). Muchas compañías estadounidenses utilizan SPICE para desarrollar circuitos de muchos transistores y también para realizar análisis de "peor caso" en circuitos y determinar los efectos de la tolerancia de los componentes.

En el capítulo 10 se comentan modelos similares al de Gummel-Poon utilizado en SPICE, considerando el análisis y el diseño en alta frecuencia.

2.3 OPERACIÓN DEL TRANSISTOR

Una explicación sencilla pero efectiva de la operación del transistor *npn* se lleva a cabo utilizando la técnica de diagramas de barrera de potencial de la figura 2.4(b). Este método ilustra de manera simplificada la operación básica de un transistor bipolar de tal forma que se puedan entender ejemplos de circuitos sencillos. Cuando la unión base-emisor se polariza en directo y la unión base-colector en inverso, los electrones que dejan el material *n* del emisor sólo ven una barrera de potencial pequeña en la unión *np*. Como la barrera de potencial es pequeña, muchos de los electrones tienen la suficiente energía para llegar al tope de ella. Una vez en el tope, los electrones se mueven fácilmente a través del material *p* (base) a la unión *pn* (base-colector). Cuando se acercan a esta unión, los electrones se encuentran bajo la influencia de la fuente de tensión positiva y se mueven con mucha rapidez conforme descienden en la barrera de potencial. Si se reduce la polarización en directo de la unión base-emisor, aumenta la altura de la barrera de potencial. A los electrones que dejan el emisor les será más difícil alcanzar el tope. Los electrones que lo alcanzan son aquellos con mayor cantidad de energía, y los que alcanzarán el colector. Por tanto, una reducción de la polarización en directo provoca que la corriente a través del transistor se reduzca en forma considerable. Por otra parte, al incrementar la polarización en directo de la unión base-emisor se reduce la barrera de potencial y se permite el flujo de un mayor número de electrones a través del transistor.

El flujo de corriente en un transistor de unión también se puede entender mediante el examen del comportamiento de los portadores de carga y las regiones desérticas. Estas regiones se indicaron en la figura 2.4(b). Nótese que como la unión base-emisor está polarizada en directo, la región desértica es relativamente delgada. Lo inverso es correcto para la unión base-colector. Un gran número de portadores mayoritarios (electrones) se difunde a través de la unión base-emisor, puesto que ésta se halla polarizada en directo. Estos electrones entran a la región de la base y tienen dos opciones. Podrían dejar esta región a través de la conexión con las fuentes de alimentación o continuar hacia la región de colector a través de la amplia región desértica de la unión polarizada en inverso. Lo normal sería esperar que la mayor parte de esta corriente regresara a la fuente, excepto por las siguientes observaciones. Como la región de base es muy delgada, estos electrones necesitan viajar una distancia más corta para ser atraídos por la fuente positiva del colector. Además, el material de la base posee una conductividad baja, por lo que el trayecto hacia la terminal de la fuente presenta alta impedancia. En realidad, una cantidad muy pequeña de los electrones deja la base a través de la conexión con la fuente; la mayor parte de la corriente fluye hacia el colector.

El transistor de unión bipolar presenta ganancia de corriente, lo cual se puede utilizar para amplificar señales. En la figura 2.5 se muestra el circuito equivalente simplificado de un transistor *npn*. Por lo general, este modelo es adecuado para el diseño y análisis de muchos circuitos.

En la figura 2.6 se muestra un circuito simple para obtener ganancia de corriente. Se aplica una fuente de tensión a través de la unión base-emisor, y se

Figura 2.5
Circuito equivalente simplificado del transistor.

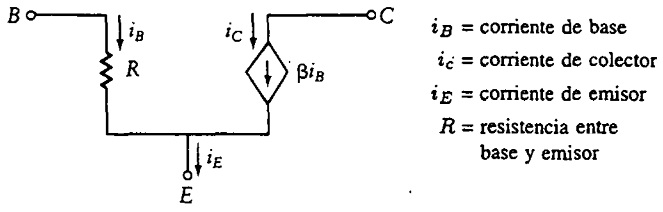
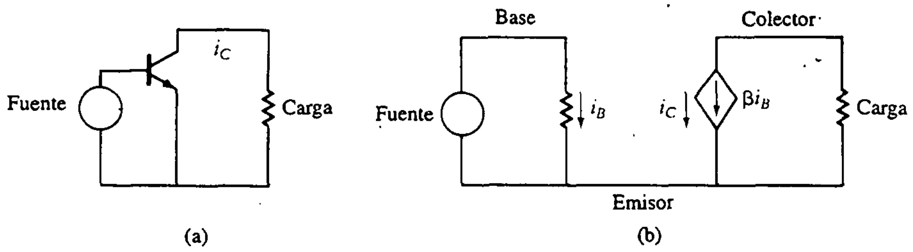


Figura 2.6
Circuito simple de transistor.



conecta una resistencia entre colector y emisor. En la figura 2.6(b) se muestra el mismo circuito, donde el transistor se reemplazó por el modelo de la figura 2.5. Debido a la presencia de la fuente dependiente, una corriente en la terminal de base controla la corriente del colector al emisor. La fuente de corriente en el colector depende de la corriente de base, i_B. Conforme aumenta i_B, la corriente de colector, i_C, aumenta en forma proporcional. La constante de proporcionalidad se llama *beta* (β).

En la figura 2.7 se muestra una versión refinada de este modelo, conocida como *modelo de Ebers-Moll* [32]. La unión base-emisor actúa como un diodo polarizado en directo con una corriente $i_B + i_C$. La unión base-colector está polarizada en inverso y exhibe una corriente de fuga pequeña, I_{CBO}, y una corriente grande, βi_B. Esta última es provocada por la interacción de corrientes en la base. Queda claro que

$$i_E = i_C + i_B \tag{2.1}$$

Nótese que la dirección positiva de las corrientes de base y de colector se define *entrando* al transistor, y en forma inversa para la corriente del emisor. Esta es una simple convención, y se podría haber invertido cualquiera de las direcciones. El modelo de Ebers-Moll incluye una corriente, I_{CBO}, que es independiente de la corriente de base.

Figura 2.7
Modelo de Ebers-Moll.

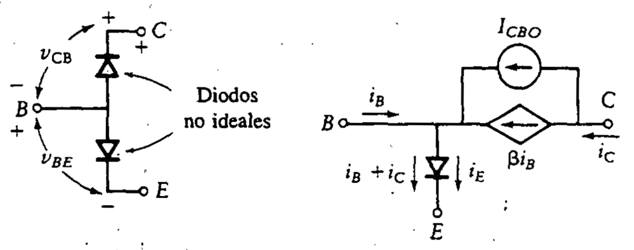
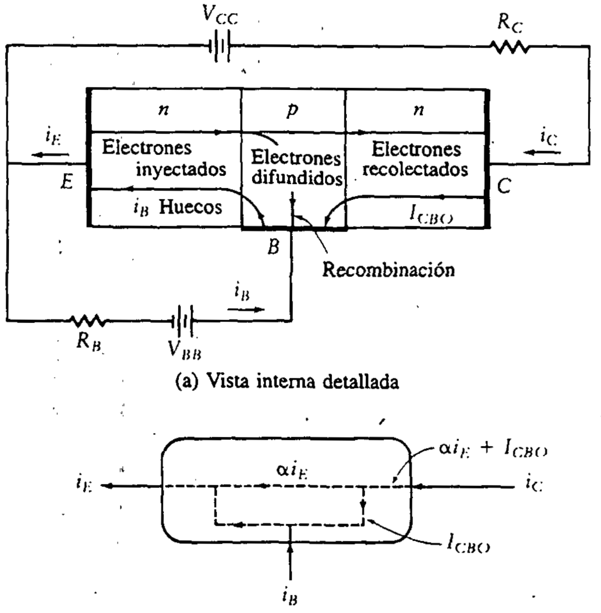


Figura 2.8
Corrientes internas en un transistor.



(a) Vista interna detallada

(b) Vista simplificada

La *ganancia de corriente en base común*, α, se define como la razón del cambio en la corriente de colector al cambio en la corriente de emisor, suponiendo que la tensión entre el colector y la base es constante. Por tanto,

$$\alpha = \left.\frac{\Delta i_C}{\Delta i_E}\right|_{v_{CB} = \text{constante}}$$

Esto se muestra de manera gráfica en la figura 2.8, donde I_{CBO} es la corriente de fuga entre base y colector. Se desea encontrar una relación entre las corrientes de base y de colector. La corriente de colector se encuentra al observar la figura 2.8(b):

$$i_C = \alpha i_E + I_{CBO} \tag{2.2}$$

Combinando las ecuaciones (2.1) y (2.2), se encuentra la corriente de emisor,

$$i_E = \alpha i_E + I_{CBO} + i_B$$

y resolviendo para la corriente de base,

$$i_B = i_E(1 - \alpha) - I_{CBO} \tag{2.3}$$

Se puede eliminar i_E de la ecuación (2.3) reescribiendo la ecuación (2.2) como

$$i_E = \frac{i_C - I_{CBO}}{\alpha}$$

Por último, esto se sustituye en la ecuación (2.3) para obtener una relación entre i_B, i_C e I_{CBO}:

$$\begin{aligned} i_B &= \frac{(i_C - I_{CBO})(1 - \alpha)}{\alpha} - I_{CBO} \\ &= \frac{(1 - \alpha)i_C}{\alpha} - \frac{I_{CBO}}{\alpha} \end{aligned} \tag{2.4}$$

La ganancia de corriente en base común, α, suele estar entre 0.9 y 0.999. Por tanto, el inverso se puede aproximar a la unidad, dando así

$$i_B = \frac{(1 - \alpha)i_C}{\alpha} - I_{CBO}$$

Beta (β) se utilizó antes (véase Fig. 2.6) para definir la razón entre cambios de corriente de colector y cambios de corriente de base. Esto es,

$$\beta = \frac{\Delta i_C}{\Delta i_B}$$

Por tanto, se diferencia la ecuación (2.4) y se reacomodan los términos.

$$\beta = \frac{\alpha}{1 - \alpha}$$

Los valores típicos de β se hallan entre 10 y 600. Haciendo la sustitución para β, se tiene

$$i_B = \frac{i_C}{\beta} - I_{CBO}$$

Por lo general, se puede despreciar I_{CBO}, pues es pequeña en magnitud. Por tanto,

$$i_C \approx \beta i_B \tag{2.5}$$

El término β se conoce como *factor de ganancia a señal grande* o *factor de amplificación en cd*. Por tanto, se vuelve al modelo original simplificado. En la práctica, el valor de β varía con la corriente de base.

Existen inconvenientes en el diseño debido a las variaciones de β por los cambios de corriente en el transistor. Además, durante la fabricación del transistor, se producen variaciones en el valor de beta dentro de un mismo lote de producción. Por tanto, dos transistores fabricados al mismo tiempo tendrán diferentes valores de β, aun en los mismos niveles de corriente. Esto lleva al desarrollo de un procedimiento de diseño que haga al valor de la corriente de colector relativamente independiente de los cambios en β. Estos métodos se comentan en la sección 2.5.

Otra suposición que se realiza a menudo como simplificación es que la corriente de colector es aproximadamente igual a la corriente de emisor. Esto es, como I_{CBO} resulta pequeña comparada con i_C y como α está entre 0.9 y 0.999, se tiene

$$i_C \approx i_E \tag{2.6}$$

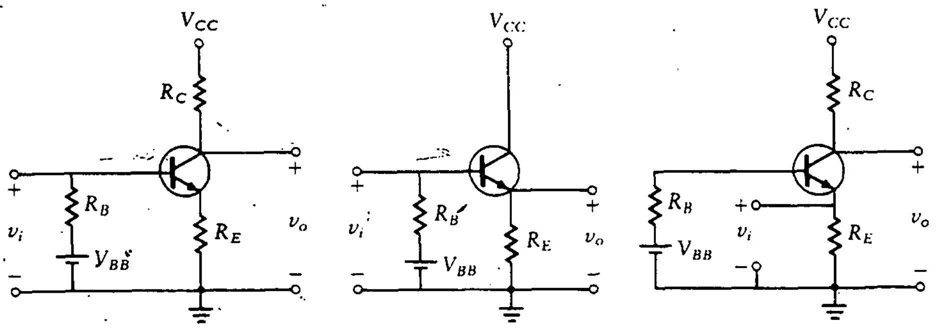
2.4 CIRCUITOS CON TRANSISTORES

2.4.1 Configuraciones comunes en circuitos

Existen tres configuraciones usadas en circuitos de transistores. La más utilizada es la de *amplificador en emisor común (EC)*, así llamada porque el emisor se encuentra tanto en el lazo de entrada como en el de salida. El siguiente circuito más utilizado es la configuración en *colector común (CC)*, también conocida como *emisor seguidor*. La tercera configuración es el circuito en *base común (BC)*. En la figura 2.9 se muestran ejemplos de estas configuraciones de amplificadores y se ilustran los circuitos que utilizan transistores *npn*.

En este capítulo se considera el diseño de la polarización, o circuito en cd. Está caracterizado por el resistor de base, R_B, el resistor de emisor, R_E, el resistor de colector, R_C, y la fuente de tensión, V_{CC}. La técnica de polarización para el amplificador EC es la misma que para la configuración BC, por lo que se consideran juntas. La configuración CC se considera por separado. Cuando se utilizan transistores *pnp*, se invierten las polaridades de las tensiones de V_{BB} y V_{CC}, pero los circuitos equivalentes desarrollados en ca se mantienen igual.

Figura 2.9
Circuitos amplificadores.



(a) Emisor común (b) Colector común (emisor seguidor) (c) Base común

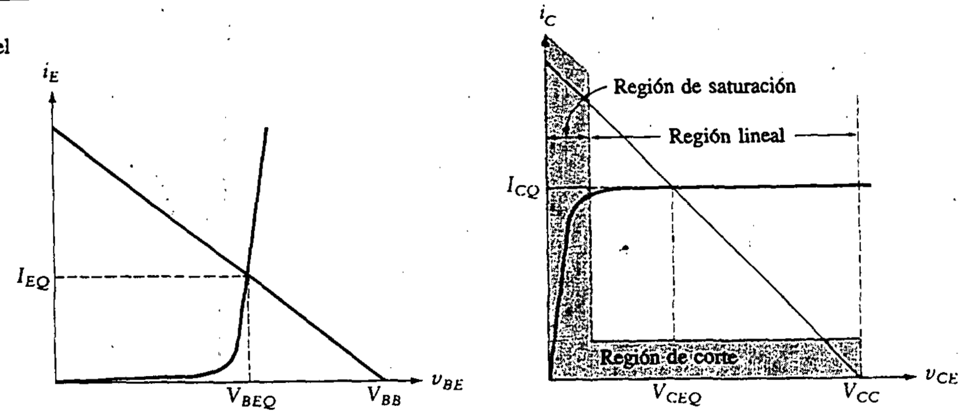
2.4.2 Curvas características

Como el transistor es un dispositivo no lineal, una forma de definir su operación es usar una serie de curvas características de manera similar a las utilizadas en el capítulo anterior para los diodos. Existe un conjunto de curvas para cada tipo de transistor. Como no se está tratando con dispositivos de dos terminales, las ecuaciones incluyen al menos tres variables. Por tanto, se utilizan *curvas paramétricas* para describir el comportamiento del transistor. En la figura 2.10 se muestran dos gráficas características. En la figura 2.10(a) se ilustra la corriente del emisor como función de la tensión entre la base y el emisor cuando v_{CE} se mantiene constante. Nótese que, como se podría esperar, esta curva es similar a la del diodo, ya que constituye la característica de la corriente en una unión simple. Se dibuja una línea de carga utilizando las dos intersecciones con los ejes. Cuando $i_E = 0$, $v_{BE} = V_{BB}$. La otra intersección se encuentra haciendo $v_{BE} = 0$. El punto donde la línea de carga cruza la curva de i_E contra v_{BE} se llama *punto de operación*, o *punto Q*. La pendiente de la línea de carga es $-1/(R_E+R_B)$. Esto es, la resistencia equivalente vista por las terminales de base y de emisor es simplemente R_E+R_B. La pendiente de la curva característica es $1/r_d$, donde r_d es la *resistencia dinámica* de la unión base-emisor del transistor. Esta pendiente se puede calcular a partir de la ecuación (1.1) y de las simplificaciones que le siguen. Como esta es una unión *pn*, $nV_T = 26$ mV (suponiendo una unión de silicio a temperatura ambiente). Tomando la derivada de la ecuación (1.1) y realizando las simplificaciones adecuadas, se encuentra que la resistencia dinámica es aproximadamente

$$r_d \approx \frac{0.026}{I_{EQ}}$$

donde I_{EQ} es la corriente del emisor en el punto Q.

Figura 2.10
Curvas características del transistor.



(a) Características base-emisor (b) Características colector-emisor

Como $i_B = i_C/\beta$, la unión base-emisor es similar a la del diodo. Por tanto, para una unión polarizada en directo,

$$i_B = \left(\frac{I_o}{\beta}\right) \exp\left(\frac{v_{BE}}{nV_T}\right)$$

Para un diodo de silicio, n tiene un valor de 1.3 a 1.6. Sin embargo, en transistores de silicio, el valor de n está cercano a la unidad debido a los efectos de recombinación provocados por las corrientes de base y de colector combinadas en la región del emisor. Los transistores de difusión exhiben un incremento del 10 al 20% en el valor de n para niveles de corriente por arriba del intervalo normal de operación del transistor. En este texto, se utilizarán $n \approx 1$ y $nV_T = 26$ mV para transistores de silicio.

Una extensión en línea recta de la curva característica intersecaría el eje v_{BE} en 0.7 V para transistores de silicio, 0.2 V para germanio y 1.2 V para dispositivos de arseniuro de galio.

Si ahora i_B se mantiene constante, la unión colector-emisor se define por la curva de i_C contra v_{CE} mostrada en la figura 2.10(b). Como puede verse en esta curva típica, la corriente de colector es casi independiente de la tensión entre el colector y el emisor, v_{CE}, dentro del "intervalo lineal" de operación. Cuando i_B está próxima a cero, i_C se acerca a cero de manera no lineal. Esto se conoce como operación en *la región de corte*. Para la sección de las curvas características donde v_{CE} se acerca a cero, i_C es máxima. Esta región, conocida como *región de saturación, no es útil para amplificar debido a la operación no lineal.*

Las curvas características son curvas paramétricas de i_C contra v_{CE}, con i_B como parámetro. En la figura 2.11 se muestra un ejemplo de una familia de dichas curvas. Cada tipo de transistor tiene su propio conjunto único de curvas características.

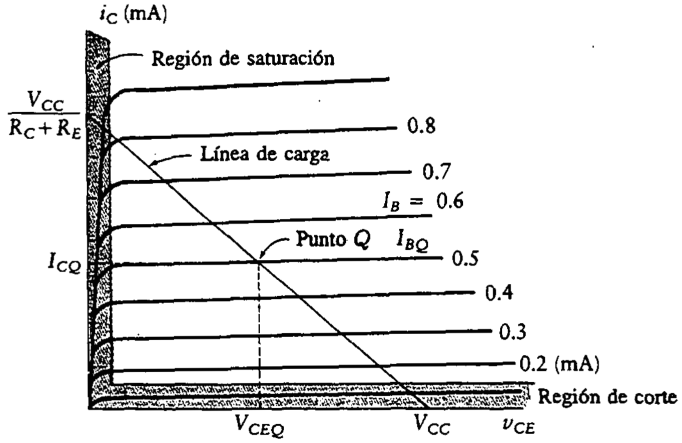


Figura 2.11 Familia de curvas características de los transistores.

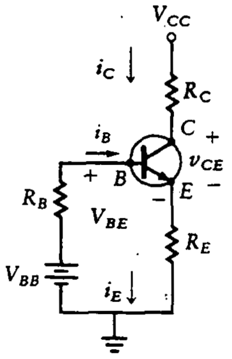


Figura 2.12 Circuito de transistor simple.

Como ejemplo del uso de las curvas características, se analizará el circuito de la figura 2.12. Aplicando LTK alrededor del lazo de colector emisor, se obtiene

$$V_{CC} = i_C R_C + v_{CE} + i_E R_E \tag{2.7}$$

Como i_E es aproximadamente igual a i_C, la ecuación (2.7) se puede simplificar, como se hizo en la ecuación (2.8).

$$V_{CC} = i_C(R_C + R_E) + v_{CE} \tag{2.8}$$

La ecuación (2.8) define una relación lineal entre i_C y v_{CE}. Esto es,

$$i_C = \frac{V_{CC} - v_{CE}}{R_C + R_E} = -\frac{1}{R_C + R_E} v_{CE} + \frac{V_{CC}}{R_C + R_E} \tag{2.9}$$

Una forma de graficar esta línea recta es resolver las dos intersecciones con los ejes. Si $i_C = 0$, $v_{CE} = V_{CC}$. Si $v_{CE} = 0$, entonces

$$i_C = \frac{V_{CC}}{R_C + R_E}$$

La línea de carga en cd está graficada sobre las curvas características de la figura 2.11. Cuando se trate el diseño, se verá la forma apropiada de seleccionar los parámetros del circuito. Por ahora, se supondrá que el punto de operación, el punto Q, se puede seleccionar en cualquier lugar de la línea de carga. El punto

tendrá las coordenadas V_{CEQ} e I_{CQ}, los valores en el punto de operación de v_{CE} e i_C, respectivamente. El punto de operación es el valor de señal nulo para v_{CE} e i_C.

2.5 EL AMPLIFICADOR EC

El EC, o amplificador emisor común, se llama así porque las corrientes de base y de colector se combinan en el emisor. En la figura 2.13 se muestra la configuración del amplificador, donde se seleccionó un transistor *npn* como ilustración.

En primer lugar se analiza el circuito de la figura 2.13 bajo condiciones de cd. La fuente variable, v_s, se hace igual a cero. La LTK en el lazo de base se escribe como

$$I_B R_B + V_{BE} - V_{BB} = 0 \tag{2.10}$$

Recuérdese que V_{BE} está entre 0.6 y 0.7 V para transistores de silicio, pero en este libro se utilizará el valor 0.7 V a menos que se especifique otro valor.

Se escribe ahora la LTK a través del lazo de colector-emisor como sigue:

$$V_{CC} = R_C I_C + V_{CE}$$

Entonces

$$I_C = \frac{V_{CC} - V_{CE}}{R_C} \tag{2.11}$$

La ecuación (2.11) define la línea de carga, que se dibuja en las curvas características de la figura 2.14(a). Ahora se puede seleccionar sobre la línea de carga el punto Q, o punto de operación, que se define como el punto de señal cero. Si se supone ahora una entrada de ca

$$v_s = V \operatorname{sen} \omega t$$

Figura 2.13
Amplificador de transistor emisor común *npn*.

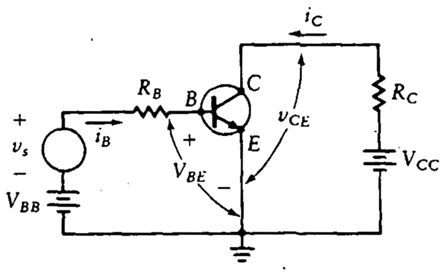
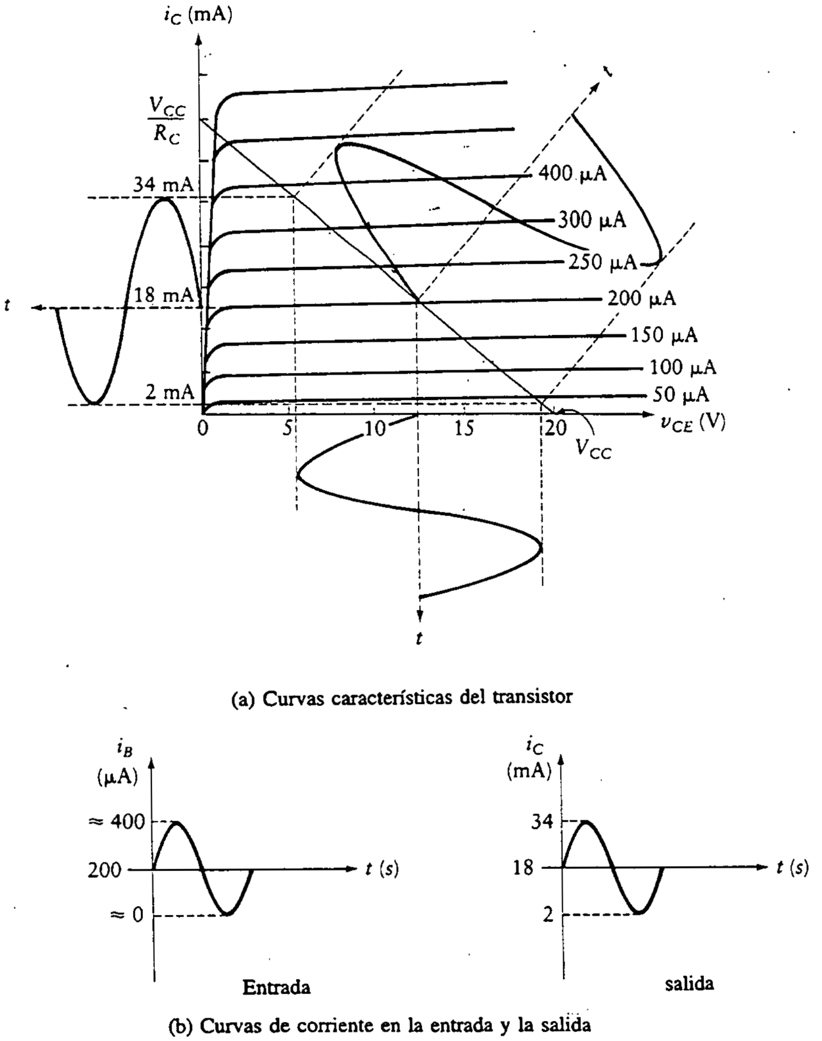


Figura 2.14
Curvas características para el amplificador EC.



(a) Curvas características del transistor

(b) Curvas de corriente en la entrada y la salida

la onda de salida se puede encontrar de manera gráfica. Moviendo el punto de operación hacia arriba y abajo a lo largo de la línea de carga conforme cambia i_B, se pueden graficar i_C; i_B y v_{CE}, como se muestra en la figura 2.14.

Se determinará el cambio en la corriente de colector para un cambio dado en la corriente de base. Esta relación es la *ganancia de corriente*, que se define como

$$A_i = \frac{\Delta i_C}{\Delta i_B}$$

$$= \frac{32 \text{ mA}}{400 \ \mu\text{A}} = 80$$

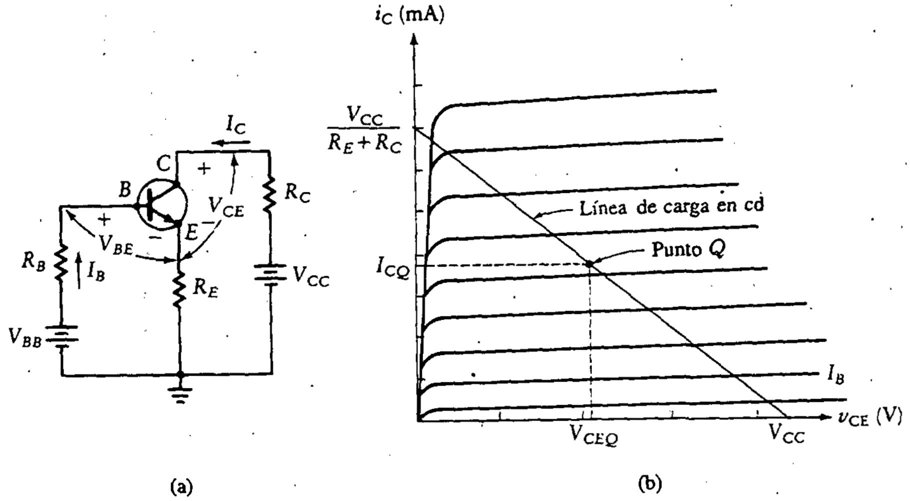


Figura 2.15
Amplificador EC con resistor en el emisor.

En la figura 2.14, Δi_C y Δi_B se leen como las excursiones totales en estos parámetros. Tal ganancia es la que hace importante a este dispositivo para muchas aplicaciones de ingeniería.

2.5.1 El amplificador EC con resistor en el emisor

En la figura 2.15 se ilustra un circuito EC al cual se añadió un resistor en el emisor. Se escriben las ecuaciones de Kirchhoff en el lazo emisor-colector para determinar la línea de carga en cd. Con referencia a la figura 2.15(a), se encuentra

$$V_{CC} = R_C I_C + V_{CE} + R_E I_E$$

Como I_C es aproximadamente igual a I_E, se obtiene

$$I_C = \frac{V_{CC} - V_{CE}}{R_E + R_C} \tag{2.12}$$

Si $I_C = 0$, entonces

$$V_{CE} = V_{CC}$$

Este punto de operación se encuentra en la región de corte. Si $V_{CE} = 0$, se obtiene

$$I_C = \frac{V_{CC}}{R_E + R_C}$$

Este punto se encuentra en la región de saturación. La línea de carga resultante está dibujada en la figura 2.15(b).

Al utilizar el transistor en emisor común se evitó la región no lineal de las curvas características que ocurren en niveles bajos de i_C (corte) y en valores bajos de v_{CE} (saturación). A menudo, al diseñar un amplificador con transistor se desea una salida con máxima excursión no distorsionada. Si la señal de entrada en ca es simétrica alrededor de cero, se puede obtener una excursión máxima colocando el punto Q en el centro de la línea de carga. Por tanto,

$$V_{CEQ} = \frac{V_{CC}}{2}$$

Esta ecuación establece a V_{CEQ} e I_{CQ}. Además, debido a que la unión base-emisor actúa como un diodo,

$$V_{BE} = V_\gamma$$

Escribiendo las ecuaciones de la LTK alrededor del lazo de la base, se obtiene

$$V_{BB} = R_B i_B + v_{BE} + i_C R_E$$

Nótese que se utilizan letras minúsculas y subíndices en mayúsculas para las variables. Esto indica valores totales (cd + ca). Este es un momento adecuado para revisar las convenciones de notación presentadas al inicio del texto. Debido a que

$$i_C = \beta i_B$$

se tiene

$$V_{BB} = \frac{R_B i_C}{\beta} + V_{BE} + i_C R_E$$

y el punto de operación,

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{R_B/\beta + R_E} \tag{2.13}$$

La tensión, V_{BE}, se considera constante a temperatura ambiente (25°C) y tiene un valor cercano a 0.7 V para transistores de silicio. Con el fin de evitar la utilización de dos fuentes de cd separadas, se puede utilizar una red de división de tensión para suministrar la fuente de cd al circuito de base, como se muestra en la figura 2.16. Los valores para R_1 y R_2 determinan la ubicación del punto Q.

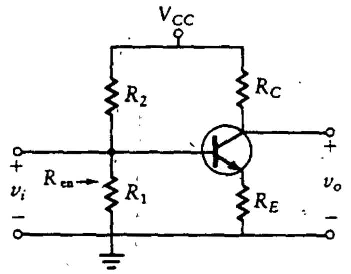


Figura 2.16
Circuito de transistor con una fuente.

Si en la figura 2.16 la combinación de fuente y resistor conectados a la base se reemplaza por un equivalente de Thévenin, el nuevo circuito es idéntico al de la figura 2.15. Por tanto, sólo es necesario elegir adecuadamente R_1 y R_2.

La tensión equivalente de Thévenin y la resistencia de base a tierra son

$$V_{TH} = V_{BB} = \frac{R_1 V_{CC}}{(R_1 + R_2)} \tag{2.14}$$

$$R_{TH} = R_1 \parallel R_2 = R_B = \frac{R_1 R_2}{R_1 + R_2} \tag{2.15}$$

Se puede resolver para R_1 y R_2 sustituyendo la ecuación (2.14) en la ecuación (2.15):

$$R_1 = \frac{R_B V_{CC}}{V_{CC} - V_{BB}} = \frac{R_B}{1 - V_{BB}/V_{CC}} \tag{2.16}$$

$$R_2 = \frac{V_{CC} R_B}{V_{BB}} \tag{2.17}$$

Es necesario determinar R_1 y R_2 para establecer el punto de polarización requerido. El análisis de la sección anterior supone que la corriente del colector es igual a la del emisor. Esta es una buena aproximación, ya que β suele ser superior a 100.

Para el circuito considerado, se desea tener alrededor del 10% de la corriente de entrada hacia la base y alrededor del 90% a través del resistor externo equivalente, R_B. Esto proporciona estabilidad en la polarización y permite además la utilización de ecuaciones simplificadas. Por tanto, la corriente en R_B debe ser aproximadamente 10 veces mayor que la corriente de base. Para lograr esto, se hace

$$R_B \leq 0.1 \beta R_E \tag{2.18}$$

o

$$\frac{R_B}{\beta} \leq 0.1R_E$$

Esto evita que las variaciones en β afecten de manera significativa el punto de operación en cd de la etapa. Más adelante se dará información adicional acerca de esto.

Se puede utilizar ahora la ecuación (2.13) a fin de encontrar la corriente de colector en el punto de operación. Haciendo R_B igual a $0.1\,\beta R_E$, se obtiene

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{0.1\,\beta R_E/\beta + R_E} = \frac{V_{BB} - V_{BE}}{1.1R_E} \quad (2.19)$$

La ecuación (2.19) se utiliza en el proceso de diseño.

2.5.2 Introducción al análisis y el diseño

En problemas de *análisis*, el circuito está completamente especificado. En consecuencia, se conoce el punto Q, ya que están dados tanto R_1 como R_2. Tal vez el punto de polarización no esté colocado de manera óptima, y, de hecho, se puede descubrir que el transistor se encuentra en la región de corte o de saturación. Pero, como todo el circuito está especificado, es suficiente con sustituir valores en las ecuaciones y calcular los resultados.

En problemas de *diseño*, el circuito *no* está completamente especificado. El diseñador tiene la opción de situar el punto de operación en el mejor lugar posible. Si se desea tener la máxima excursión posible en la tensión de salida, el punto Q se ubica en el centro de la línea de carga. Si, por otra parte, la señal de entrada es pequeña, a menudo I_{CQ} se puede seleccionar como un valor pequeño para obtener una salida lineal (sin distorsión), disipando así una menor potencia en condición estática. Como la especificación del punto Q no proporciona el número suficiente de ecuaciones para encontrar todos los componentes, se deben introducir restricciones adicionales para obtener un incremento en el desempeño. Por ejemplo, se utiliza la ecuación $R_B = 0.1\,\beta R_E$ para encontrar R_1 y R_2. Recuérdese que, de acuerdo con esta ecuación, la elección de R_B hace que la localización del punto Q sea menos sensible a variaciones en β. A veces la configuración del circuito impone otras restricciones sobre los valores de los resistores que no permiten satisfacer esta última relación.

Ejemplo 2.1 Análisis de un amplificador EC

Un amplificador EC se configura como en la figura 2.17 con R_1 = 1 kΩ, R_2 = 9 kΩ, R_C = 1 kΩ, V_{CC} = 12 V, R_E = 100 Ω, β = 100 y V_{BE} = 0.6 V. Determínense V_{BB}, R_B e I_{CQ}.

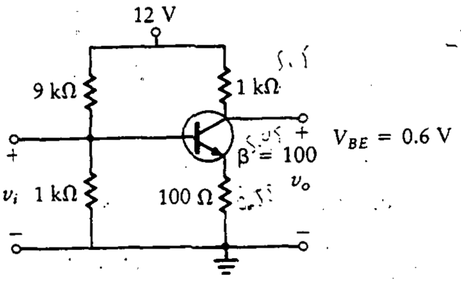


Figura 2.17
Amplificador EC para el ejemplo 2.1.

SOLUCIÓN Primero se encuentra el equivalente de Thévenin de la red resistiva conectada a la base.

$$V_{BB} = \frac{R_1 V_{CC}}{R_1 + R_2} = \frac{(1000)(12)}{(1000 + 9000)} = 1.2 \text{ V}$$

$$R_B = \frac{R_1 R_2}{R_1 + R_2} = \frac{(1000)(9000)}{(1000 + 9000)} = 900 \ \Omega$$

Ahora se utiliza la ecuación de LTK para el lazo de la base, ecuación (2.13), a fin de obtener

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{R_\beta/\beta + R_E} = \frac{1.2 - 0.6}{900/100 + 100} = 5.5 \text{ mA}$$

Ejemplo 2.2 Diseño de un amplificador EC

En el circuito de la figura 2.17, se desea colocar el punto Q en la mitad de la línea de carga. Aquí, $\beta = 100$, $V_{BE} = 0.6$ V, $R_E = 100\ \Omega$, $R_C = 1$ kΩ, y $V_{CC} = 12$ V. Encuéntrense los valores adecuados para R_1 y R_2.

SOLUCIÓN La especificación de que el punto Q se encuentra en el punto medio de la línea de carga requiere que

$$V_{CEQ} = \frac{V_{CC}}{2}$$

Se puede entonces utilizar LTK alrededor del lazo emisor-colector, ecuación (2.12), para encontrar I_{CQ}:

$$I_{CQ} = \frac{V_{CC} - V_{CEQ}}{R_E + R_C} = \frac{V_{CC} - V_{CC}/2}{R_E + R_C} = \frac{12}{2(100 + 1000)} = 5.5 \text{ mA}$$

Es necesario conocer R_B y V_{BB} para hallar R_1 y R_2. R_B se encuentra de la restricción

$$R_B = 0.1\beta R_E = 0.1(100)(100) = 1\ \text{k}\Omega$$

Se utiliza ahora la ecuación LTK en el lazo de la base, ecuación (2.13), para encontrar V_{BB} como sigue

$$\begin{aligned} V_{BB} &= V_{BE} + I_{CQ}\left(\frac{R_\beta}{\beta} + R_E\right) \\ &= 0.6 + (0.0055)\left(\frac{1000}{100} + 100\right) = 1.2\ \text{V} \end{aligned}$$

Con V_{BB} y R_B determinados, se pueden utilizar las ecuaciones (2.16) y (2.17) para encontrar R_1 y R_2.

$$\begin{aligned} R_2 &= \frac{R_B V_{CC}}{V_{BB}} = \frac{1000 \times 12}{1.2} = 10\ \text{k}\Omega \\ R_1 &= \frac{R_B}{1 - V_{BB}/V_{CC}} = \frac{1000}{1 - 1.2/12} = 1.11\ \text{k}\Omega \end{aligned}$$

Ejercicios

D2.1 Dado el circuito de la figura 2.16 con $V_{CC} = 16$ V, $R_1 = 2$ kΩ, $R_2 = 20$ kΩ, $R_C = 3$ kΩ, $R_E = 200$ Ω, $\beta = 200$ y $V_{BE} = 0.7$ V, determínense los valores de V_{BB}, R_B e I_{CQ}.

Resp.: 1.46 V; 1.82 kΩ, 3.6 mA

D2.2 Dado el circuito de la figura 2.16 con un transistor *pnp*, $V_{CC} = -6$ V, $R_1 = 2$ kΩ, $R_2 = 12$ kΩ, $R_C = 1$ kΩ, $R_E = 100$ Ω, $\beta = 100$ y $V_{BE} = -0.7$ V, determínense los valores de V_{BB}, I_{CQ} y R_B

Resp.: −0.86 V; −1.34 mA; 1.71 kΩ

D2.3 Dado el circuito del ejercicio D2.1 pero con R_1 y R_2 no especificados, diséñese un circuito para máxima excursión en la tensión de salida. Determínense los nuevos valores de R_1, R_2 e I_{CQ}.

Resp.: 4.34 kΩ, 51.2 kΩ; 2.5 mA

D2.4 Utilizando la información del ejercicio D2.2, diséñese un circuito para máxima excursión en la salida. Determínense los nuevos valores de R_1, R_2 e I_{CQ}.

Resp.: 1.2 kΩ; 6 kΩ; −2.73 mA

√**D2.5** En el amplificador del ejercicio D2.1, se requiere que R_B sea 10 kΩ. ¿Cuáles son los valores de R_1, R_2, I_{CQ} y R_E que permiten que el amplificador opere con máxima excursión en la tensión de salida e insensibilidad a variaciones en β?

Resp.: 11.4 kΩ; 81.8 kΩ; 2.29 mA; 500 Ω

2.6 CONSIDERACIONES DE POTENCIA

La estimación de potencia es una consideración importante al seleccionar resistores. Los resistores deben ser capaces de soportar la máxima potencia anticipada sin sobrecalentarse. Las consideraciones de potencia también afectan la selección del transistor. Por lo general, los diseñadores seleccionan los componentes adecuados para el diseño que tengan la más baja capacidad de manejo de potencia. Con frecuencia, se hacen *subestimaciones* para incrementar la confiabilidad de un dispositivo. Esto es similar a utilizar factores de seguridad en el diseño de sistemas mecánicos, donde éstos se diseñan para soportar valores que exceden el máximo.

2.6.1 Derivación de las ecuaciones de potencia

La potencia promedio se calcula como sigue:

para cd: $$P = VI = I^2R = \frac{V^2}{R}$$

para ca: $$P = \frac{1}{T}\int_0^T v(t)i(t)\,dt$$

En la ecuación en ca, T es un periodo de la forma de onda. Si la señal no es periódica, se hace tender T al infinito. La potencia suministrada por la fuente de energía al amplificador EC de la figura 2.16 se puede escribir como

$$\begin{aligned} P_{V_{CC}} &= P_{(\text{circuito transistor})} + P_{(\text{corriente de polarización})} \\ &= \frac{1}{T}\int_0^T V_{CC}[I_{CQ} + i_c(t)]\,dt + \frac{V^2_{CC}}{R_1 + R_2} + I^2_{BQ}R_2 \\ &= V_{CC}I_{CQ} + \frac{V^2_{CC}}{R_1 + R_2} + I^2_{BQ}R_2 \end{aligned}$$

Se ha supuesto que el valor promedio de $i_c(t)$ es cero. Por ejemplo, si la señal de entrada es una sinusoide,

$$i_c(t) = A \operatorname{sen} \omega t$$

Entonces

$$\int_0^T A \operatorname{sen} \omega t \, dt = 0$$

donde $T = 2\pi/\omega$. Como $I^2_{BQ}R_2$ es pequeña, suele ignorarse.

La potencia promedio disipada por el transistor es

$$P_{(\text{transistor})} = \frac{1}{T}\int_0^T v_{CE}(t) i_C(t)\, dt \tag{2.20}$$

Para una señal de entrada cero, esto se convierte en

$$P_{(\text{transistor})} = V_{CEQ} I_{CQ}$$

Para una señal de entrada con máxima excursión posible,

$$v_{CE}(t) = V_{CEQ} - V_{CEQ} \operatorname{sen} \omega t = V_{CEQ}(1 - \operatorname{sen} \omega t)$$

$$i_C(t) = I_{CQ} + I_{CQ} \operatorname{sen} \omega t = I_{CQ}(1 + \operatorname{sen} \omega t)$$

$$\begin{aligned} P_{(\text{transistor})} &= \frac{1}{T}\int_0^T V_{CEQ} I_{CQ}(1 - \operatorname{sen} \omega t)(1 + \operatorname{sen} \omega t)\, dt \\ &= \frac{V_{CEQ} I_{CQ}}{T}\int_0^T (1 - \operatorname{sen}^2 \omega t)\, dt \\ &= \frac{V_{CEQ} I_{CQ}}{T}\int_0^T \cos^2 \omega t \, dt \\ &= \frac{V_{CEQ} I_{CQ}}{2T}\int_0^T (1 + \cos 2\omega t)\, dt \\ &= \frac{V_{CEQ} I_{CQ}}{2} \end{aligned} \tag{2.21}$$

De la derivación anterior, se ve que el transistor disipa la máxima potencia cuando no se aplica ninguna señal de ca. Esto se muestra en la figura 2.18. Dependiendo de la amplitud de la señal de entrada, el transistor disipará una potencia promedio entre $V_{CEQ} I_{CQ}$ y un medio de este valor. Por tanto, el transistor se selecciona para que con señal de entrada cero, maneje la máxima potencia como sigue:

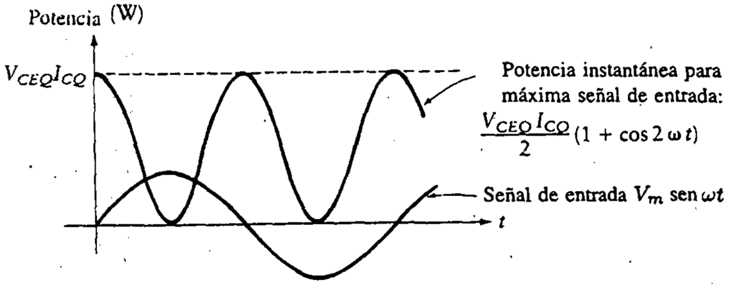


Figura 2.18
Potencia instantánea en el *transistor.*

$$P_{(\text{potencia máx transistor})} = V_{CEQ}I_{CQ} \tag{2.22}$$

Se necesita una medida de la eficiencia para determinar cuánto de la potencia suministrada por la fuente aparece como señal de potencia en la salida. Se define la *eficiencia de conversión* como

$$\eta = \frac{P_o(\text{ac})}{P_{V_{CC}}(\text{cd})} \times 100$$

Ejercicios

D2.6 ¿Cuál es la máxima potencia utilizada de la fuente de energía en el ejercicio D2.1?

Resp.: 69.2 mW

D2.7 En el ejercicio D2.1, ¿cuál sería la máxima potencia sin distorsión en ca de R_C cuando se inyecta una señal de ca en el amplificador para obtener una máxima excursión simétrica en la salida?

Resp.: 2.94 mW

D2.8 ¿Cuál es la eficiencia de conversión real del amplificador del ejercicio D2.3?

Resp.: 21%

2.7 CAPACITORES DE PASO Y DE ACOPLAMIENTO

Los capacitores se aproximan a cortocircuitos para señales de ca y circuitos abiertos para señales de cd. Por tanto, los *capacitores de paso* se utilizan para eliminar de

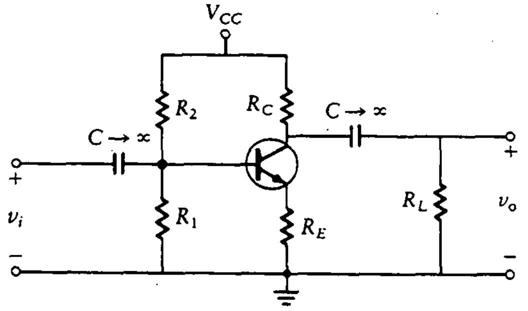


Figura 2.19
Etapa de amplificación en ca emisor común.

manera efectiva (poner en corto) a los resistores durante la operación en ca. Los *capacitores de acoplamiento* se utilizan para bloquear la corriente directa y permitir el paso de la señal de ca.

2.7.1 Capacitores de paso

Los capacitores se pueden utilizar para poner en corto el resistor de emisor, incrementando así la ganancia del amplificador. Para lograr esto, se selecciona un capacitor cuya impedancia en frecuencias de operación sea mucho menor que la resistencia del resistor de emisor. Como la impedancia aumenta al disminuir la frecuencia, la impedancia del capacitor debe ser mucho menor que el valor de la resistencia equivalente a través de la capacitancia en la frecuencia de operación más baja del amplificador.

2.7.2 Capacitores de acoplamiento

Cada par de etapas de un amplificador de varias etapas se puede acoplar por medio de un capacitor. La impedancia de entrada de la siguiente etapa es la carga de la etapa anterior. El capacitor de acoplamiento es necesario para prevenir interacciones de cd entre etapas adyacentes. Un amplificador de transistor de una sola etapa tiene la forma mostrada en la figura 2.19, donde R_L es la resistencia de entrada equivalente de la siguiente etapa.

Los capacitores son circuitos abiertos en cd y cortocircuitos para ca (en la región de operación de frecuencias medias que se trata aquí). Sin embargo, los capacitores tienen un papel importante en la determinación de la porción de frecuencias bajas en la curva de respuesta. Esta función se trata en el capítulo 10.

2.8 LÍNEA DE CARGA DE CA PARA LA CONFIGURACIÓN EN EC

Antes de comenzar a analizar las líneas de carga para el amplificador EC, se hace notar que los métodos de polarización para las configuraciones EC y BC son

idénticas. Por ello, aunque se esté presentando la teoría para el EC, se utilizan los mismos conceptos tanto para EC como para BC.

La resistencia en el circuito colector-emisor para operación en cd es $R_C + R_E$, la cual se define como R_{cd}. Cuando la carga se acopla al transistor a través de un capacitor, la resistencia en ca es diferente. Bajo condiciones de ca, la resistencia en el circuito colector-emisor es

$$R_{ca} = (R_L \parallel R_C) + R_E$$

Nótese que para operación en ca, la terminal V_{CC} se conecta a tierra. Si el resistor de emisor se pone en corto con un capacitor, entonces la resistencia en ca es sólo

$$R_{ca} = R_L \parallel R_C$$

La línea de carga de ca tiene una pendiente de $-1/R_{ca}$. Como una entrada en ca igual a cero coloca el punto de operación en el punto Q, la línea de carga interseca la línea de carga de cd en el punto Q. Si la señal de entrada es pequeña, el punto Q debería localizarse normalmente para minimizar la corriente de colector estacionaria. Al diseñar dichos circuitos se eleva el valor de I_{CQ} por arriba del punto cero lo suficiente para permitir una reproducción lineal de la señal de entrada (es decir, sin distorsión por entrar en la región de corte). Bajo esta condición, el transistor disipa menos potencia que si el punto Q estuviese localizado en la mitad de la línea de carga de ca. Este procedimiento de diseño se investiga en la sección 2.9.3.

2.8.1 La línea de carga de ca a través de cualquier punto Q

La línea de carga de cd se determinó a partir de la ecuación (2.12), y está dada por la ecuación

$$i_C = \frac{-v_{CE}}{R_E + R_C} + \frac{V_{CC}}{R_E + R_C}$$

Como los capacitores de acoplamiento son circuitos abiertos a cd, esta línea de carga se aplica al circuito de la figura 2.19. La línea de carga se grafica en las curvas características de la figura 2.20. A continuación se repiten las definiciones de resistencia en ca y cd.

R_{cd} = resistencia total alrededor del lazo colector-emisor bajo condiciones de cd (los capacitores se consideran circuitos abiertos)

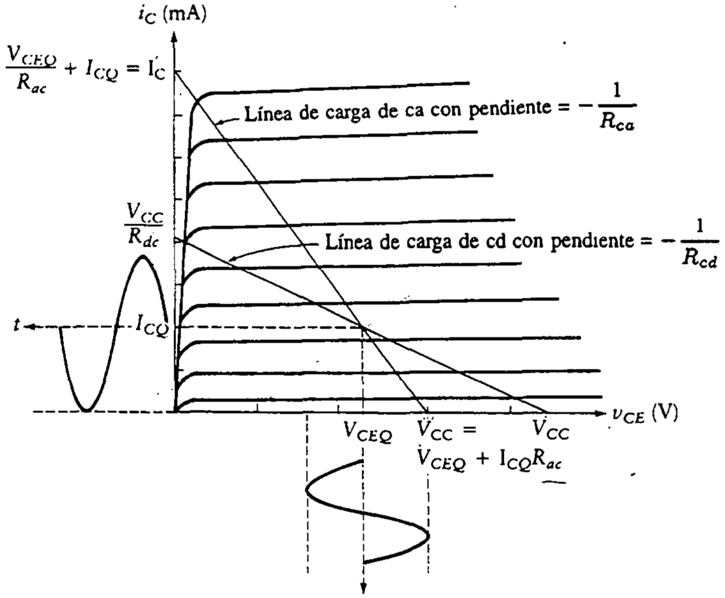
R_{ca} = resistencia total alrededor del lazo colector-emisor bajo condiciones de ca (las fuentes de cd se hacen cero y los capacitores se consideran cortocircuitos)

Para el circuito de la figura 2.19, se tiene

$$R_{cd} = R_E + R_C \tag{2.23}$$

$$R_{ca} = R_L \parallel R_C + R_E \tag{2.24}$$

Figura 2.20
Curvas características.



La ecuación para la línea de carga de cd es entonces

$$i_C = \frac{V_{CC}}{R_{cd}} - \frac{v_{CE}}{R_{cd}} = \frac{1}{R_{cd}}(V_{CC} - v_{CE})$$

El punto Q, que se especifica para una señal de valor cero, se ubica tanto en la línea de carga de ca como en la de cd. La línea de carga de ca pasa a través del punto Q y tiene una pendiente de $-1/R_{ac}$. Esta pendiente es de mayor magnitud que la de la línea de carga de cd. La línea de carga de ca se grafica en la figura 2.20. Las intersecciones con los ejes i_C y v_{CE} se pueden obtener de la ecuación de una recta a través de un punto dado (x_1, y_1) con pendiente conocida (m) como sigue:

$$(y - y_1) = m(x - x_1)$$

$$(i_C - I_{CQ}) = \frac{-(v_{CE} - V_{CEQ})}{R_{ca}}$$

$$i_C = -\frac{v_{CE}}{R_{ca}} + \left(\frac{V_{CEQ}}{R_{ca}} + I_{CQ}\right)$$

La intersección con la línea de carga de ca con el eje i_C es entonces

$$I'_C = \frac{V_{CEQ}}{R_{ca}} + I_{CQ}$$

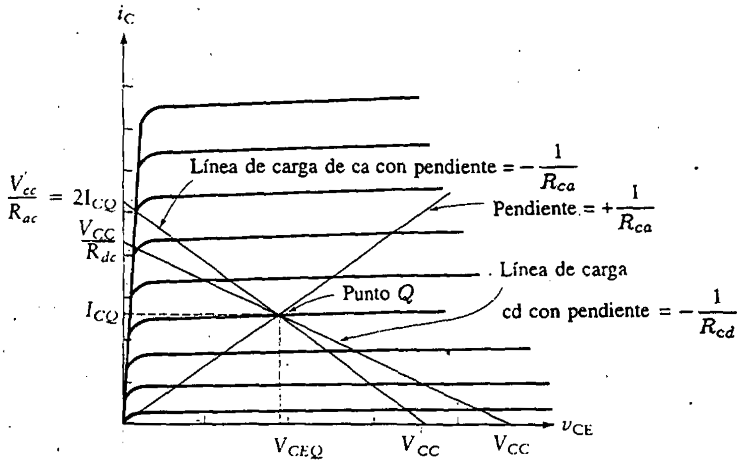


Figura 2.21
Líneas de carga para máxima excursión en ca.

La intersección de la línea de carga de ca con el eje v_{CE} es, con $i_C = 0$,

$$I'_{CC} = V_{CEQ} + I_{CQ}R_{ca}$$

2.8.2 Elección de la línea de carga de ca para máxima excursión en la salida

Si se desea diseñar el amplificador para máxima excursión en la tensión de salida, el punto Q se debe colocar en el centro de la línea de carga de ca. En la figura 2.21 se muestran las líneas de carga para el circuito de la figura 2.19. Es cuestión de geometría colocar el punto Q para máxima excursión. La línea de carga de cd se dibuja como en la figura 2.20. Esto es,

$$V_{CC} = v_{CE} + i_C R_{cd} \tag{2.25}$$

Se escriben las ecuaciones de LTK para el caso de ca, donde los capacitores se reemplazan por cortocircuitos y las fuentes de cd se hacen iguales a cero. Se escribe la ecuación lineal con el método punto-pendiente, como sigue:

$$(i_C - I_{CQ}) = -\frac{1}{R_{ca}}(v_{CE} - V_{CEQ}) \tag{2.26}$$

La intersección de esta línea y la línea de carga cd es el punto Q. Como i_C es máxima cuando $v_{CE} = 0$, la máxima corriente de colector, I'_C, está dada por

$$I'_C = \frac{V_{CEQ}}{R_{ca}} + I_{CQ}$$

Sin embargo, I'_C es igual a $2I_{CQ}$ para máxima excursión a lo largo de la línea de carga de ca. Sustituyendo esta restricción en la ecuación anterior, se obtiene

$$2I_{CQ} - I_{CQ} = \frac{V_{CEQ}}{R_{ca}}$$

o

$$I_{CQ} = \frac{V_{CEQ}}{R_{ca}} \tag{2.27}$$

La ecuación (2.27) representa una ecuación en dos incógnitas para especificar la localización del punto Q para máxima excursión en la salida. La segunda ecuación se deriva utilizando la ecuación de la línea de carga de cd. La ecuación (2.27) se sustituye en la ecuación (2.25) como sigue:

$$V_{CC} = V_{CEQ} + \frac{V_{CEQ}R_{cd}}{R_{ca}}$$

que se reduce a

$$V_{CEQ} = \frac{V_{CC}}{1 + R_{cd}/R_{ca}} \tag{2.28}$$

Ésta especifica v_{CE} en el punto Q. I_{CQ} se obtiene entonces de la ecuación (2.27) como

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} \tag{2.29}$$

V'_{CC} es la intersección de la línea de carga de ca con el eje v_{CE}, como se muestra en la figura 2.21. La pendiente de la línea de carga de ca es

$$\frac{-1}{R_{ca}} = \frac{-2I_{CQ}}{V'_{CC}}$$

luego

$$V'_{CC} = 2I_{CQ}R_{ca} = \frac{2V_{CC}}{1 + R_{cd}/R_{ca}} \tag{2.30}$$

o

$$V'_{CC} = 2V_{CEQ}$$

2.9 ANÁLISIS Y DISEÑO EN CA

Ya se tienen las herramientas necesarias que permiten realizar el análisis y diseño de circuitos amplificadores. Sólo es necesario colocar juntos los resultados derivados en las secciones anteriores.

Al *analizar* un amplificador de ca se especifican los componentes del circuito. Se comienza la solución determinando la polarización en cd. En primer lugar, se deriva el equivalente de Thévenin para el lazo base-emisor. Esto proporciona los valores necesarios para encontrar la ecuación de polarización para I_{CQ}. En seguida, se construyen las líneas de carga de cd y ca. Si I_{CQ} se halla en la región de operación del transistor (es decir, ni en la región de corte ni en la de saturación), se puede determinar la máxima excursión sin distorsión de tensión de ca en la salida, examinando la línea de carga de ca.

Al *diseñar* un amplificador la situación se invierte, ya que el diseñador debe seleccionar los componentes y tiene la opción de elegir I_{CQ}. Si se desea una máxima excursión en la tensión de salida, se coloca I_{CQ} en el centro de la línea de carga de ca. Por otra parte, si la señal de entrada es pequeña, I_{CQ} se puede hacer lo suficientemente grande de manera que la señal de ca en la salida no se recorte durante el máximo de la señal de entrada. Al diseñar, el ingeniero inicia los cálculos en el lado colector-emisor del amplificador más que en el lado base-emisor. Luego de determinar I_{CQ}, se utiliza la ecuación de polarización para determinar los valores de R_1 y R_2 a fin de hacer que el transistor opere en el valor seleccionado de I_{CQ}.

2.9.1 Procedimiento de análisis

En problemas de análisis, están dados los valores de R_1, R_2, V_{CC}, V_{BE}, R_E, R_C, R_L y β. Se presenta un procedimiento organizado de análisis. Las ecuaciones utilizadas se han derivado antes en este capítulo, y se citan las referencias para que puedan consultarse estas derivaciones. Se recomienda sobremanera consultar dichas derivaciones pues es importante estar prevenido respecto a muchas suposiciones. El propósito al presentar este procedimiento de análisis no se restringe a la enseñanza del arte del análisis de amplificadores. Es más importante para el estudiante apreciar la metodología de reducir la teoría a un procedimiento paso a paso. De esta forma, será capaz de enfrentarse con nuevas situaciones conforme vayan surgiendo.

Paso 1 Utilice R_1 y R_2 para determinar V_{BB} y R_B de las siguientes ecuaciones:

$$V_{BB} = \frac{R_1 V_{CC}}{R_1 + R_2}$$

$$R_B = R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2}$$

(Referencia: ecuaciones (2.14) y (2.15))

Paso 2 Utilice las ecuaciones de polarización para calcular I_{CQ}.

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{R_\beta/\beta + R_E}$$

(Referencia: ecuación (2.13))

Paso 3 Se utiliza la ecuación de la línea de carga para determinar V_{CEQ}.

$$V_{CEQ} = V_{CC} - (R_E + R_C)I_{CQ} = V_{CC} - R_{cd}I_{CQ}$$

(Referencia: ecuación (2.12))

Paso 4 Se construye la línea de carga de cd en las curvas características. Como se sabe que la línea de carga de ca interseca la línea de carga de cd en el punto Q, la línea de carga de ca se construye de la ecuación

$$V'_{CC} = V_{CEQ} + I_{CQ}(R_{ca})$$

donde R_{ca} es la resistencia equivalente de ca en el lazo colector-emisor.

(Referencia: última ecuación de la Sec. 2.8.1)

Paso 5 Determinar la máxima excursión simétrica posible en la tensión de salida requiere el uso de la línea de carga construida en las curvas características. Si el punto Q se encuentra en la mitad superior de la línea de carga de ca, se resta I_{CQ} del máximo valor de i_C (el punto donde la línea de carga de ca interseca el eje i_C). Este da la máxima amplitud en la corriente de salida de ca del transistor. Entonces, si el punto Q se halla en la mitad inferior de la línea de carga de ca, I_{CQ} es la máxima amplitud para la corriente de salida de ca del transistor. Entonces, la máxima excursión simétrica pico a pico en la tensión de salida está dada por

$$2i_C(\text{amplitud máxima}) \times (R_C \parallel R_L)$$

2.9.2 Procedimiento de diseño

En problemas de diseño, se trabaja primero con el lado colector-emisor del transistor más que en el lado base-emisor. Existen dos condiciones por satisfacer. La primera coloca el punto Q en el centro de la línea de carga de ca para máxima excursión en la tensión de salida. La segunda limita I_{CQ} al valor requerido para proporcionar salida simétrica para una entrada dada. Por lo general, V_{CC}, V_{BE}, β y R_L están especificados. R_C y R_E se determinan por las otras condiciones especificadas de ganancia de tensión, ganancia de corriente y resistencia de entrada. Esto se trata en el capítulo 3. Por ahora, los valores de R_C y R_E estarán dados.

Paso 1 Para colocar el punto Q en el centro de la línea de carga, utilícese la siguiente ecuación.

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}}$$

(*Referencia:* ecuación (2.29))

Paso 2 Utilícese la línea de carga de ca para determinar V_{CEQ}.

$$V_{CEQ} = \frac{V'_{CC}}{2}$$

donde

$$V'_{CC} = 2I_{CQ}R_{ac}$$

(*Referencia:* ecuación (2.30))

Paso 3 Si no existen otras restricciones, selecciónese R_B para estabilidad en la polarización.

$$R_\beta = 0.1\,\beta R_E$$

(*Referencia:* ecuación (2.18))

Paso 4 Utilícese la ecuación de polarización para determinar V_{BB}.

$$V_{BB} = V_{BE} + I_{CQ}\left(\frac{R_B}{\beta} + R_E\right)$$

(*Referencia:* ecuación (2.13))

Paso 5 Encuéntrense R_1 y R_2 a partir de R_B y V_{BB}.

$$R_1 = \frac{R_B}{1 - V_{BB}/V_{CC}}$$

$$R_2 = \frac{R_B V_{CC}}{V_{BB}}$$

(*Referencia:* ecuaciones (2.16) y (2.17))

Paso 6 Determínese $v_{o(p-p)}$ (máxima salida simétrica pico a pico) como en el paso 5 del procedimiento de análisis.

$$V_o = 2i_C \text{ (amplitud máxima) } \times (R_C \parallel R_L)$$

Ejemplo 2.3 Análisis

Determínese el punto Q para el circuito mostrado en la figura 2.22 si $R_1 = 1.5\ \text{k}\Omega$ y $R_2 = 6\ \text{k}\Omega$. Se utiliza un transistor 2N3903 (véase el Ap. D) con $\beta = 140$, $R_E = 100\ \Omega$ y $R_C = R_L = 1\ \text{k}\Omega$.

SOLUCIÓN Utilizando el procedimiento paso a paso de esta sección, se obtiene

$$V_{BB} = \frac{R_1 V_{CC}}{R_1 + R_2} = \frac{1500 \times 5}{1500 + 6000} = 1\ \text{V}$$

$$R_B = \frac{R_1 R_2}{R_1 + R_2} = 1200\ \Omega$$

Se determina si el amplificador tiene estabilidad con cambios en β mediante la verificación de $R_B < 0.1\beta R_E = 0.1(140)(100) = 1400\ \Omega$. Como la desigualdad se cumple, se tiene estabilidad. Se encuentra el punto Q como sigue:

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{R_B/\beta + R_E} = \frac{1 - 0.7}{1200/140 + 100} = 2.76\ \text{mA}$$

Se encuentran $R_{ca} = R_C \parallel R_L = 500\ \Omega$ y $R_{cd} = R_C + R_E = 1.1\ \text{k}\Omega$.
V_{CEQ} se encuentra como en el paso 3.

$$V_{CEQ} = V_{CC} - I_{CQ}R_{cd} = 5 - (2.76 \times 10^{-3})(1.1 \times 10^3) = 1.96\ \text{V}$$

Entonces

$$V'_{CC} = V_{CEQ} + I_{CQ}R_{ac} = 1.96 + (2.76 \times 10^{-3})(500) = 3.34\ \text{V}$$

Como el punto Q se halla en la mitad inferior de la línea de carga de ca, la máxima excursión simétrica en la tensión de salida es

$$2I_{CQ}(R_C \parallel R_L) = 2(2.76 \times 10^{-3})(500) = 2.76\ \text{V}$$

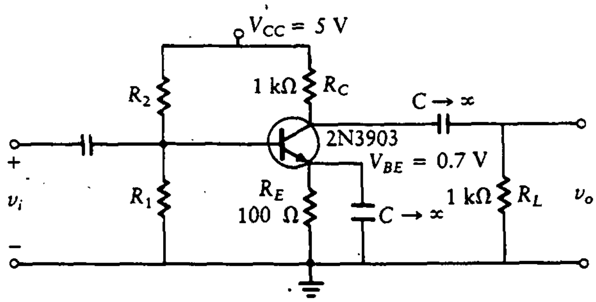


Figura 2.22
Circuito amplificador EC.

En este ejemplo, el punto Q no se encuentra en la mitad de la línea de carga, de manera que la excursión en la salida no es máxima. Sin embargo, si la señal de entrada es pequeña y no se requiere máxima salida, se puede utilizar una I_{CQ} pequeña para reducir la potencia disipada en el circuito.

Ejemplo 2.4 Diseño

Selecciónese R_1 y R_2 para máxima excursión en la tensión de salida en el circuito de la figura 2.22.

SOLUCIÓN Siguiendo los pasos de diseño de la sección 2.9.2, se determina primero la I_{CQ} del circuito:

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{5}{500 + 1100} = 3.13 \text{ mA}$$

como

$$R_{ca} = R_C \parallel R_L = 500 \ \Omega$$

y

$$R_{cd} = R_E + R_Q = 1100 \ \Omega$$

Para máxima excursión,

$$V'_{CC} = 2V_{CEQ}$$

entonces, V_{CEQ} está dado por

$$V_{CEQ} = (3.13 \text{ mA})(500 \ \Omega) = 1.56 \text{ V}$$

La intersección de la línea de carga de ca con el eje v_{CE} es V'_{CC}. Como

$$V_{CEQ} = \frac{V'_{CC}}{2}$$

entonces

$$V'_{CC} = 3.12 \text{ V}$$

De las especificaciones del fabricante en el apéndice D, la β para el 2N3903 es aproximadamente 140. R_B se hace igual a $0.1\beta R_E$, y entonces

$$R_B = 0.1(140)(100) = 1400\ \Omega$$

$$V_{BB} = (3.13 \times 10^{-3})\left[\frac{1400}{140} + 100\right] + 0.7 = 1.044\ \text{V}$$

Como se conocen V_{BB} y R_B, se encuentran R_1 y R_2:

$$R_1 = \frac{R_B}{1 - V_{BB}/V_{CC}} = \frac{1400}{1 - 1.044/5} = 1.77\ \text{k}\Omega$$

$$R_2 = \frac{R_B V_{CC}}{V_{BB}} = \frac{1400 \times 5}{1.044} = 6.7\ \text{k}\Omega$$

La máxima excursión en la tensión de salida, ignorando las no linealidades de saturación y corte, sería entonces

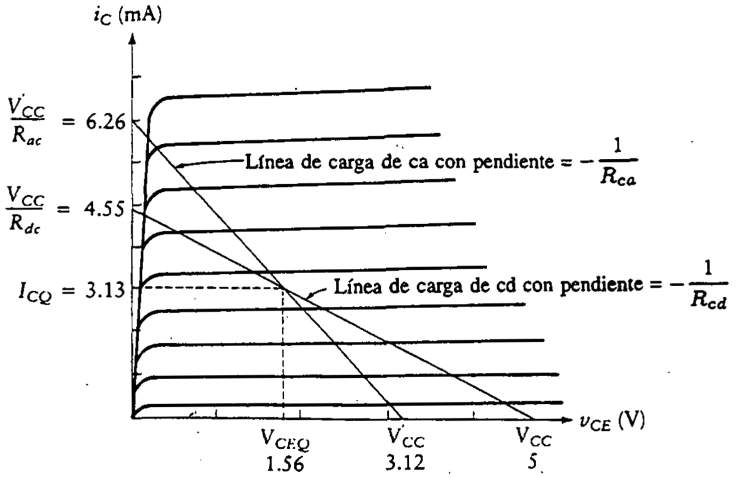
$$\text{máxima excursión de salida} = 2I_{CQ}(R_C \parallel R_L)$$
$$= 2(3.13\ \text{mA})(500\ \Omega) = 3.13\ \text{V}$$

Las líneas de carga se muestran en las curvas características de la figura 2.23.

Se controla la máxima potencia disipada por el transistor para asegurar que no exceda las especificaciones. De la ecuación (2.22), se obtiene

$$P_{(\text{transistor})} = (1.56\ \text{V})(3.13\ \text{mA}) = 4.88\ \text{mW}$$

Figura 2.23 Líneas de carga para el ejemplo 2.4.



Este valor se encuentra dentro de los 350 mW máximos dados por la hoja de especificaciones. La máxima eficiencia de conversión es

$$\eta = \frac{P_o(\text{ca})}{P_{V_{CC}}(\text{cd})} \times 100 = \frac{(3.13 \times 10^{-3}/2)^2 1000/2 \times 100}{5 \times 3.13 \times 10^{-3} + 5^2/8470} = 6.6\%$$

Ejercicios

D2.9 Remítase a la figura 2.19 y encuéntrese la excursión pico a pico en la tensión de salida cuando $R_1 = 2$ kΩ, $R_2 = 15$ kΩ, $R_E = 200$ Ω, $R_C = 2$ kΩ, $R_L = 2$ kΩ, $\beta = 200$, $V_{BE} = 0.7$ V y $V_{CC} = 15$ V.

Resp.: 6.3 V pico a pico

D2.10 En el ejercicio D2.9, diséñese el amplificador para máxima excursión simétrica encontrando los valores de R_1 y R_2.

Resp.: $R_1 = 4.5$ kΩ; $R_2 = 36$ kΩ

D2.11 ¿Cuál es la máxima excursión simétrica de tensión para la configuración del ejercicio D2.10?

Resp.: 8.8 V pico a pico

D2.12 ¿Cuál es la potencia de salida para el amplificador del ejercicio D2.10? ¿Cuál es la potencia suministrada al amplificador?

Resp.: 4.9 mW; 71.7 mW

2.9.3 Diseño por debajo de máxima excursión

Como se comentó antes, no siempre es deseable diseñar un amplificador para máxima excursión posible. Si la señal de entrada es pequeña, el punto de operación se mueve sólo una distancia pequeña en ambos lados del punto Q y nunca llega cerca del corte o la saturación. En ese caso, diseñar un amplificador con el punto Q en la mitad de la línea de carga desperdicia potencia. La potencia disipada en condición estacionaria es más de la necesaria para operar sin distorsión. En esta sección, se modifica el criterio anterior de diseño para permitir la localización del punto Q por debajo del centro de la línea de carga.

Supóngase que se desea diseñar para una corriente estacionaria,

$$I_{CQ} = \delta I'_C \tag{2.31}$$

donde I'_C es la intersección de la línea de carga de ca con el eje i_C y es igual a (Fig. 2.20)

$$I'_C = \frac{V'_{CC}}{R_{ca}} = I_{CQ} + \frac{V_{CEQ}}{R_{ca}} \tag{2.32}$$

Aquí δ es un número entre 0 y 1, igual a 0.5 para el caso de máxima excursión simétrica. Ahora bien, como

$$I_{CQ} = \delta I'_C$$

se puede resolver la ecuación (2.32) para V_{CEQ} a fin de obtener

$$V_{CEQ} = \frac{(1-\delta)I_{CQ}R_{ca}}{\delta} \tag{2.33}$$

Como el punto Q también debe estar sobre la línea de carga de cd, se obtiene

$$V_{CEQ} = V_{CC} - I_{CQ}R_{cd} \tag{2.34}$$

Igualando la ecuación (2.33) a la ecuación (2.34), se tiene

$$\frac{(1-\delta)I_{CQ}R_{ca}}{\delta} = V_{CC} - I_{CQ}R_{cd}$$

y resolviendo para I_{CQ}, se obtiene

$$I_{CQ} = \frac{V_{CC}}{(1-\delta)R_{ca}/\delta + R_{cd}} \tag{2.35}$$

Nótese que si $\delta = 0.5$, la ecuación (2.35) se reduce a

$$I_{CQ} = \frac{V_{CC}}{(R_{ca} + R_{cd})}$$

como se encontró antes.

2.10 AMPLIFICADOR EMISOR SEGUIDOR (COLECTOR COMÚN)

El *amplificador emisor seguidor (ES)*, o colector común (CC), se ilustra en la figura 2.24. Su salida se toma de emisor a tierra en vez de tomarla de colector a tierra, como en el caso del EC. Este tipo de configuración para el amplificador se utiliza para obtener *ganancia de corriente* y *ganancia de potencia*.

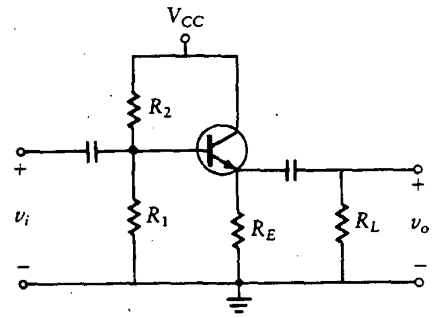


Figura 2.24
Emisor seguidor.

NOTA: A lo largo de este texto, cuando en un circuito un capacitor no tenga etiqueta, se supone que su capacitancia tiende a infinito (es decir, es un cortocircuito para todas las señales de frecuencia).

El EC tiene un desfasamiento de 180° entre las tensiones de base y de colector. Esto es, conforme la señal de entrada aumenta de valor, la señal de salida disminuye. Por otra parte, para un ES, la señal de salida está en fase con la señal de entrada. El amplificador tiene una ganancia de tensión ligeramente menor que uno. Por otro lado, la ganancia de corriente es significativamente mayor que uno. Notése que el colector no necesita resistor ($R_C = 0$), y no se requiere un capacitor de paso en el emisor.

Este circuito se analiza en la misma forma que para el emisor común. Las únicas diferencias son los valores que se utilizan para R_{ca} y R_{cd}. Para el emisor seguidor de la figura 2.24,

$$R_{ca} = R_E \parallel R_L$$

y

$$R_{cd} = R_E$$

y la línea de carga de cd está dada por la ecuación

$$i_C = \frac{(V_{CC} - v_{CE})}{R_{cd}}$$

La línea de carga de ca, bajo condiciones de máxima excursión, se encuentra de la misma forma que para el circuito emisor común. Para máxima excursión, el punto Q se localiza en

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{V_{CC}}{(R_E \parallel R_L) + R_E}$$

y

$$V_{CEQ} = I_{CQ} R_{ca} = I_{CQ}(R_E \parallel R_L)$$

2.10.1 Análisis en ca y diseño de amplificadores ES

Los procedimientos para análisis y para diseño de amplificadores ES son los mismos que para amplificadores EC. Los únicos cambios se dan en las ecuaciones para R_{ca}, R_{cd} y la excursión en la tensión de salida. La excursión de salida para el ES está dada por

$$V_{om} = 2i_C(\text{amplitud máxima}) \times (R_E \parallel R_L) \tag{2.36}$$

Ejemplo 2.5 **Diseño**

En el circuito de la figura 2.25(a), encuéntrense los valores de R_1 y R_2 que proporcionen la máxima excursión simétrica en la salida como se muestra en la figura 2.25(b). Supóngase que se utiliza un transistor 2N2222 (véase Ap. D para hojas de datos) con una β promedio de 100.

SOLUCIÓN

$$R_{cd} = R_E = 600\ \Omega$$

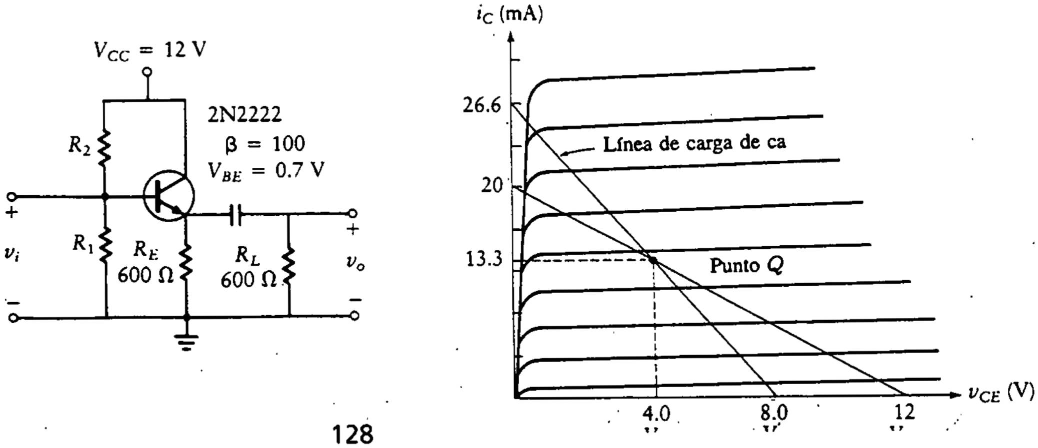
$$R_{ca} = R_E \parallel R_L = 300\ \Omega$$

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{12}{600 + 300} = 13.3\ \text{mA}$$

Entonces

$$V_{CEQ} = I_{CQ}R_{ca} = (13.3 \times 10^{-3})(300) = 4\ \text{V}$$

Figura 2.25 Amplificador ES para el ejemplo 2.5.



Para reducir los efectos de las variaciones en β, se elige

$$R_B = 0.1\beta R_E = 0.1(100 \times 600) = 6 \text{ k}\Omega$$

$$V_{BB} = V_{BE} + I_{CQ}\left(\frac{R_B}{\beta} + R_E\right)$$

$$= 0.7 + 0.0133\left(\frac{6000}{1000} + 600\right) = 9.48 \text{ V}$$

De las ecuaciones (2.16) y (2.17), se obtiene

$$R_1 = \frac{R_B}{1 - V_{BB}/V_{CC}} = \frac{6000}{1 - 9.48/12} = 28.5 \text{ k}\Omega$$

$$R_2 = \frac{R_B V_{CC}}{V_{BB}} = \frac{6000 \times 12}{9.48} = 7.59 \text{ k}\Omega$$

De la ecuación (2.36), se encuentra

$$\text{máxima excursión de salida} = 2I_{CQ}(R_E \parallel R_L)$$
$$= 2(0.0133)(300) = 7.98 \text{ V}$$

Ejemplo 2.6 Análisis

Encuéntrense el punto Q y la excursión en la tensión de salida para el circuito de la figura 2.25(a) con $R_1 = 10$ kΩ y $R_2 = 20$ kΩ.

SOLUCIÓN Utilizando las ecuaciones (2.14) y (2.15), se obtiene

$$R_B = R_1 \parallel R_2 = 6.67 \text{ k}\Omega$$

$$V_{BB} = \frac{R_1 V_{CC}}{R_1 + R_2} = \frac{12(10 \times 10^3)}{30 \times 10^3} = 4 \text{ V}$$

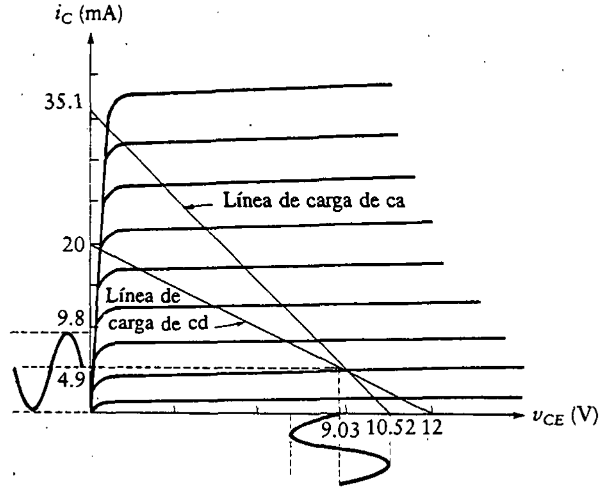
De la ecuación (2.13), se tiene

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{R_B/\beta + R_E} = \frac{4 - 0.7}{6670/100 + 600} = 4.9 \text{ mA}$$

La excursión de salida está dada por

$$\text{excursión de salida} = 2I_{CQ}(R_E \parallel R_L)$$
$$= 2(4.95 \times 10^{-3})(300) = 2.98 \text{ V}$$

Figura 2.26
Líneas de carga para el ejemplo 2.6.



Esto es menor que la máxima excursión de salida posible. Continuando el análisis,

$$V_{CEQ} = V_{CC} - I_{CQ}R_E$$
$$= 12 - (4.95 \times 10^{-3})(600) = 9.03 \text{ V}$$
$$V'_{CC} = V_{CEQ} + I_{CQ}(R_E \parallel R_L)$$
$$= 9.03 + (4.95 \times 10^{-3})(300) = 10.52 \text{ V}$$
$$I'_C = \frac{10.52}{300} = 35.1 \text{ mA}$$

Las líneas de carga para este problema se muestran en la figura 2.26.

Ejercicios

D2.13 ¿Cuál es la máxima excursión simétrica de tensión para el amplificador de la figura 2.24, donde $V_{CC} = 15$ V, $R_1 = 8$ kΩ, $R_2 = 2$ kΩ, $R_E = 1$ kΩ, $R_L = 1$ kΩ, $V_{BE} = 0.7$ V y $\beta = 80$?

Resp.: 7.8 V pico a pico

D2.14 En el ejercicio D2.13, rediséñese el amplificador para la máxima excursión simétrica de tensión. ¿Cuáles son los nuevos valores para R_1, R_2 y $V_{o(p-p)}$?

Resp.: 36.4 kΩ; 10.3 kΩ; 10 V pico a pico

D2.15 ¿Cuál es la eficiencia de conversión del amplificador diseñado en el ejercicio D2.14?

Resp.: 8 %

PROBLEMAS

2.1 Encuéntrese la localización del punto Q del amplificador mostrado en la figura P2.1, donde se utiliza un transistor *npn*. Supóngase que $V_{CC} = 10$ V, $V_{BB} = 1$ V, $R_B = 10$ kΩ, $R_C = 2$ kΩ, $R_E = 100$ Ω, $\beta = 100$, $I_{CBO} = 0$ y $V_{BE} = 0.7$ V. ¿Cuál es la nueva posición del punto Q si $R_B = 1$ kΩ?

2.2 Encuéntrese la localización del punto Q del amplificador mostrado en la figura P2.1 si se utiliza un tránsistor *pnp* y $V_{CC} = -12$ V, $V_{BB} = -1$ V, $R_B = 10$ kΩ, $R_C = 1$ kΩ, $R_E = 100$ Ω, $\beta = 100$ y $V_{BE} = -0.7$ V. ¿Cuál es la nueva posición del punto Q si el valor de R_B se cambia a 1 kΩ?

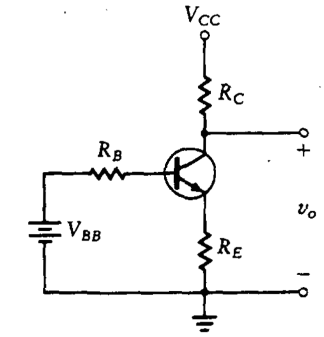


Figura P2.1

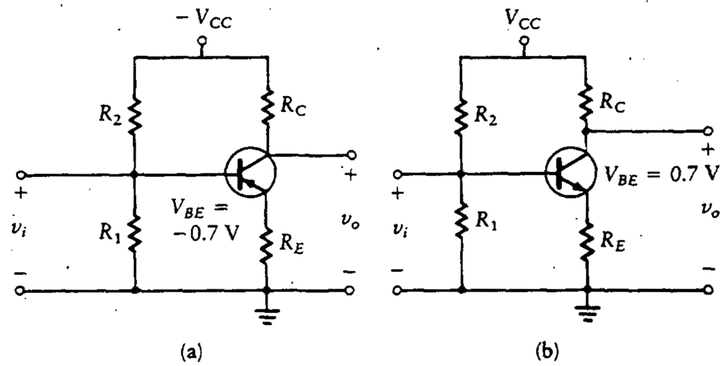


Figura P2.2

2.3 Encuéntrense los valores de R_1 y R_2 necesarios para colocar el punto Q del circuito de la figura P2.2(a) en el centro de la línea de carga de cd. Supóngase que $V_{CC} = -25$ V, $R_C = 2$ kΩ y $R_E = 1$ kΩ, y que β tiene los siguientes valores:

a. $\beta = 150$
b. $\beta = 100$
c. $\beta = 50$

2.4 Encuéntrese la máxima excursión pico a pico de i_C en el circuito de la figura P2.2(b). Supóngase que $R_1 = 1$ kΩ, $R_2 = 7$ kΩ, $V_{CC} = 24$ V, $R_C = 2$ kΩ, $R_E = 400$ Ω y $\beta = 100$. Dibújese la línea de carga de cd.

2.5 Repítase el problema 2.4 si el valor de R_2 cambia a 10 kΩ y los demás valores permanecen iguales.

2.6 Con el circuito del problema 2.5, encuéntrense los valores de R_1 y R_2 que proporcionen la máxima excursión pico a pico posible de i_C. Dibújese la línea de carga.

2.7 Para el amplificador del problema 2.5, calcúlese lo siguiente:

a. Potencia suministrada por la batería.
b. Potencia disipada por R_1, R_2, R_E y R_C.
c. Potencia disipada por la unión de colector.

2.8 Para el amplificador del problema 2.6, calcúlese lo siguiente:
a. Potencia suministrada por la batería.
b. Potencia disipada por R_1, R_2, R_E y R_C.
c. Potencia disipada por la unión de colector.

Compárense las respuestas con las del problema 2.7.

2.9 Para el amplificador de la figura P2.2(b), donde $R_1 = 3$ kΩ, $R_2 = 20$ kΩ, $R_C = 1$ kΩ, $R_E = 200$ Ω, $\beta = 100$ y $V_{CC} = 20$ V, encuéntrese la posición del punto Q. El transistor se reemplaza por otro con diferente β. Encuéntrese el valor mínimo requerido de β para que I_{CQ} no cambie más del 10%.

2.10 Utilícese el amplificador de la figura P2.3.
a. Encuéntrense los valores de R_1 y R_2 para obtener $I_{CQ} = 10$ mA.
b. Encuéntrense la excursión simétrica en la salida para los resistores de la parte (a).
c. Dibújense las líneas de carga de ca y cd.
d. Dibújense las formas de onda de i_C y v_{CE}.

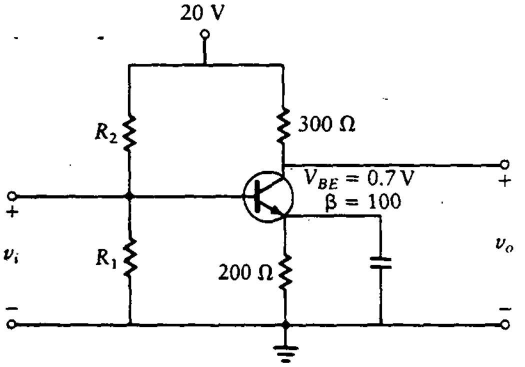


Figura P2.3

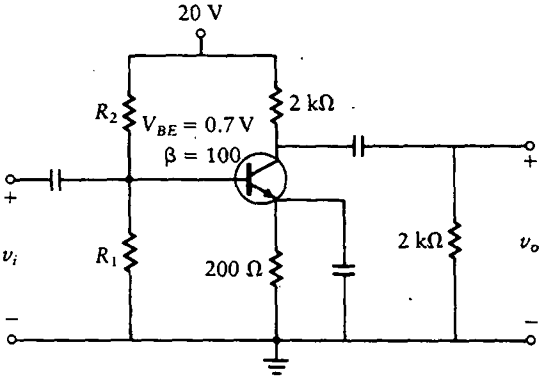


Figura P2.4

2.11 Utilícese el amplificador de la figura P2.3.
a. Encuéntrense los valores de R_1 y R_2 para $I_{CQ} = 30$ mA.
b. Encuéntrense la excursión simétrica en la salida utilizando los valores de la parte (a).
c. Dibújense las líneas de carga de ca y cd.
d. Dibújense las formas de onda de i_C y v_{CE}.

2.12 Utilícese el amplificador de la figura P2.3.
a. Encuéntrense los valores de R_1 y R_2 para lograr máxima excursión simétrica.
b. Determínese el valor de la máxima excursión simétrica obtenida en la parte (a).
c. Dibújense las líneas de carga de ca y cd.
d. Bosquéjense las formas de onda para i_C y v_{CE}.

2.13 Utilícese el amplificador de la figura P2.4.

a. Encuéntrense los valores de R_1 y R_2 para $I_{CQ} = 8$ mA.

b. Encuéntrense la excursión simétrica en la tensión de salida para los valores de la parte (a).

c. Dibújense las líneas de carga de ca y cd.

d. Determínense la potencia disipada por el transistor y la potencia disipada por R_L.

2.14 Utilícese el amplificador mostrado en la figura P2.4.

a. Encuéntrense los valores de R_1 y R_2 para $I_{CQ} = 4$ mA.

b. Encuéntrese la excursión simétrica en la tensión de salida para los valores de la parte (a).

c. Dibújense las líneas de carga de ca y cd.

d. Determínense la potencia disipada por el transistor y la potencia disipada por R_L.

2.15 Utilícese el amplificador de la figura P2.4.

a. Encuéntrense los valores de R_1 y R_2 necesarios para lograr máxima excursión simétrica.

b. Determínese la excursión simétrica en la tensión de salida para los valores de la parte (a).

c. Dibújense las líneas de carga de ca y cd.

d. Determínense la potencia disipada por el transistor y la potencia disipada por R_L.

2.16 Determínese el valor de R_C para máxima excursión simétrica en la salida para el circuito de la figura P2.5. Supóngase que se utiliza un transistor *pnp*. Dibújense las líneas de carga de ca y cd. ¿Cuál es el valor pico a pico de la máxima tensión simétrica en la salida?

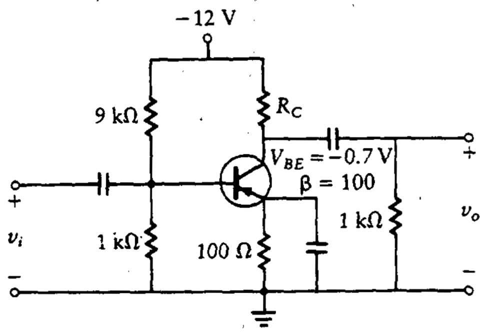


Figura P2.5

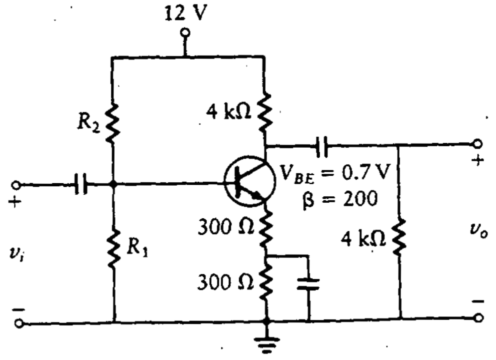


Figura P2.6

2.17 Selecciónense I_{CQ} y V_{CEQ} para máxima excursión simétrica en la tensión de salida para el circuito de la figura P2.6.

a. Determínense los valores de R_1 y R_2 con el fin de conseguir este punto de operación.

b. Encuéntrese la máxima excursión simétrica en la tensión de salida.

c. Determínense la potencia disipada por el transistor y la potencia entregada a la carga.

2.18 Utilícese el circuito de la figura P2.7.

a. Encuéntrense I_{CQ} y V_{CEQ}.

b. Determínese si el amplificador es estable para grandes cambios en β. Puede suponerse que β se encuentra en el intervalo $150 < \beta < 250$.

c. Dibújense las líneas de carga.

d. Determínese la excursión simétrica en la tensión de salida.

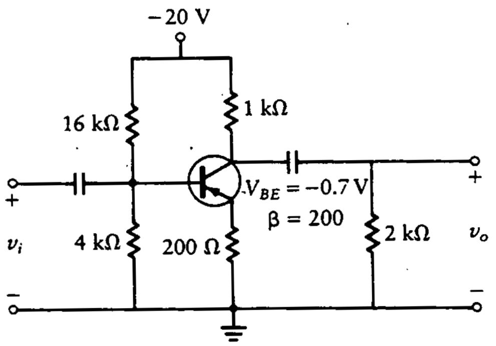


Figura P2.7

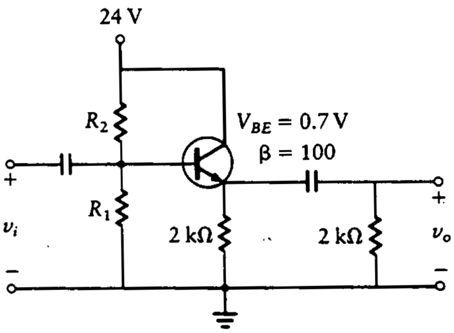


Figura P2.8

2.19 Utilícese el circuito de la figura P2.8.

a. Encuéntrense los valores de R_1 y R_2 si $I_{CQ} = 6$ mA.

b. Dibújense las líneas de carga de ca y cd.

c. Determínese la excursión simétrica en la tensión de salida.

d. Encuéntrense la potencia disipada por el transistor y la potencia entregada a la carga.

2.20 Utilícese el circuito de la figura P2.8.

a. Encuéntrense los valores de R_1 y R_2 si $I_{CQ} = 10$ mA.

b. Dibújense las líneas de carga de ca y cd.

c. Determínese la excursión simétrica en la tensión de salida.

d. Encuéntrense la potencia disipada por el transistor y la potencia entregada a la carga.

2.21 Utilícese el circuito de la figura P2.8.

a. Encuéntrense los valores de R_1 y R_2 necesarios para conseguir la máxima excursión simétrica posible.

b. Dibújense las líneas de carga de ca y cd.

c. Determínese la máxima excursión simétrica en la tensión de salida.
d. Encuéntrese la potencia disipada por el transistor y la potencia entregada a la carga.

2.22 Utilícese el amplificador emisor seguidor de la figura P2.9.
a. Determínense los valores de V_{CEQ} e I_{CQ}.
b. Determínese la excursión en la tensión de salida.
c. Encuéntrense la potencia entregada a la carga y la estimación de la potencia requerida por el transistor.

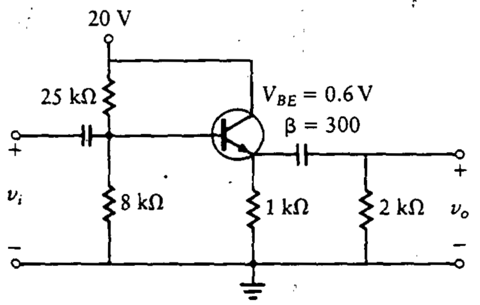


Figura P2.9

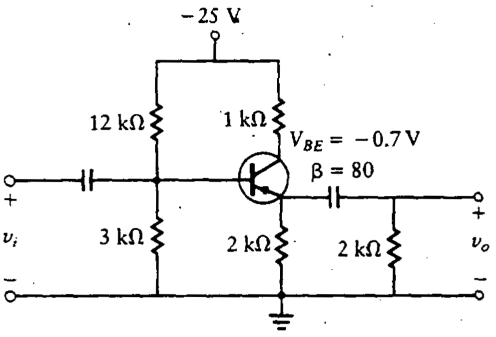


Figura P2.10

2.23 Utilícese el amplificador emisor seguidor mostrado en la figura P2.10.
a. Determínense los valores de V_{CEQ} e I_{CQ}.
b. Dibújense las líneas de carga de ca y cd.
c. Determínese el valor de la excursión simétrica en la tensión de salida.
d. Al resistor de 1 kΩ se le coloca un capacitor en paralelo. Describa los cambios que ocurren en la operación del circuito.

2.24 Determínese la máxima excursión simétrica en la tensión de salida para el circuito de la figura P2.10 seleccionando nuevos valores para R_1 y R_2. ¿Cuáles son los valores para estos resistores? Dibújense las nuevas líneas de carga.

2.25 Al resistor R_C se le coloca un capacitor en paralelo en el circuito de la figura P2.10. Determínese la máxima excursión simétrica en la tensión de salida seleccionando nuevos valores para R_1 y R_2. ¿Cuáles son los valores de estos resistores? Encuéntrense la potencia entregada a la carga y la estimación de potencia necesaria del transistor.

2.26 Seleccionando nuevos valores para R_1 y R_2, determínese la máxima excursión simétrica en la tensión de salida para el circuito de la figura P2.8 si el resistor de carga se reduce a 500 Ω. Encuéntrense la potencia entregada a la carga y la estimación de potencia del transistor.

PROBLEMAS ADICIONALES

PA2.1 Encuentre la máxima amplitud pico a pico de i_C en el circuito de la figura PA2.1. Suponga que V_{CC} = 24 V, R_C = 2 kΩ, R_E = 400 Ω y β = 100. Dibuje la línea de carga en cd cuando

a. R_1 = 1 kΩ; R_2 = 7 kΩ
b. R_1 = 1 kΩ; R_2 = 35 kΩ
c. R_1 = 1 kΩ; R_2 = 3 kΩ

PA2.2 Encuentre la excursión simétrica pico a pico de i_C en el circuito de la figura PA2.2 cuando R_1 = 5 kΩ, R_2 = 50 kΩ, V_{CC} = 12 V, V_{BE} = 0.7 V, R_E = 300 Ω, β = 200 y R_C = R_L = 5 kΩ.

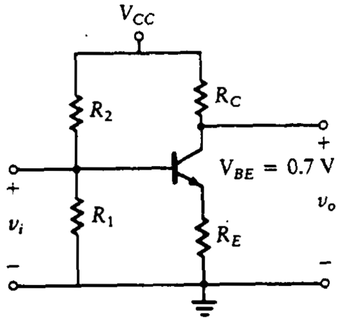


Figura PA2.1

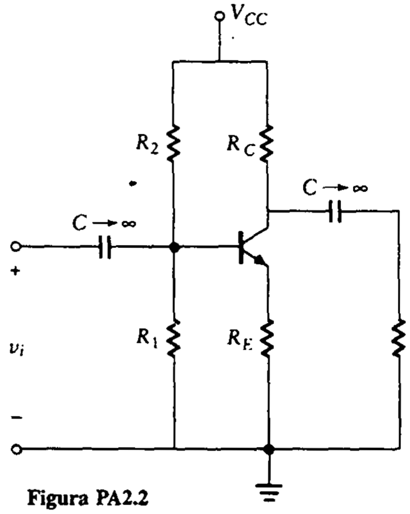


Figura PA2.2

PA2.3 Con el circuito del problema 2.2, encuentre los valores de R_1 y R_2 que proporcionen la máxima excursión pico a pico posible en i_C. Dibuje las líneas de carga.

PA2.4 Para el amplificador del problema 2.2, calcule lo siguiente:

a. La potencia suministrada por la batería.
b. La potencia disipada por las resistencias R_1, R_2, R_E y R_C.
c. La potencia disipada por la unión del colector.

PA2.5 Para el amplificador del problema 2.3, calcule lo siguiente:

a. La potencia suministrada por la batería.
b. La potencia disipada por las resistencias R_1, R_2, R_E y R_C.
c. La potencia disipada por la unión del colector.

Compare sus respuestas con las del problema 2.4.

PA2.6 Para el amplificador de la figura PA2.2, R_1 = 3 kΩ, R_2 = 20 kΩ, R_C = R_L = 1 kΩ, R_E = 200 Ω, β = 100 y V_{CC} = 20 V, encuentre la posición del punto Q. El transistor se reemplaza con otro de β distinta. Encuentre el valor mínimo de β para que I_{CQ} no cambie más del 10%.

PA2.7 Se aplica una fuente de tensión directamente a la base de un transistor *npn* como se muestra en la figura PA2.3. La resistencia interna de la fuente se muestra como R_i. Determine I_{CQ}, V_{CEQ} y V_o cuando la entrada de ca es cero. (Suponga que $\beta = 100$ y $V_{BE} = 0.7$ V.)

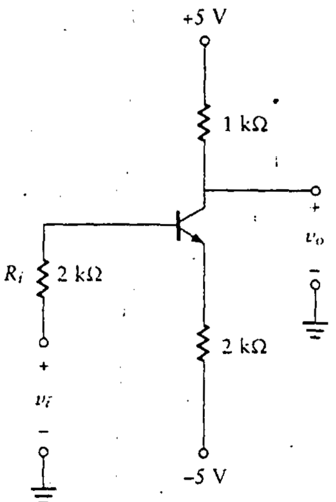


Figura PA2.3

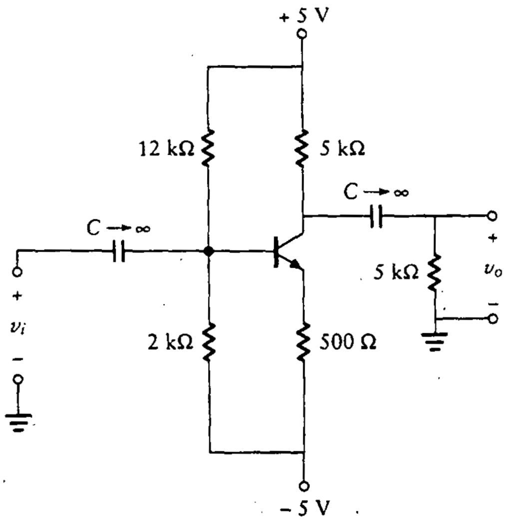


Figura PA2.4

PA2.8 En el problema anterior, ¿qué valor de resistor será necesario añadir a la resistencia de la fuente para que la salida del circuito sea 3 V cuando $v_i = 0$?

PA2.9 Analice el circuito mostrado en la figura PA2.4 y determine lo siguiente (suponga que $V_{BE} = 0.7$ V y $\beta = 100$):

a. I_{CQ} y V_{CEQ}.
b. La excursión simétrica a la salida.
c. La potencia suministrada por la batería.
d. La potencia de salida en ca.
e. Las líneas de carga para el amplificador.

PA2.10 Diseñe un amplificador emisor común utilizando el circuito mostrado en la figura PA2.5 para obtener la máxima excursión simétrica en la tensión de salida. El diseño debe tener una polarización estable en cd. (Utilice $V_{BE} = -0.6$ V y $\beta = 200$.) Determine:

a. I_{CQ} y V_{CEQ}.
b. R_1 y R_2.
c. Máxima excursión simétrica en la tensión de salida.
d. La estimación en la potencia del transistor requerido.
e. La potencia de salida en ca.

PA2.11 Diseñe un amplificador emisor común estable a la polarización utilizando el circuito mostrado en la figura PA2.6 para obtener una tensión de salida de 1 V cero a pico. (Suponga $V_{BE} = 0.7$ V y $\beta = 200$.) Este amplificador utilizará la mínima potencia de la batería. Determine:

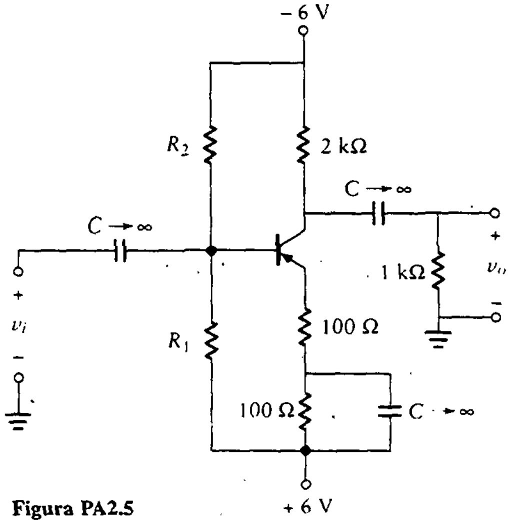


Figura PA2.5

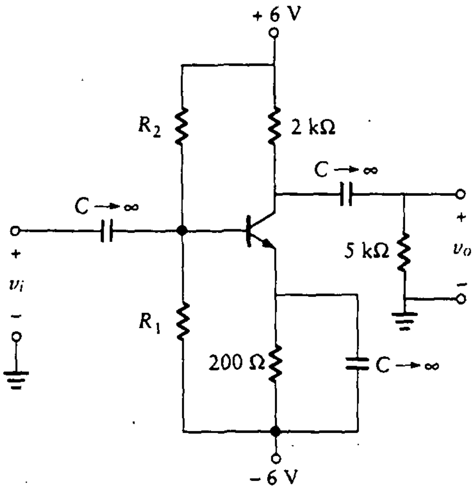


Figura PA2.6

a. I_{CQ} y V_{CEQ}.
b. R_1 y R_2.

PA2.12 Diseñe un amplificador emisor seguidor utilizando un transistor *npn* con máxima excursión simétrica de salida para las siguientes especificaciones: $R_B = 250\ \Omega$, $V_{CC} = 12$ V, $R_E = R_L = 8\ \Omega$, $V_{BE} = 0.7$ V y $\beta = 200$. También, determine P_o(ca), la potencia suministrada por la batería, y la potencia que es necesario disipar en el transistor.

PA2.13 Analice el circuito mostrado en la figura PA2.7, y determine lo siguiente cuando $\beta = 200$ y $V_{BE} = 0.7$ V:

a. I_{CQ} y V_{CEQ}.
b. La excursión simétrica de la salida.
c. La potencia suministrada por la batería.
d. La potencia de salida en ca.
e. La estimación de potencia para el transistor requerido.

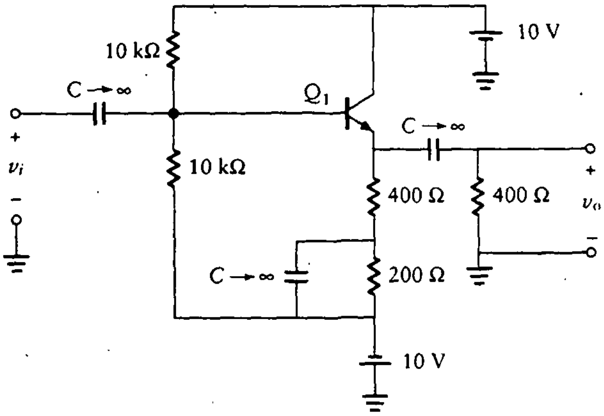


Figura PA2.7

3

DISEÑO DE AMPLIFICADORES CON TRANSISTORES BIPOLARES DE UNIÓN

3.0 INTRODUCCIÓN

En el capítulo 2 se analizó la polarización, u operación en cd, de circuitos con BJT. El transistor se polariza para obtener la suficiente excursión en la tensión pico a pico de salida. En este capítulo, la atención se centrará en el *análisis en pequeña señal* por medio de técnicas de uso de circuitos equivalentes. Se describe la utilización del método del circuito equivalente usando *parámetros híbridos*. Los parámetros del transistor necesarios para llevar a cabo este análisis se pueden obtener de las hojas de datos de los fabricantes. Éstos proporcionan los datos en un formato como el mostrado en los ejemplos del apéndice D El método de diseño que se presenta aquí reduce la dependencia del circuito de las variaciones en los parámetros del transistor.

El capítulo comienza con una introducción a los parámetros híbridos que se utilizan para desarrollar un modelo matemático del transistor. Se derivan las ecuaciones para la resistencia de entrada, la ganancia de tensión, la ganancia de corriente y la resistencia de salida para las diversas configuraciones de amplificadores (es decir, EC, CC y BC). *En cada caso, se desarrollan tanto las relaciones exactas como las aproximadas.* Se presentan ejemplos de diseño para cada caso. También se expone el análisis de amplificadores multietapa y se proporcionan problemas.

3.1 ANÁLISIS DE REDES DE DOS PUERTOS

3.1.1 Fórmula de ganancia de impedancia

Se deriva una relación importante entre las cantidades de ca de ganancia de tensión, A_v, y de ganancia de corriente, A_i. En la figura 3.1 se muestra un diagrama de bloques de una red de cuatro terminales (dos puertos) con resistencia de entrada R_{en} y resistencia de carga, R_L, que se supone son resistores. En general, pueden ser impedancias complejas.

Las relaciones entre las variables de entrada, v_i e i_{en}, y las variables de salida, v_o e i_o, se derivan directamente de la ley de Ohm. Esto es,

$$v_o = i_o R_L$$

$$v_i = i_{en} R_{en}$$

Tomando la relación de estas dos ecuaciones, se obtiene

$$\frac{v_o}{v_i} = \frac{i_o}{i_{en}} \frac{R_L}{R_{en}}$$

La ganancia de tensión se define como

$$A_v = \frac{v_o}{v_i}$$

y la ganancia de corriente como

$$A_i = \frac{i_o}{i_{en}}$$

Combinando las ecuaciones, se obtiene

$$A_v = \frac{A_i R_L}{R_{en}} \tag{3.1}$$

La ecuación (3.1) se llama *fórmula de ganancia de impedancia* y se utiliza a lo largo de este texto.

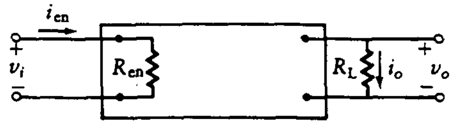


Figura 3.1
Red de dos puertos.

3.1.2 Parámetros híbridos

Existen muchas formas de caracterizar redes de cuatro terminales. En un sistema de cuatro terminales, hay cuatro variables de circuito: la tensión y la corriente de entrada, y la tensión y la corriente de salida. Estas cuatro variables se pueden relacionar por medio de algunas ecuaciones, dependiendo de cuáles variables se consideren independientes y cuáles dependientes.

El par de ecuaciones de *parámetros híbridos* (parámetros h) (y su circuito equivalente) se utiliza a menudo para análisis de circuitos con BJT. El par de ecuaciones se especifica como sigue:

$$v_1 = h_{11}i_1 + h_{12}v_2 \tag{3.2}$$

$$i_2 = h_{21}i_1 + h_{12}v_2 \tag{3.3}$$

El primer dígito del subíndice en h denota la variable dependiente, en tanto que el segundo dígito denota la variable independiente asociada con el parámetro h en particular. Entonces, por ejemplo, h_{12} relaciona v_2 con v_1. Se supone que los valores de h son constantes.

Cuando se utilizan los parámetros h para describir una red de transistores, el par de ecuaciones se escribe como sigue:

$$v_1 = h_i i_1 + h_r v_2 \tag{3.4}$$

$$i_2 = h_f i_1 + h_o v_2 \tag{3.5}$$

donde los parámetros h se definen como:

$h_i = h_{11} =$ resistencia de entrada del transistor

$h_r = h_{12} =$ ganancia de tensión inversa del transistor

$h_f = h_{21} =$ ganancia directa de corriente del transistor

$h_o = h_{22} =$ conductancia de salida del transistor

Cuando los parámetros h se aplican a redes de transistores, toman un significado práctico en relación con el desempeño del transistor. El circuito desarrollado utilizando los parámetros h se muestra en la figura 3.2. Una aplicación simple de las leyes de Kirchhoff al circuito de la figura 3.2 muestra que éste satisface las ecuaciones (3.4) y (3.5).

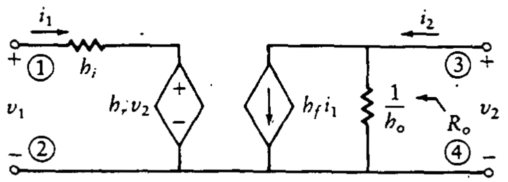


Figura 3.2
Circuito equivalente para los parámetros h.

Cuando los parámetros de entrada y de salida se igualan en forma individual a cero, cada parámetro híbrido representa ya sea una resistencia, una conductancia, una razón de dos tensiones o una razón de dos corrientes. Las siguientes ecuaciones se derivan de las ecuaciones (3.4) y (3.5). Después de cada ecuación están las unidades relacionadas con el parámetro y el nombre que se da a éste.

$$R_{en} = h_i = \left.\frac{v_1}{i_1}\right|_{v_2=0}$$

ohms: resistencia de entrada en cortocircuito con v_2 en cortocircuito

$$h_f = \left.\frac{i_2}{i_1}\right|_{v_2=0}$$

adimensional: ganancia directa de corriente con v_2 en cortocircuito

$$h_r = \left.\frac{v_1}{v_2}\right|_{i_1=0}$$

adimensional: ganancia inversa de tensión con i_1 en circuito abierto

$$Y_{sal} = h_o = \left.\frac{i_2}{v_2}\right|_{i_1=0}$$

siemens (antes mhos): conductancia de salida con i_1 en circuito abierto

Estos parámetros son idealmente constantes, aunque los valores numéricos dependen de la configuración del transistor. Por ejemplo, si la terminal 1 de la figura 3.2 es la base, 2 es el emisor y 3 el colector, el circuito representa una configuración en EC. De manera similar, el transistor se puede modelar como una configuración en BC si las terminales 1, 2 y 3 son el emisor, la base y el colector, respectivamente.

Es muy útil contar con alguna forma de distinguir entre las tres configuraciones, es decir, EC, CC y BC. Se añade un segundo subíndice a cada parámetro híbrido para proporcionar esta distinción. Por ejemplo, un circuito en EC suele tener h_i en el circuito de base, y se cambia a h_{ie}. De manera similar para BC, h_i se cambia por h_{ib}, y para CC, se cambia a h_{ic}. Los tres valores se relacionan entre sí como

$$h_{ie} = (1+\beta)h_{ib} \approx \beta h_{ib} = h_{ic} \tag{3.6}$$

En la figura 3.3 se muestra un amplificador EC con dos circuitos equivalentes distintos. Aunque el modelo de parámetros h define el segundo subíndice en asociación con el tipo de configuración del amplificador, h_{ib} y h_{ie} son valores de resistencia que se basan en el punto de operación del amplificador y en la ubicación de estas resistencias en el circuito equivalente. En este caso, los subíndices no tienen nada que ver con la configuración del amplificador. Se aplica el mismo concepto a h_{fe}, que se refiere a β sin importar cómo esté colocado el transistor dentro de la configuración del amplificador.

En cada circuito equivalente se hace la simplificación (en general razonable) de que $h_r = h_o = 0$. En la figura 3.3(b) se utiliza el modelo en EC, donde el transistor se reemplaza por el circuito de la figura 3.2 con la terminal 1 como la base, la 2 como el emisor y la 3 como el colector. En la figura 3.3(c) el transistor

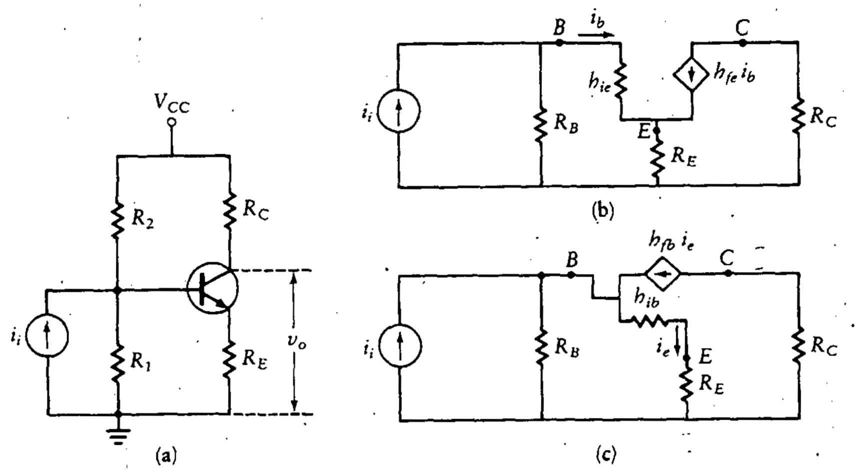


Figura 3.3
EC y circuitos equivalentes.

se reemplaza por el modelo en BC. Esto es, utilizando la figura 3.2, la terminal 1 es el emisor, la 2 es la base y la 3 el colector.

Para corriente a pequeña señal, se observa que h_{fe} es la razón entre el cambio en la corriente de salida (Δi_C) y el cambio en la corriente de entrada (Δi_B). Recuérdese que esta relación es también la expresión que define a β. Como resultado,

$$h_{fe} = \beta = \left.\frac{\Delta i_C}{\Delta i_B}\right|_{v_{ce} = \text{constante}}$$

El valor real de β es función del punto de operación (I_{CQ}) del transistor. En la porción plana de la curva de i_C contra v_{CE} con i_B constante, el cambio en β es pequeño. Conforme el transistor se aproxima a la saturación, β empieza a caer. A medida que el transistor se aproxima a corte, β también se aproxima a cero.

Las especificaciones del fabricante presentan a menudo una gráfica de h_{fe} como función de i_C. La conductancia de salida del transistor, h_o, suele ser pequeña. Por tanto, la resistencia de salida, r_o, generalmente es grande. Como ejemplo, examínese la hoja de especificaciones del fabricante para el 2N3903 (véase Ap. D). Se puede ver que la conductancia de salida varía de 4 μS a 65 μS conforme i_C varía de 0.1 mA a 10 mA. Esto significa que la resistencia de salida varía de 15 kΩ a 250 kΩ. Como ejemplo de un valor característico, cuando I_{CQ} es igual a 1 mA, la resistencia de salida del transistor es aproximadamente 115 kΩ. Con una carga característica de 4 kΩ, la combinación en paralelo es más o menos 4 kΩ (ya que 115 kΩ es mucho mayor que 4 kΩ) y se puede suponer que r_o es infinita. La ganancia inversa de tensión de la red, h_r, también es pequeña y se ignora en el circuito equivalente del transistor utilizado en el texto.

Otro modelo de dos puertos que se utiliza en el estudio de circuitos de transistores es el modelo π ***híbrido***, que es importante cuando el transistor se utiliza en

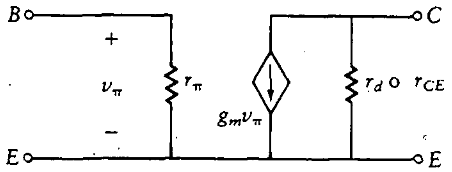


Figura 3.4 Circuito equivalente π híbrido.

alta frecuencia. Incluye los efectos de los parámetros que se vuelven significativos en alta frecuencia (esto se analiza en el capítulo 10).

En la figura 3.4 se muestra un modelo π híbrido del transistor a baja frecuencia y pequeña señal. El modelo para baja frecuencia es similar al de los parámetros h para el EC. La diferencia principal es que la fuente de corriente controlada por corriente de la figura 3.2 se reemplazó por una fuente de corriente controlada por tensión. De hecho, es muy sencillo comparar los parámetros como sigue:

$$g_m = \frac{1}{h_{ib}}$$

$$r_\pi = h_{ie}$$

$$r_{CE} = \frac{1}{h_o}$$

3.2 RESISTENCIA DE ENTRADA EN CORTOCIRCUITO

Se explora el valor de los parámetros antes de abordar la utilización real de los circuitos equivalentes para el diseño y análisis. Primero se desarrollan las ecuaciones para h_{ie} y h_{ib}, que muestran la dependencia de estos parámetros respecto a la ubicación del punto de operación.

Se comienza con la ecuación para las características de operación de la unión base-emisor, que se comporta como un diodo, tal como se presentó en el capítulo 1.

$$i_B = I_o \left[\exp\left(\frac{v_{BE}}{V_T}\right) - 1\right]$$

Esta ecuación se deriva con respecto a v_{BE} para obtener

$$\frac{di_B}{dv_{BE}} = \frac{I_o}{V_T}\exp\left(\frac{v_{BE}}{V_T}\right)$$

En la región de polarización directa, i_B está dada aproximadamente por

$$i_B = I_o \exp\left(\frac{v_{BE}}{V_T}\right)$$

Entonces

$$\frac{di_B}{dv_{BE}} = \frac{i_B}{V_T}$$

Pero de la definición de h_{ie}, se obtiene (véase Fig. 3.2)

$$h_{ie} = \left.\frac{\Delta v_1}{\Delta i_1}\right|_{v_2=0} = \frac{dv_{BE}}{di_B} = \frac{V_T}{I_{BQ}}$$

Recuérdese ahora que

$$h_{ib} = \frac{h_{ie}}{\beta}$$

Por último,

$$h_{ib} = \frac{V_T}{|\beta I_{BQ}|} = \frac{V_T}{|I_{CQ}|} \tag{3.7}$$

La ecuación (3.7) se conoce como *ecuación de Shockley.* Utilizando la aproximación $V_T = 26$ mV, que se aplica al BJT, la ecuación (3.7) se vuelve

$$h_{ib} = \frac{0.026 \text{ V}}{|I_{CQ}|} \tag{3.8}$$

La ecuación (3.8) es útil para estimar el valor de h_{ib}, que se utilizará en el circuito equivalente de la figura 3.3(c) (o g_m en el circuito equivalente de la Fig. 3.4).

3.3 PARÁMETROS EN EC

Las ecuaciones que definen los parámetros de amplificación en ca se resumen en la tabla 3.1 y se derivan en las siguientes secciones. Obsérvese que la tabla proporciona dos ecuaciones de definición para cada parámetro. Estas se denominan como *forma larga* y *forma corta.* La ecuación en forma corta es una versi

simplificada de la ecuación en forma larga y se deriva haciendo suposiciones acerca de los tamaños relativos de algunos de los parámetros. Se anotan las suposiciones necesarias conforme se deriva cada ecuación; las suposiciones se encuentran en la tabla.

Este doble conjunto de ecuaciones se utiliza como base para la técnica de resolución de problemas usada aquí. En general, se utiliza la ecuación en forma corta porque los parámetros no se conocen de manera más precisa. Luego se verifica que las suposiciones necesarias para hacer válida esta forma corta sean, efectivamente, válidas. Si se aplican las condiciones de la forma corta, los valores de los componentes caen dentro de los márgenes de tolerancia de fabricación. Si no se aplican tales condiciones, los cálculos se deben repetir utilizando las ecuaciones en su forma larga.

En la tabla 3.2 se resumen los circuitos equivalentes utilizados en las derivaciones.

3.3.1 Resistencia de entrada, R_{en}

Se utiliza el circuito de parámetros híbridos para derivar la ecuación de la resistencia de entrada para cada tipo de configuración del amplificador. En la figura 3.5 se modifica el amplificador EC de la figura 3.3 añadiendo una resistencia de carga acoplada por capacitor. El circuito básico se muestra en la figura 3.5(a), mientras que en la figura 3.5(b) y (c) se muestran dos formas de circuito equivalente. Nótese que se omitió en el modelo la ganancia inversa de tensión, h_r, y la admitancia de salida, h_o.

El circuito equivalente de la figura 3.5(b) se utiliza para derivar la resistencia de entrada, R_{en}. En general, β es bastante grande para aproximar $1 + \beta$ como β. La corriente en R_E es, por tanto, aproximadamente igual a βi_b. Si ahora el circuito se divide como en la figura 3.5(c), la corriente a través del resistor en serie con h_{ie} en el lazo de entrada es i_b. Entonces, para mantener la tensión en el mismo valor que en el circuito original, se debe cambiar el valor del resistor a βR_E. La resistencia de entrada se encuentra entonces escribiendo las ecuaciones de LTK y LCK para el lazo de entrada.

$$R_{en} = \frac{v_i}{i_{en}} = R_B \parallel (h_{ie} + \beta R_E) = \frac{R_B(h_{ie} + \beta R_E)}{R_B + h_{ie} + \beta R_E} \tag{3.9}$$

Se sustituye $h_{ie} = \beta h_{ib}$ para obtener

$$R_{en} = \frac{R_B(h_{ib} + R_E)}{R_B/\beta + h_{ib} + R_E} \tag{3.10}$$

Si R_B es despreciable comparada con βR_E, la ecuación (3.10) se puede simplificar más hacia la forma mostrada en la ecuación (3.11).

$$R_{en} = \frac{R_B(h_{ib} + R_E)}{h_{ib} + R_E} = R_B \tag{3.11}$$

$R_B \| (r_\pi + \frac{R_E}{\beta})$

Tabla 3.1 Fórmulas para las diferentes configuraciones de amplificadores

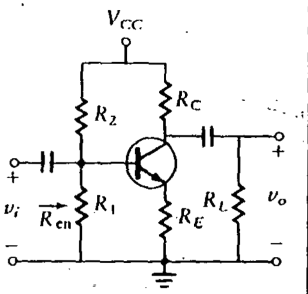
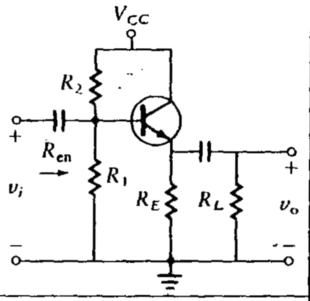
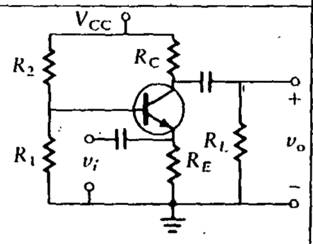
Tipo		Ganancia de tensión (A_v)	Ganancia de corriente (A_I)	*Resistencia de la entrada (R_{en})
Emisor común		Formas largas: $\frac{-(R_L\|R_C)}{h_{ib} + R_E}$	$\frac{-R_B}{\frac{R_B}{\beta} + h_{ib} + R_E} \; \frac{R_C}{R_L + R_C}$	$\frac{R_B\,(h_{ib} + R_E)}{\frac{R_B}{\beta} + h_{ib} + R_E}$
		Formas cortas, si $h_{ib} << R_E$ y $R_B << \beta R_E$: $\frac{-R_L\|R_C}{R_E}$	$\frac{-R_B}{R_E} \; \frac{R_C}{R_C + R_L}$	R_B
Colector común (Emisor seguidor)		Formas largas: $\frac{R_E\|R_L}{h_{ib} + (R_E\| R_L)}$	$\frac{R_B}{\frac{R_B}{\beta} + h_{ib} + (R_E\|R_L)} \; \frac{R_E}{R_E + R_L}$	$\frac{R_B\,[h_{ib} + (R_E\|R_L)]}{\frac{R_B}{\beta} + h_{ib} + (R_E\|R_L)}$
		Formas cortas, si $h_{ib} << R_E\|R_L$ y $R_B << (R_E \| R_L)\beta$: 1	$\frac{R_B}{R_L}$	R_B
Base común		Formas largas: $\frac{R_C\|R_L}{h_{ib} + \frac{R_B}{\beta}}$	$\frac{+R_C}{R_C + R_L} \; \frac{R_E}{R_E + h_{ib} + \frac{R_B}{\beta}}$	$R_E\|(h_{ib} + \frac{R_B}{\beta})$
		Formas cortas, si $h_{ib} << R_E$ y $R_B << \beta R_E$: $\frac{R_C\|R_L}{h_{ib} + \frac{R_B}{\beta}}$	$\frac{R_C}{R_C + R_L}$	$h_{ib} + \frac{R_B}{\beta}$

Tabla 3.2 Circuitos equivalentes para las diferentes configuraciones de amplificadores

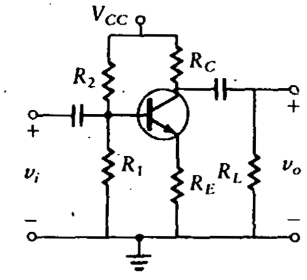
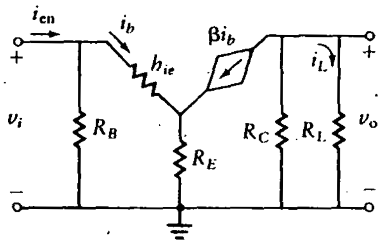
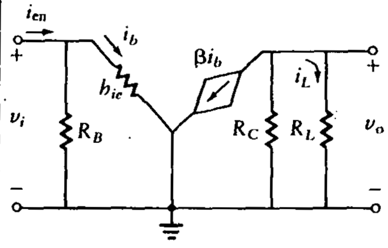
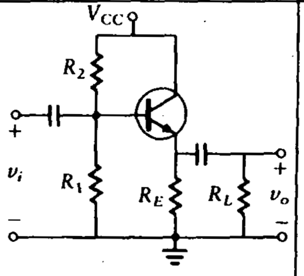
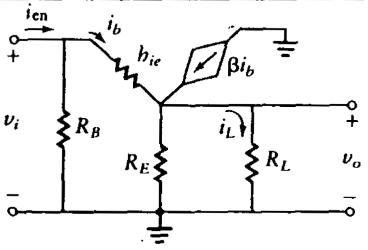
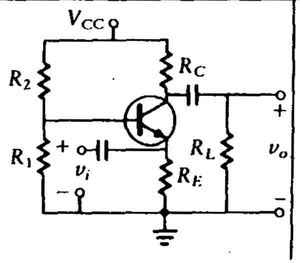
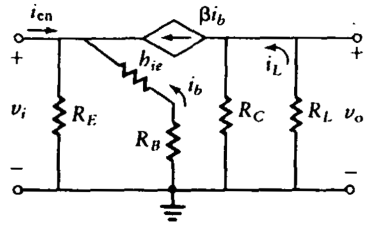
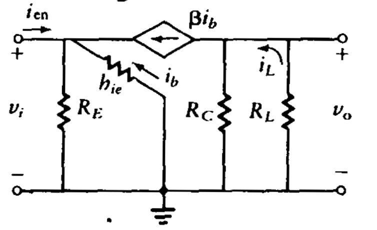
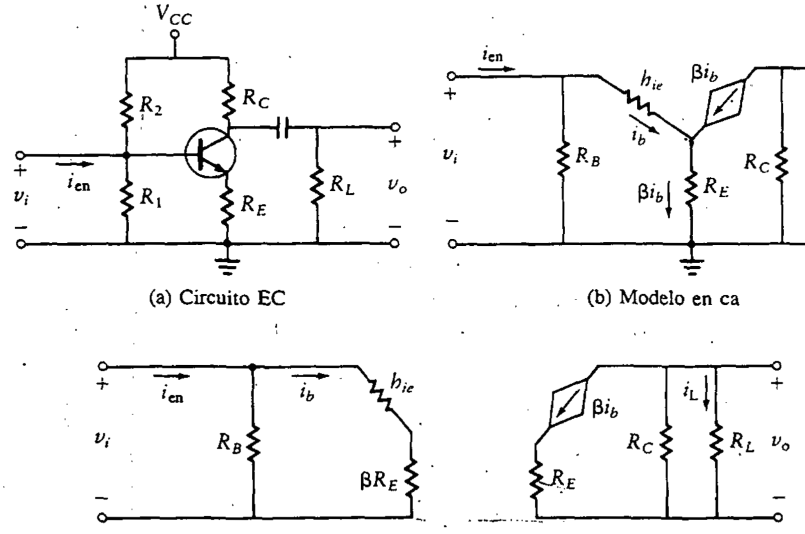
Tipo	Circuito	Circuito equivalente	Circuito equivalente con capacitor con (R_E) en corto circuito
Emisor común			
Colector común			
Base común			Con R_B en corto circuito 

Figura 3.5
Configuración EC.



(a) Circuito EC (b) Modelo en ca

(c) Entrada y salida separadas

La ecuación (3.10) es la forma larga de la ecuación y requiere sólo una aproximación, esto es, $\beta \gg 1$. La ecuación (3.11) está en forma corta porque requiere la aproximación adicional de que $R_B \ll \beta R_E$, que a menudo se expresa como $R_B < 0.1\beta R_E$.

3.3.2 Ganancia de tensión, A_v

La ganancia de tensión se encuentra de la definición

$$A_v = \frac{v_o}{v_i} = \frac{i_L R_L}{v_i}$$

La relación de división de corriente aplicada a la salida de la figura 3.5(b) da

$$i_L = \frac{-R_C \beta i_b}{R_L + R_C}$$

El signo negativo resulta de la dirección opuesta de βi_b con respecto a i_L. Entonces

$$A_v = -\frac{\beta R_L i_b}{v_i} \cdot \frac{R_C}{R_L + R_C}$$

Se desea obtener una expresión para A_v que no contenga otras variables. Esto es, se necesita eliminar i_b y v_{en} de la ecuación anterior. Aplicando división de corriente en la entrada, se tiene la siguiente expresión para i_b:

$$i_b = \frac{R_B i_{\text{en}}}{R_B + h_{ie} + \beta R_E}$$

Esto se sustituye en la ecuación para A_v a fin de obtener

$$A_v = \frac{-\beta R_L}{v_i} \frac{R_C}{R_L + R_C} \frac{R_B i_{\text{en}}}{R_B + h_{ie} + \beta R_E}$$

Como $v_i = i_{\text{en}} R_{\text{en}}$, se obtiene

$$A_v = \frac{-\beta R_L}{i_{\text{en}} R_{\text{en}}} \frac{R_C}{R_L + R_C} \frac{R_B i_{\text{en}}}{R_B + h_{ie} + \beta R_E}$$

Se cancela la i_{en} del numerador y el denominador. Como el parámetro R_{en} está resuelto en términos de los parámetros del transistor y de los elementos del circuito, se puede simplificar aún más. Sustituyendo R_{en} de la ecuación (3.9), se obtiene

$$A_v = \frac{-\beta R_L R_C}{R_L + R_C} \frac{R_B}{R_B + h_{ie} + \beta R_E} \frac{R_B + h_{ie} + \beta R_E}{R_B (h_{ie} + \beta R_E)}$$

Cuando se cancelan los términos iguales del numerador y el denominador y se reconoce que $h_{ie} = \beta h_{ib}$, esta expresión se simplifica a la forma larga dada en la ecuación (3.12):

$$A_v = \frac{-\beta (R_L \parallel R_C)}{h_{ie} + \beta R_E} = \frac{-R_L \parallel R_C}{h_{ib} + R_E} \tag{3.12}$$

Si $h_{ib} \ll R_E$, la ecuación se reduce aún más hacia la forma corta dada por la ecuación (3.13):

$$A_v = \frac{-(R_L \parallel R_C)}{R_E} \tag{3.13}$$

Si se coloca un capacitor grande en paralelo con R_E de manera que la impedancia en ca sea pequeña, h_{ib} ya no será mucho menor que R_E y se deberá utilizar la forma larga de la ecuación (3.12). Esto se vuelve

$$A_v = \frac{-(R_L \parallel R_C)}{h_{ib}}$$

Esto se puede combinar con la aproximación de h_{ib} de la ecuación (3.8) para obtener

$$A_v = \frac{-(R_L \parallel R_C)I_{CQ}}{0.026}$$

que muestra que con R_E en cortocircuito, la ganancia de tensión del amplificador depende del valor de I_{CQ}.

3.3.3 Ganancia de corriente, A_i

La ganancia de corriente se encuentra a partir de la fórmula de ganancia de impedancia, ecuación (3.1).

$$A_i = \frac{R_{\text{en}} A_v}{R_L}$$

Sustituyendo A_v y R_{en} de las ecuaciones (3.9) y (3.12), se obtiene la forma larga de ganancia de corriente de la ecuación (3.14):

$$\begin{aligned} A_i &= -\frac{R_B(h_{ie} + \beta R_E)}{(R_B + h_{ie} + \beta R_E)R_L} \frac{\beta(R_L \parallel R_C)}{h_{ie} + \beta R_e} \\ &= -\frac{R_B R_C}{(R_B/\beta + h_{ib} + R_E)(R_C + R_L)} \end{aligned} \tag{3.14}$$

Si $R_B \ll \beta R_E$ y $h_{ib} \ll R_E$, la ganancia de corriente se simplifica a la expresión en forma corta de la ecuación (3.15):

$$A_i = -\frac{R_B R_C}{R_E(R_L + R_C)} \tag{3.15}$$

Estas ecuaciones para el amplificador en EC se resumen en la tabla 3.1.

3.3.4 Resistencia de salida, R_o

Como se muestra en la figura 3.2, en el circuito equivalente para el transistor, el circuito de salida contiene un generador de corriente ideal en paralelo con una resistencia de valor $1/h_o$. La fuente de corriente ideal exhibe una impedancia infinita, ya que se mide la resistencia de salida con la entrada en circuito abierto (es decir, $i_b = 0$). La resistencia de salida para el transistor EC es entonces

$$r_o = \frac{v_2}{i_2} = \frac{1}{h_{oe}}$$

Por lo general, el parámetro h_{oe} es bastante pequeño como para ser despreciado en los cálculos, de modo que la magnitud de la resistencia de salida del transistor se vuelve infinita. El valor de h_{oe} se puede determinar consultando las especificaciones del transistor. La resistencia de salida, R_o, de un amplificador EC es R_C cuando r_o es grande. Muchos de los transistores de unión tienen una r_o superior a 50 kΩ.

Ejemplo 3.1 Amplificador EC acoplado con capacitor (diseño)

Diséñese un amplificador EC (véase Fig. 3.6) con $A_v = -10$, $\beta = 200$ y $R_L = 1$ kΩ. Se utiliza un transistor *pnp* y se requiere máxima excursión simétrica en la salida.

SOLUCIÓN Remítase a la figura 3.7 durante esta derivación. En la sección 2.9.2 se encontró cómo seleccionar R_1 y R_2 para máxima excursión simétrica cuando se conocen los demás parámetros del circuito. La única información adicional que se proporciona aquí es el valor de A_v, por lo que existen dos incógnitas adicionales, R_C y R_E. Entonces, se necesita otra ecuación, que se debe elegir para forzar $R_C = R_L = 1$ kΩ (véase el problema 3.17 para la justificación). En primer lugar, se trata la ecuación en forma corta para A_v a fin de resolver R_E:

$$A_v = \frac{-(R_L \parallel R_C)}{R_E}$$

Cuando se sustituyen los valores conocidos en esta ecuación, se encuentra $R_E = 50\ \Omega$. Se necesita encontrar h_{ib} para ver si se justifica la ecuación en forma corta. Primero se encuentran R_{ca} y R_{cd} y luego se calcula el punto Q como sigue:

$$R_{ca} = R_E + R_C \parallel R_L = 550\ \Omega$$

$$R_{cd} = R_E + R_C = 1050\ \Omega$$

Con R_{ca} y R_{cd} determinadas, el diseño de este circuito sigue ahora en forma paralela el diseño en ca dado en la sección 2.9.2. El primer paso es calcular la

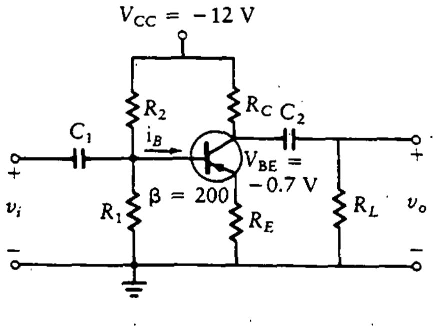


Figura 3.6
Amplificador EC.

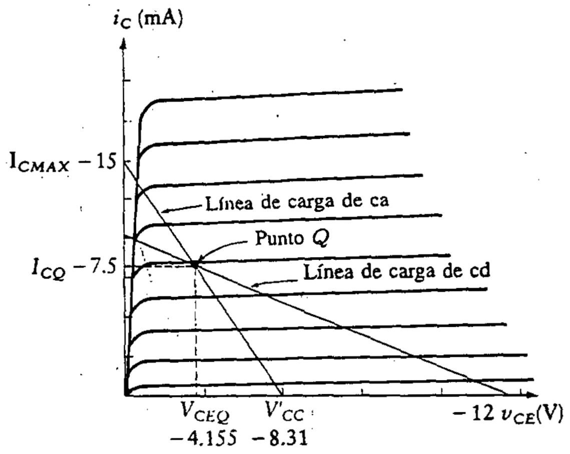


Figura 3.7
Líneas de carga para el ejemplo 3.1.

corriente de colector en reposo necesaria para colocar el punto Q en el centro de la línea de carga de ca (es decir, máxima excursión). La ecuación es

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = -7.5 \text{ mA}$$

Se verifica ahora la validez de la ecuación en forma corta para A_v. La cantidad h_{ib} se encuentra de la ecuación (3.8) como sigue:

$$h_{ib} = \frac{26 \text{ mV}}{|I_{CQ}|} = \frac{26 \text{ mV}}{7.5 \text{ mA}} = 3.47 \ \Omega$$

Entonces

$$R_E = 50 \ \Omega - h_{ib} = 46.5 \ \Omega$$

Como h_{ib} es mucho menor que R_E, la forma corta de la ecuación es válida, y se puede continuar con el diseño.

Si existiera alguna especificación de ganancia de corriente o de resistencia de entrada para este diseño, se utilizaría para resolver el valor de R_B. Como no existe dicha especificación, se emplea la expresión

$$R_B = 0.1\,\beta R_E = 0.1(200)(50) = 1 \text{ k}\Omega$$

Como se está forzando, en efecto, a que R_B sea menor que βR_E por un factor de 10, la expresión en forma corta para A_i probablemente sea válida. Por tanto,

$$A_i = \frac{-R_B R_C}{R_E(R_C + R_L)} = \frac{-1000 \times 1000}{50 \times 2000} = -10$$

Se verifica este resultado recalculando, con la forma larga, la ganancia de corriente. Se obtiene

$$R_B = 0.1\,\beta R_E = 0.1(200)(46.5) = 930\ \Omega$$

Entonces

$$A_i = \frac{-R_B}{R_B/\beta + h_{ib} + R_E}\,\frac{R_C}{R_C + R_L} = -8.5$$

Esto muestra que el uso de la expresión en forma corta provoca un error superior al 10%. Por tanto, se abandona la forma corta y se continúa utilizando la expresión en forma larga como sigue:

$$V_{CEQ} = V_{CC} - (R_C + R_E)I_{CQ}$$

$$= -12 - (1046)(-0.0075) = -4.155\ \text{V}$$

$$V_{BB} = I_{CQ}\left(R_E + \frac{R_B}{\beta}\right) + V_{BE}$$

$$= (-0.0075)\left(46.5 + \frac{930}{200}\right) + (-0.7) = -1.08\ \text{V}$$

$$R_1 = \frac{R_B}{1 - V_{BB}/V_{CC}} = \frac{930}{1 - 1.08/12} = 1.02\ \text{k}\Omega$$

$$R_2 = \frac{R_B V_{CC}}{V_{BB}} = \frac{(930)(-12)}{-1.08} = 10.3\ \text{k}\Omega$$

$$R_{\text{en}} = \frac{R_B(h_{ib} + R_E)}{R_B/\beta + h_{ib} + R_E} = \frac{930(50)}{930/200 + 50} = 851\ \Omega$$

$$R_o = R_C = 1\ \text{k}\Omega \quad (\text{suponiendo } r_o \text{ grande comparada a } R_C)$$

La máxima excursión pico a pico en la salida está dada por

$$2|I_{CQ}|(R_C \parallel R_L) = 2(.0075)(500) = 7.5\ \text{V}$$

La potencia suministrada a la carga y la máxima potencia disipada por el transistor se encuentran por medio de las ecuaciones de las secciones 2.9 y 2.11.

$$P_L = \frac{(I_{CQ})^2 R_L}{8} = 7 \text{ mW}$$

$$P_T = V_{CEQ} I_{CQ} = 30.9 \text{ mW}$$

Las líneas de carga para este circuito se muestran en la figura 3.7. Si R_{en} o A_i se hubiesen especificado (en lugar de A_v), entonces se podría utilizar la ecuación para R_{en} o A_i a fin de determinar R_B. Luego se podría utilizar la ecuación

$$R_B = 0.1\beta R_E$$

a fin de resolver para R_E. Entonces,

$$R_E = \frac{R_B}{0.1\beta}$$

3.4 ALINEALIDADES DE LOS BJT

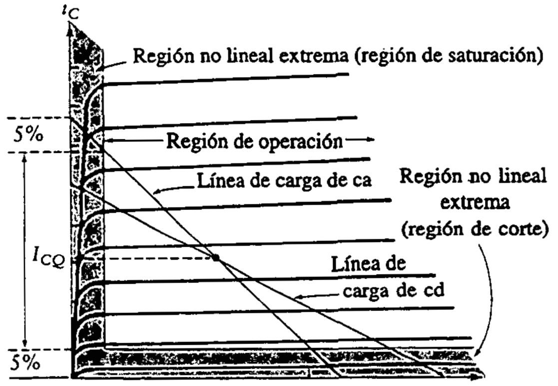
En la sección 2.4.2, se vio que un transistor opera de forma lineal excepto en las regiones de corte y saturación. La operación en estas regiones o cerca de ellas provoca una reproducción distorsionada de la señal de entrada. Por tanto, se deben evitar las regiones sombreadas que se muestran en la figura 3.8. Con frecuencia, los diseñadores descartan el 5% de la curva característica en la vecindad de la región de saturación y el 5% de la curva cercana a la región de corte.

Utilizando estos lineamientos y suponiendo que I_{CQ} se ha colocado en el centro de la línea de carga de ca, la tensión de salida pico a pico no distorsionada está dada por la ecuación (3.16).

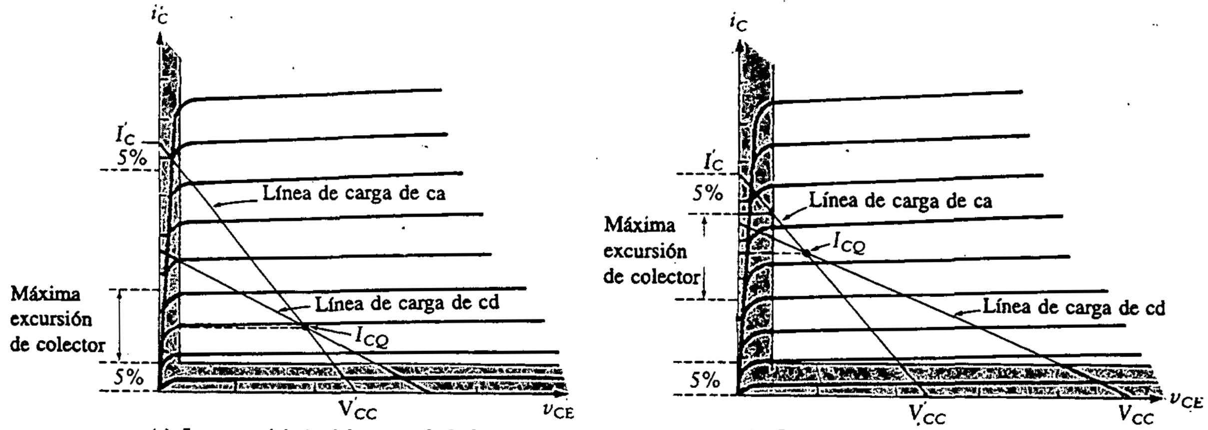
$$\begin{aligned} v_{o(p-p)} &= 0.9 \times 2|I_{CQ}|(R_L \parallel R_C) \\ &= 1.8|I_{CQ}|(R_L \parallel R_C) \end{aligned} \tag{3.16}$$

Supóngase ahora que I_{CQ} *no se encuentra en el centro de la línea de carga.* El circuito tendrá una excursión en la salida reducida para una señal de entrada simétrica. En las figuras 3.9(a) y (b) se muestra en forma gráfica esta excursión reducida. La máxima excursión simétrica en la salida se puede determinar como sigue. Supóngase que la entrada es una sinusoide tal que

Figura 3.8
Porciones no lineales de la curva característica.



I_{CQ} en el centro de la línea de carga



(a) I_{CQ} por debajo del centro de la línea de carga

(b) I_{CQ} por arriba del centro de la línea de carga

Figura 3.9 Excursión reducida en la línea de carga.

$$i_c(t) = I_{C_{\text{máx}}} \operatorname{sen} \omega t$$

Entonces

$$v_o(\text{máx. excursión de salida}) = 2I_{C_{\text{máx}}}(R_C \parallel R_C)$$

Para el caso donde I_{CQ} está por debajo del centro de la línea de carga de ca como en la figura 3.9(a),

$$I_{C_{\text{máx}}} = I_{CQ} - 0.05 \times I'_C$$

donde, de la figura 3.9(a),

$$I'_C = \frac{V'_{CC}}{R_{ca}}$$

Entonces

$$v_o(\text{máx. excursión de salida}) = 2(I_{CQ} - 0.05I'_C)(R_L \parallel R_C) \tag{3.17a}$$

Para el caso donde I_{CQ} está por arriba del centro de la línea de carga, como en la figura 3.9(b),

$$I_{C_{\text{máx}}} = 0.95I'_C - I_{CQ}$$

Entonces

$$v_o(\text{máx. excursión de salida}) = 2(0.95I'_C - I_{CQ})(R_L \parallel R_C) \tag{3.17b}$$

Ejercicios

D3.1 El amplificador en EC de la figura 3.5(a) tiene $V_{CC} = 15$ V, $R_L = \infty$, $V_{BE} = 0.7$ V, $R_C = 5$ kΩ, $R_E = 500$ Ω y $\beta = 200$. Determínense R_1, R_2, A_v, A_i y la máxima tensión de salida simétrica sin distorsión cuando el punto Q está en el centro de la línea de carga de cd.

Resp.: $R_1 = 11.1$ kΩ; $R_2 = 104$ kΩ; $A_v = -10$;
$A_i = -20$; $v_{o(p-p)} = 12.2$ V

D3.2 En el ejercicio D3.1, R_E está en paralelo con un capacitor. ¿Cuáles son los valores de R_1, R_2, A_v, A_i y R_o?

Resp.: $R_1 = 11.1$ kΩ; $R_2 = 101$ kΩ; $A_v = -275$;
$A_i = -147$; $R_{en} = 2.67$ kΩ; $R_o = 5$ kΩ

D3.3 El amplificador con transistor *pnp* mostrado en la figura 3.6 requiere una ganancia de tensión $A_v = v_o/v_i = -5$ y una resistencia de entrada, $R_{en} = 1$ kΩ. $R_L = 5$ kΩ, $V_{CC} = -12$ V, $V_{BE} = -0.7$ V y $\beta = 200$. Determínense la ganancia de corriente, la máxima excursión simétrica y el valor de los otros resistores.

Resp.: $A_i = -1$; $v_{o\text{máx}} = 6.35$ V;
$R_1 = 1.1$ kΩ; $R_2 = 8.5$ kΩ

D3.4 Diséñese un amplificador en EC (Fig. 3.6) con una ganancia de tensión de $A_v = -60$, $R_L = 5$ kΩ y $R_{en} = 5$ kΩ. Diséñese para máxima excursión en la tensión de salida.

Resp.: $R_E = 25.2\ \Omega$; $R_1 = 13.4\ \text{k}\Omega$; $R_2 = 179\ \text{k}\Omega$;
$A_i = -60$; $v_{o(p-p)} = 7.12$ V
(Nótese que la polarización del amplificador no es estable.)

D3.5 Diséñese un amplificador en EC (Fig. 3.6) para máxima excursión en la salida con $R_L = 6\ \text{k}\Omega$, $A_v = -60$ y $A_i = -20$.

Resp.: $R_E = 30\ \Omega$; $R_1 = 2.67\ \text{k}\Omega$; $R_2 = 40\ \text{k}\Omega$;
$R_{en} = 2\ \text{k}\Omega$; $v_{o(p-p)} = 7.12$ V

3.5 PARÁMETROS PARA EL AMPLIFICADOR CC (ES)

3.5.1 Resistencia de entrada, R_{en}

El circuito ES (emisor-seguidor) se muestra en la figura 3.10. Como antes, C_1 y C_2 se consideran cortocircuitos para frecuencias medias.

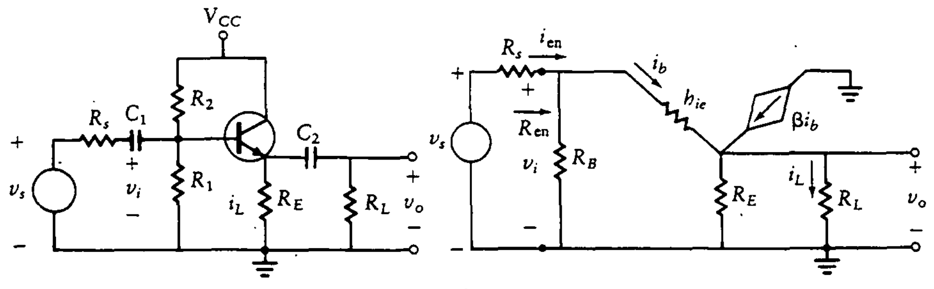
Si se escribe la ecuación de LTK alrededor del lazo de entrada y se resuelve para la resistencia de entrada, se obtiene (suponiendo $1 + \beta \approx \beta$)

$$R_{en} = R_B \parallel [h_{ie} + \beta(R_E \parallel R_L)]$$
$$= \frac{R_B[h_{ie} + \beta(R_E \parallel R_L)]}{R_B + h_{ie} + \beta(R_E \parallel R_L)} \tag{3.18}$$

Esta es la forma larga de la ecuación para R_{en}. Al comparar con la expresión en la tabla 3.1 recuérdese que $h_{ie} = \beta h_{ib}$. Si $R_B \ll \beta(R_E \parallel R_L)$, entonces R_B se puede eliminar del denominador, obteniéndose la ecuación en forma corta (3.19):

$$R_{en} = R_B \tag{3.19}$$

Figura 3.10
Amplificador CC.



3.5.2 Ganancia de tensión, A_v

La ganancia de tensión está dada por

$$A_v = \frac{v_o}{v_i} = \frac{v_o}{i_{en} R_{en}}$$

Así, la ganancia es

$$A_v = \frac{\beta i_b (R_E \parallel R_L)}{i_{en} R_{en}}$$

Ahora se aplica división de corriente en el circuito de entrada para obtener

$$i_b = i_{en} \frac{R_B}{R_B + h_{ie} + \beta (R_E \parallel R_L)} \tag{3.20}$$

En seguida, se sustituye la expresión para i_b en la ecuación de A_v para obtener

$$A_v = \frac{\beta i_{en} (R_E \parallel R_L) R_B}{[R_B + h_{ie} + \beta (R_E \parallel R_L) i_{en} R_{en}}$$

Por último, sustituyendo la ecuación (3.18) para R_{en} y cancelando i_{en}, se obtiene la expresión en forma larga de la ecuación (3.21).

$$A_v = \frac{\beta (R_E \parallel R_L)}{h_{ie} + \beta (R_E \parallel R_L)} = \frac{R_E \parallel R_L}{h_{ib} + (R_E \parallel R_L)} \tag{3.21}$$

Si h_{ib} es pequeña comparada con $R_E \parallel R_L$, como es común, se obtiene la expresión en forma corta

$$A_v = 1$$

Nótese que la ganancia es positiva ya que v_{en} está en fase con v_o.

3.5.3 Ganancia de corriente, A_i

Como

$$i_o = i_L = \frac{i_b \beta R_E}{R_E + R_L}$$

e invirtiendo la ecuación (3.20), se obtiene

$$i_{en} = \frac{i_b[R_B + h_{ie} + \beta(R_E \parallel R_L)]}{R_B}$$

entonces la forma larga para A_i es como se muestra en la ecuación (3.22).

$$\begin{aligned} A_i = \frac{i_o}{i_{en}} &= \frac{\beta i_b R_E R_B}{(R_E + R_L)i_b} \frac{1}{R_B + h_{ie} + \beta(R_E \parallel R_L)} \\ &= \frac{R_B}{R_B/\beta + h_{ib} + (R_E \parallel R_L)} \frac{R_E}{R_E + R_L} \end{aligned} \tag{3.22}$$

Si h_{ib} y R_B/β son mucho más pequeñas que la combinación en paralelo de R_E y R_L, resulta la siguiente ecuación en forma corta:

$$A_i = \frac{R_B}{R_L} \tag{3.23}$$

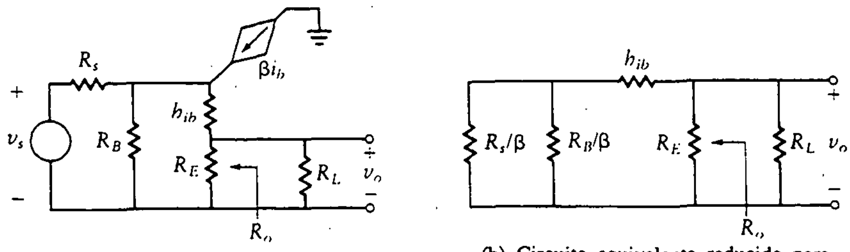
Nótese que la ganancia de corriente es positiva para el amplificador ES.

3.5.4 Resistencia de salida, R_o

En la figura 3.11(a) se muestra un circuito equivalente alterno para un amplificador ES. Aquí se utiliza el modelo BC del transistor en vez del EC empleado en la figura 3.10. La resistencia de la fuente de tensión de entrada se muestra como R_s. El equivalente reducido de la figura 3.11(b) se encuentra de manera similar a la utilizada en la figura 3.5(c). La corriente en h_{ib} es aproximadamente β veces la corriente del circuito a la izquierda de h_{ib}. Por tanto, cuando se quita la fuente de corriente controlada, R_s y R_B tienen corrientes a través de ellas que son β veces las corrientes reales. Para mantener las mismas tensiones, el valor de los resistores se debe dividir entre β. La resistencia de salida de este circuito se obtiene como sigue:

$$R_o = \left(h_{ib} + \frac{R_s \parallel R_B}{\beta}\right) \parallel R_E \tag{3.24}$$

Figura 3.11
Resistencia de salida de la configuración ES.



(a) Circuito equivalente amplificador EF

(b) Circuito equivalente reducido para encontrar R_o

La resistencia de salida depende de los parámetros de entrada R_s y R_B, a diferencia del resultado para el amplificador EC, donde R_o depende sólo de R_C (véase Sec. 3.3.4).

Ejemplo 3.2 Amplificador CC acoplado por capacitor (diseño)

Diséñese un amplificador CC *npn* de una sola etapa (Fig. 3.10) con $\beta = 60$, $V_{BE} = 0.7$ V; $R_s = 1$ kΩ, y $V_{CC} = 12$ V. Determínese el valor de los elementos del circuito para la etapa a fin de conseguir $A_i = 10$ con un resistor de carga de 100 Ω.

SOLUCIÓN Se deben seleccionar R_1, R_2 y R_E, pero otra vez se tienen sólo dos ecuaciones. Estas dos ecuaciones están especificadas por la ganancia de corriente y la ubicación del punto Q. Por tanto, para empezar, R_E debe limitarse a ser igual que R_L. Esto proporciona una tercera ecuación. En consecuencia,

$$R_E = R_L = 100\ \Omega$$

Ahora se encuentran las pendientes de las líneas de carga,

$$R_{ca} = R_L \parallel R_E = 50\ \Omega$$

$$R_{cd} = R_E = 100\ \Omega$$

Se utiliza ahora el procedimiento de diseño paso a paso incluido en la sección 2.9.2. Como no se especifica la amplitud de la señal de entrada, se elige la corriente estacionaria para colocar el punto Q en el centro de la línea de ca.

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = 80 \text{ mA}$$

$$V_{CEQ} = I_{CQ} R_{ca} = 4 \text{ V}$$

Ahora se verá si se debe utilizar la ecuación en forma corta o larga para encontrar R_B; h_{ib} se encuentra de

$$h_{ib} = \frac{26 \text{ mV}}{|I_{CQ}|} = \frac{26 \text{ mV}}{80 \text{ mA}} = 0.33\ \Omega$$

Como h_{ib} es insignificante comparada con $R_E \parallel R_L$, se puede ignorar. Puesto que ésta es una de las condiciones para la utilización de las ecuaciones en forma corta, primero se encuentra R_B de la ecuación de ganancia de corriente en forma corta.

$$A_i = \frac{R_B}{R_L} = \frac{R_B}{100} = 10$$

$$R_B = 1000\ \Omega$$

Una segunda condición para usar esta forma corta es

$$R_B \ll \beta(R_E \parallel R_L)$$

Ahora que R_B se encontró de la ecuación en forma corta, se puede verificar esta suposición.

$$0.1\,\beta(R_E \parallel R_L) = (0.1)(60)(50) = 300\ \Omega$$

Como 1000 Ω es mayor que 300 Ω, se debe retroceder y utilizar la ecuación en forma larga. (Antes de continuar, el lector debe convencerse de que entendió lo que se hizo. Esto es similar a la técnica de suposición y verificación utilizada a menudo en cálculo integral.) La ecuación en forma larga da

$$A_i = \frac{\beta R_E R_B}{(R_E + R_L)[R_B + (R_E \parallel R_L)\beta]}$$

donde se desprecia h_{ib}. Se despeja R_B de esta ecuación, lo que da como resultado

$$R_B = 1500\ \Omega$$

V_{BB} se encuentra como en el paso 4 del procedimiento de diseño presentado en la sección 2.9.2:

$$V_{BB} = 0.7 + 0.08\left(\frac{1.5 \times 10^3}{60} + 100\right) = 10.7\ \text{V}$$

Continuando con el diseño presentado antes, se encuentra

$$R_1 = 13.8\ \text{k}\Omega$$

y

$$R_2 = 1.68\ \text{k}\Omega$$

La ganancia de tensión es aproximadamente unitaria. La resistencia de entrada se encuentra de la ecuación (3.18).

$$R_{en} = R_B \parallel \beta(R_E \parallel R_L) = 1.5\ \text{k}\Omega \parallel 3\ \text{k}\Omega = 1\ \text{k}\Omega$$

La resistencia de salida se calcula de la ecuación (3.24):

$$R_o = \left[0.33 + \frac{1000 \parallel 1500}{60}\right] \parallel 100 = 9.36\ \Omega$$

La máxima excursión simétrica pico a pico en la salida está dada por la ecuación (3.16), donde la máxima excursión se interpreta como la más grande sin distorsión significativa (es decir, eliminando el 5% de cada extremo del intervalo característico). Recuérdese que la distorsión se produce cuando la operación del circuito se aproxima a corte o saturación.

$$v_{o(p-p)} = 1.8|I_{CQ}|(R_E \parallel R_L) = 7.2\ \text{V}$$

La potencia disipada en la carga, P_L, y la máxima potencia requerida por el transistor, P_T, son

$$P_L = \frac{(0.9 I_{CQ}/2)^2 R_L}{2} = 64.8\ \text{mW}$$

$$P_T = I_{CQ} V_{CEQ} = 320\ \text{mW}$$

Ejercicios

D3.6 Diséñese un amplificador ES (Fig. 3.10) que tenga $A_i = 15$, $V_{CC} = 18$ V, $\beta = 100$, $R_s = 0$, $V_{BE} = 0.7$ V y $R_L = 200\ \Omega$. Encuéntrese la tensión de salida pico a pico sin distorsión.

Resp.: $R_1 = 28$ kΩ; $R_2 = 5.05$ kΩ; $R_E = 200\ \Omega$; $v_{o(p-p)} = 10.8$ V

D3.7 Diséñese un amplificador ES que tenga $R_{en} = 2$ kΩ, $R_C = 100\ \Omega$, $V_{CC} = 18$ V, $\beta = 100$, $V_{BE} = 0.7$ V y $R_L = 200\ \Omega$.

Resp.: $R_E = 200\ \Omega$; $R_1 = 4.89$ kΩ; $R_2 = 5.1$ kΩ; $A_i = 10$; $v_{o(p-p)} = 6.48$ V

3.6 PARÁMETROS PARA EL AMPLIFICADOR BC

El amplificador BC se muestra en la figura 3.12. El circuito BC se dibuja a menudo con orientación horizontal, como se ve en la figura 3.12(a). Sin embargo, el circuito es más fácil de entender cuando se dibuja como en la figura 3.12(b). De esta configuración, es fácil ver que la polarización es idéntica a la del amplificador EC.

Figura 3.12
Amplificador BC.

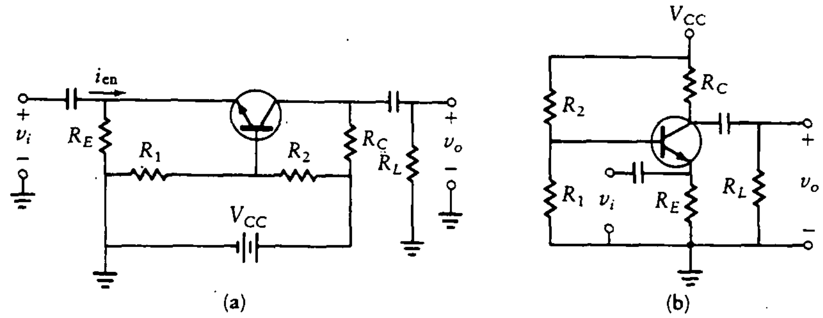
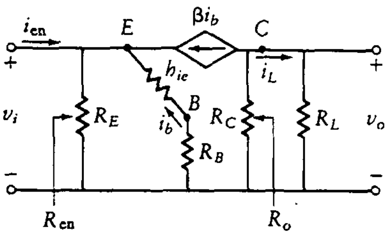


Figura 3.13
Circuito equivalente del amplificador BC.



3.6.1 Resistencia de entrada, R_{en}

El circuito híbrido equivalente para el BC se muestra en la figura 3.13, donde se utilizó el modelo híbrido EC. R_B es la combinación en paralelo de R_1 y R_2. La ecuación en forma larga para R_{en} se deriva en seguida. La corriente en R_{en} es $i_{en} + (1 + \beta)i_b$. En el siguiente análisis, así como a lo largo del texto, se supone que β es bastante grande para permitir la sustitución de β por $1 + \beta$. Entonces,

$$
\begin{aligned}
v_i &= R_E(i_{en} + \beta i_b) \\
&= -i_b(h_{ie} + R_B)
\end{aligned}
$$

Sustituyendo i_b de la segunda ecuación en la primera, se tiene

$$v_i = R_E\left[i_{en} - \frac{\beta v_i}{h_{ie} + R_B}\right]$$

Combinando términos y resolviendo para R_{en}, se obtiene

$$R_{en} = \frac{R_E}{1 + R_E\beta/(h_{ie} + R_B)}$$

$$= \frac{R_E(h_{ie} + R_B)}{h_{ie} + R_B + \beta R_E}$$

$$= \frac{R_E(h_{ib} + R_B/\beta)}{h_{ib} + R_B/\beta + R_E} = R_E \parallel \left(h_{ib} + \frac{R_B}{\beta}\right) \tag{3.25}$$

La ecuación en forma corta se obtiene suponiendo que $h_{ib} \ll R_E$ y $R_B \ll \beta R_E$. Entonces

$$R_{en} = h_{ib} + \frac{R_B}{\beta} \tag{3.26}$$

La ecuación (3.26) indica una de las limitaciones más serias de la configuración BC: baja resistencia de entrada. Por lo general, tanto h_{ib} como R_B/β son de unos cuantos ohms, por lo que R_{en} es algo pequeña.

3.6.2 Ganancia de corriente, A_i

La ganancia de corriente para el circuito de la figura 3.13 se encuentra de la siguiente forma:

$$A_i = \frac{i_L}{i_{en}} = -\frac{\beta i_b}{i_{en}} \frac{R_C}{R_C + R_L}$$

De la derivación anterior para R_{en}, se obtiene

$$i_b = \frac{-v_i}{h_{ie} + R_B} = \frac{-i_{en} R_{en}}{h_{ie} + R_B}$$

$$= \frac{-R_E i_{en}}{\beta R_E + h_{ie} + R_B}$$

Se sustituye entonces la expresión para i_b en la ecuación de A_i y se simplifica para derivar la expresión en forma larga de la ecuación (3.27).

$$A_i = \frac{R_E}{R_E + h_{ib} + R_B/\beta} \frac{aR_C}{R_C + R_L} \tag{3.27}$$

Entonces, si $R_B \ll \beta R_E$ y $h_{ib} \ll R_E$, se obtiene la expresión en forma corta de la ecuación (3.28).

$$A_i = \frac{R_C}{R_C + R_L} \tag{3.28}$$

3.6.3 Ganancia de tensión, A_v

La fórmula de ganancia de impedancia de la ecuación (3.1) se utiliza para encontrar A_v. Se usan A_i de la ecuación (3.27) y R_{en} de la ecuación (3.25) para obtener la expresión en forma larga de la ecuación (3.29):

$$A_v = A_i \frac{R_L}{R_{en}} = \frac{R_C \parallel R_L}{h_{ib} + R_B/\beta} \tag{3.29}$$

No se puede simplificar más la ecuación (3.29) ya que h_{ib} es aproximadamente igual a R_B/β. Si se añade un capacitor de paso entre base y tierra, R_B/β se elimina de la ecuación (3.29) y la expresión se simplifica a

$$A_v = \frac{R_L \parallel R_C}{h_{ib}}$$

Nótese que la ganancia de tensión aumenta de manera significativa al añadir este capacitor de paso.

3.6.4 Resistencia de salida, R_o

Como en el caso del amplificador EC, el generador de corriente dependiente, βi_b, presenta una resistencia elevada. Por tanto,

$$R_o = R_C.$$

Nótese que como R_E no aparece en las ecuaciones para R_{en}, A_i, A_v o R_o, se puede elegir de manera que las desigualdades, $R_B \ll \beta R_E$ y $h_{ib} \ll R_E$, se satisfagan fácilmente. En los ejemplos y problemas se selecciona un valor para R_E.

Ejemplo 3.3 Amplificador BC acoplado por capacitor (diseño)

Diséñese un amplificador BC utilizando un transistor *npn* (Fig. 3.12) con $\beta = 100$, $V_{CC} = 24$ V, $R_L = 2$ kΩ, $R_E = 400$ Ω y $V_{BE} = 0.7$ V. Diséñese el amplificador para una ganancia de tensión de 20.

SOLUCIÓN De nuevo, se necesita una restricción adicional, por lo que se hace

$$R_C = R_L = 2 \text{ k}\Omega$$

Entonces, de la ecuación (3.29),

$$h_{ib} + \frac{R_B}{\beta} = \frac{R_C \parallel R_L}{A_v} = 50\ \Omega$$

$$R_{ca} = 1400\ \Omega$$

$$R_{cd} = 2400\ \Omega$$

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = 6.32 \text{ mA}$$

Se verifican las condiciones para la ecuación en forma corta.

$$h_{ib} = \frac{0.026}{I_{CQ}} = 4.12\ \Omega$$

la cual es mucho menor que R_E; por tanto, quizá se pueda utilizar la forma corta.

$$R_B = \beta(50 - 4.13) = 4.59 \text{ k}\Omega$$

la cual es mucho menor que βR_E. Por tanto, se cumplen ambas condiciones y se pueden utilizar las expresiones en forma corta para calcular A_i y R_{en}.

$$A_i = \frac{R_C}{R_C + R_L} = \frac{2000}{(2000 + 2000)} = 0.5$$

$$R_{en} = h_{ib} + \frac{R_B}{\beta} = 4.12 + \frac{4590}{100} = 50\ \Omega$$

Se utiliza otra vez la ecuación de polarización de la sección 2.9.2 para encontrar los parámetros del circuito de polarización de la entrada.

$$V_{BB} = V_{BE} + I_{CQ}\left(\frac{R_B}{\beta} + R_E\right)$$

$$= 0.7 + (6.32 \times 10^{-3})\left(\frac{4.59 \times 10^3}{100} + 400\right) = 3.52 \text{ V}$$

Los resistores de polarización están dados entonces por

$$R_1 = \frac{R_B}{1 - V_{BB}/V_{CC}} = \frac{4.59 \times 10^3}{1 - 3.52/24} = 5.38 \text{ k}\Omega$$

$$R_2 = \frac{R_B V_{CC}}{V_{BB}} = \frac{(4.59 \times 10^3)(24)}{3.52} = 31.3 \text{ k}\Omega$$

La máxima tensión de salida pico a pico sin distorsión es

$$V_{o(p-p)} = 1.8 I_{CQ}(R_C \parallel R_L) = 11.38 \text{ V}$$

Ejemplo 3.4 Amplificador BC acoplado por capacitor (análisis)

Un transistor *npn* se conecta en configuración BC, como se muestra en la figura 3.12(b). La tensión de la fuente es $V_{CC} = 20$ V, $\beta = 200$, $V_{BE} = 0.7$ V, $R_E = 200\ \Omega$, $R_1 = 5\ \text{k}\Omega$, $R_2 = 80\ \text{k}\Omega$ y $R_C = R_L = 5\ \text{k}\Omega$. Se coloca un capacitor grande entre la base del transistor y la tierra. Determínense la ganancia de tensión, la ganancia de corriente, la impedancia de entrada y la máxima excursión simétrica sin distorsión en la tensión de salida.

SOLUCIÓN Se encuentra el equivalente de Thévenin en los circuitos de base.

$$R_B = R_1 \parallel R_2 = 5\ \text{k}\Omega \parallel 80\ \text{k}\Omega = 4.7\ \text{k}\Omega$$

$$V_{BB} = 20 \times \frac{5\ \text{k}\Omega}{85\ \text{k}\Omega} = 1.18\ \text{V}$$

La posición del punto Q se encuentra al escribir la ecuación de LTK alrededor del lazo base-emisor:

$$V_{BE} + I_{CQ}\left(R_E + \frac{R_B}{\beta}\right) = V_{BB}$$

donde se supone que $I_C = I_E$. Sustituyendo valores y resolviendo para I_{CQ}, se tiene

$$I_{CQ} = \frac{1.18 - 0.7}{(4700/200 + 200)} = 2.13\ \text{mA}$$

Entonces,

$$h_{ib} = \frac{26\ \text{mV}}{2.13\ \text{mA}} = 12.21\ \Omega$$

Se utilizan las ecuaciones (3.27) y (3.29) con $R_B = 0$ para encontrar A_i y A_v como sigue:

$$A_i = \frac{200}{2(200 + 12.21)} = 0.47$$

$$A_v = \frac{5000 \parallel 5000}{12.21} = 205$$

Nótese que no se incluye R_B en la fórmula para A_v y A_i, ya que tiene un capacitor de paso grande.

Despejando R_{en} con $R_B = 0$ en la ecuación (3.25), se obtiene

$$R_{en} = 12.21 \parallel 200 = 11.5\ \Omega$$

Para determinar la máxima excursión en la tensión de salida, se evalúan las ecuaciones de las líneas de carga de cd y ca para determinar si I_{CQ} se encuentra por arriba o por debajo del centro de la línea de carga en ca.

$$V_{CEQ} = V_{CC} - (R_C + R_E)I_{CQ}$$
$$= 20 - 5.2 \text{ k}\Omega\ (2.13 \text{ mA}) = 8.92 \text{ V}$$

La línea de carga de ca interseca el eje en

$$V'_{CC} = V_{CEQ} + I_{CQ}R_{ca}$$

donde

$$R_{ca} = R_C \parallel R_L + R_E = 2.7 \text{ k}\Omega$$

Entonces,

$$V'_{CC} = 8.92 + 2.13 \text{ mA}(2.7 \text{ k}\Omega) = 14.67 \text{ V}$$
$$I'_C = \frac{V'_{CC}}{R_{ca}} = \frac{14.67}{2.7 \text{ k}\Omega} = 5.4 \text{ mA}$$

Nótese que el punto Q se encuentra por debajo del centro de la línea de carga, ya que $I_{CQ} = 2.13$ mA y el centro está en $5.4/2 = 2.7$ mA. Por tanto, utilizando la ecuación adecuada de la sección 3.4, se obtiene la excursión pico a pico sin distorsión en la tensión de salida,

$$v_{o(p-p)} = 2(I_{CQ} - 0.05I'_C)(R_L \parallel R_C)$$
$$= 2(2.13 - 0.05 \times 5.4)(2.5) = 9.3 \text{ V}$$

Ejercicios

D3.8 Determínese la ganancia de tensión de un amplificador BC (Fig. 3.12) con $R_L = 3$ kΩ, $R_E = 500$ Ω, $V_{CC} = 15$ V, $V_{BE} = 0.7$ V, $R_B = 6$ kΩ y $\beta = 200$. El circuito está diseñado para máxima excursión en la tensión de salida.

Resp.: $A_v = 38$

D3.9 Trabájese de nuevo el ejercicio D3.8 suponiendo que se añade un capacitor grande de la base a la tierra.

Resp.: $A_v = 158$

D3.10 Diséñese un amplificador BC (Fig. 3.12) que tenga una ganancia de tensión de 40. Determínese el valor de los componentes cuando $V_{CC} = 20$ V, $R_L = 4$ kΩ, $R_E = 500$ Ω, $V_{BE} = 0.7$ V y $\beta = 100$.

Resp.: $R_1 = 4.6$ kΩ; $R_2 = 36.4$ kΩ;
$R_C = 4$ kΩ; $R_{en} = 45$ Ω

3.7 APLICACIONES DE LOS AMPLIFICADORES CON TRANSISTORES

En esta sección, se ven los resultados de las secciones anteriores y se sugieren aplicaciones para los tres tipos de configuración de amplificadores, basadas en las propiedades de éstos.

Se ha encontrado que el amplificador EC posee ganancias de tensión y de corriente significativas con altas impedancias de entrada y salida. La impedancia de entrada alta es deseable, mientras que la impedancia de salida alta tiene algunos problemas. Nótese que a mayor impedancia de salida, menor es la corriente que se puede extraer del amplificador sin que haya una caída significativa en la tensión de salida. El EC se utiliza más para amplificación de tensión. Puede proporcionar una excursión grande en la tensión de salida, que se convierte en la entrada de la siguiente etapa del sistema.

El amplificador ES (CC) proporciona ganancia de corriente alta con impedancia de salida baja. Tiene una impedancia de entrada alta y una ganancia de tensión cercana a la unidad. Por supuesto, no se utiliza para amplificación de tensión. La baja impedancia de salida hace a este circuito muy útil para excitar dispositivos de alta corriente. Se puede utilizar como una especie de compuerta de potencia (*buffer*) entre un EC y una carga que demande corriente. El CC es un amplificador de potencia y también una etapa de acoplamiento de impedancia. Este amplificador se encuentra normalmente en la etapa final de salida de un amplificador de señal, pues no sólo baja el valor de la impedancia sino que proporciona la potencia necesaria para excitar la carga.

El amplificador BC tiene una impedancia de entrada baja y una impedancia de salida relativamente alta. Estas propiedades no son deseables para amplificación de señal. Si la base se lleva a tierra a través de un capacitor, el amplificador tiene alta ganancia de tensión, pero la ganancia de corriente es menor que la unidad. Aun sin el capacitor, la ganancia de tensión es mayor que la del EC. Entonces, si la fuente excitadora del amplificador tiene baja impedancia y la carga demanda poca corriente, el BC se puede utilizar como amplificador de tensión. Este amplificador es menos sensible a la frecuencia que los otros tipos de amplificador, y se utiliza a menudo en circuitos integrados para proporcionar una salida con intervalo amplio de frecuencia.

3.8 ACOPLAMIENTO DE AMPLIFICADORES

Cuando un sistema está compuesto por más de una etapa de transistores, es necesario conectar, o acoplar, los transistores entre sí. Existen muchas formas comunes de lograr esta interconexión entre amplificadores. En las siguientes secciones se analizan los acoplamientos directo, capacitivo, por transformador y óptico.

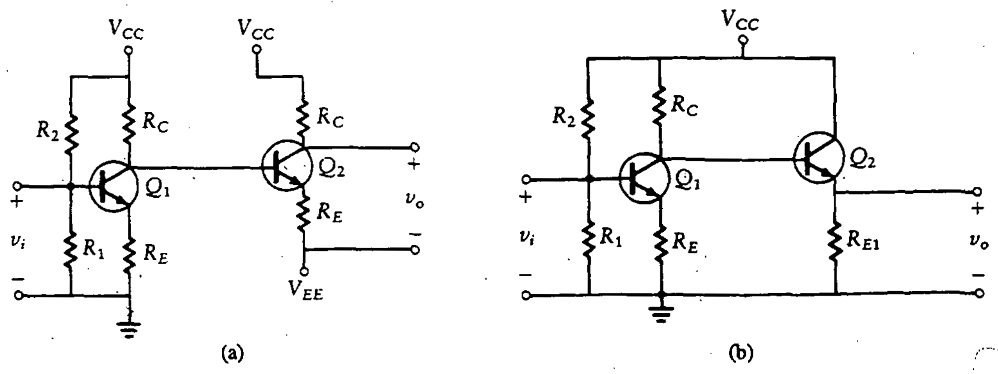
3.8.1 Acoplamiento directo

Dos amplificadores están *acoplados directamente* si la salida del primer amplificador se conecta en forma directa a la entrada del segundo sin utilizar capacitores. En la figura 3.14(a) se muestra un ejemplo. La salida en ca de la primera etapa está superpuesta con el nivel de cd estático de la segunda etapa. El nivel de cd de la salida de la etapa anterior se suma al nivel de cd de polarización de la segunda etapa. Para compensar los cambios en los niveles de polarización, el amplificador utiliza diferentes valores de fuentes de tensión de cd en lugar de una fuente de V_{CC} sencilla.

El acoplamiento directo se puede utilizar de manera efectiva al acoplar un amplificador EC a uno ES, como se muestra en la figura 3.14(b), porque la corriente de polarización en un ES por lo general es alta. El acoplamiento directo elimina la necesidad de contar con el capacitor de acoplamiento y con los resistores R_1 y R_2 de la segunda etapa. El amplificador acoplado directamente tiene una buena respuesta en frecuencia pues no *existen elementos de almacenamiento en serie* (es decir, sensibles a la frecuencia) que afecten la señal de salida en baja frecuencia.

El acoplamiento directo se utiliza por lo común en el diseño de circuitos integrados. El amplificador resultante tiene una excelente respuesta en baja frecuencia y puede amplificar señales de cd. Es también más simple fabricar un circuito integrado pues no se necesitan capacitores.

Figura 3.14 Amplificador directamente acoplado.



3.8.2 Acoplamiento capacitivo

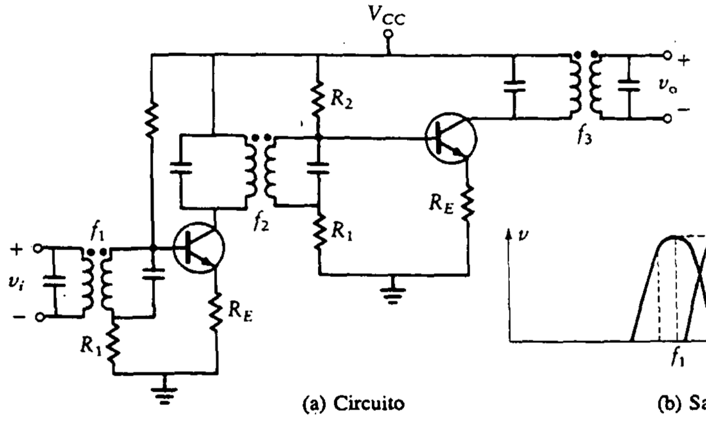
El *acoplamiento capacitivo* es el tipo ilustrado en los diseños de este capítulo. Constituye la forma más simple y efectiva de desacoplar los efectos del nivel de cd de la primera etapa amplificadora, de aquellos de la segunda etapa. El capacitor separa el componente de cd de la señal de ca. Por tanto, la etapa anterior no afecta la polarización de la siguiente. Para asegurar que la señal no cambie de manera significativa por la adición de un capacitor, es necesario que éste se comporte como cortocircuito para todas las frecuencias por amplificar. Los criterios específicos para la elección del tamaño del capacitor se exponen en el capítulo 10. Para el presente análisis, se supone que el capacitor es grande, aproximándose a infinito.

3.8.3 Acoplamiento por transformador

Se puede utilizar un *transformador* para acoplar dos etapas del amplificador. Este tipo de acoplamiento se utiliza a menudo cuando se amplifican señales de alta frecuencia. Los transformadores son más costosos que los capacitores, aunque sus ventajas pueden justificar el costo adicional. A través de una elección adecuada de la razón de vueltas, se puede utilizar un transformador para aumentar ya sea la ganancia de tensión o bien la de corriente. Por ejemplo, en la etapa de salida de un amplificador de potencia, el transformador se utiliza para aumentar la ganancia de corriente. Existen otros beneficios asociados con el uso de un transformador. Por ejemplo, el transformador se puede sintonizar para resonar de manera que se convierta en un filtro pasa-banda (filtro que pasa las frecuencias deseadas y atenúa las frecuencias que quedan fuera de la banda requerida).

El acoplamiento por transformador sintonizado se utiliza en receptores de radio y televisión. De esta forma, las etapas de transistor no sólo amplifican la señal (vídeo o audio) sino que también realizan la función de separar la estación deseada de las demás recibidas por la antena. En la figura 3.15 se ilustra la técnica para sintonizar varias etapas a frecuencias ligeramente diferentes. El efecto neto es

Figura 3.15 Amplificador sintonizado acoplado por transformador.



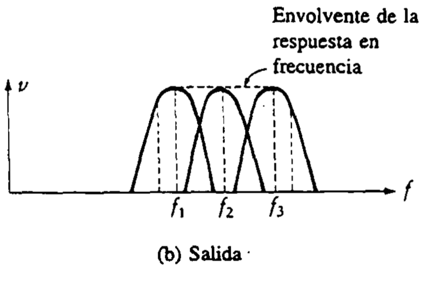
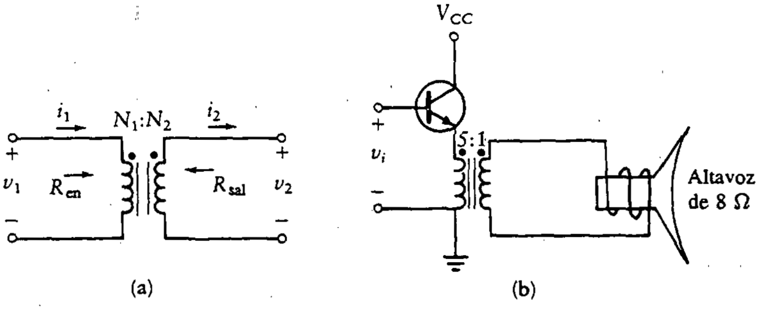


Figura 3.16
Acoplamiento de transformador a un altavoz.



producir una característica de frecuencia que sea aproximadamente plana sobre el intervalo deseado de la banda de frecuencias.

El acoplamiento de la etapa de salida a la carga en un ES se puede conseguir utilizando un transformador. En la figura 3.16 se ilustra esta técnica, donde el amplificador se acopla a un altavoz. Véase la figura 3.16 para revisar la operación de un transformador. Las tensiones de entrada y salida son proporcionales a la razón de vueltas del transformador, como sigue:

$$v_2 = v_1 \left(\frac{N_2}{N_1}\right)$$

donde N_1 es el número de vueltas del primario y N_2 es el número de vueltas en el secundario. Las corrientes de entrada y de salida se relacionan de manera inversa a la tensión, pues se debe conservar la potencia. Entonces

$$i_2 = i_1 \left(\frac{N_1}{N_2}\right)$$

Tomando la razón de tensión a corriente, se tiene la relación de impedancia,

$$Z_1 = Z_2 \left(\frac{N_1}{N_2}\right)^2$$

En la figura 3.16(b) se ilustra una aplicación de estos resultados, usando un transformador para excitar un altavoz de 8 Ω. Si la razón de vueltas del transformador es 5:1, la resistencia equivalente vista por el emisor del transistor es $8 \times 5^2 = 200\ \Omega$. Si v_i es una sinusoide de amplitud 10 V, la tensión del emisor tiene aproximadamente el mismo valor ya que la ganancia del amplificador ES es unitaria. La tensión en el altavoz es un quinto de esta cantidad, una sinusoide de 2 V de amplitud. La corriente en el altavoz es una sinusoide de 250 mA de amplitud (utilizando la ley de Ohm en las terminales del altavoz), y la corriente en el emisor del transistor es una sinusoide de 50 mA de amplitud.

Ejemplo 3.5 Amplificador acoplado por transformador (análisis)

Calcúlense la ganancia de corriente, la ganancia de tensión y la resistencia de entrada para el amplificador acoplado por transformador de la figura 3.17.

SOLUCIÓN Nótese que la amplificación total para la etapa se obtiene tomando el producto de las ganancias de cada sección (las secciones están separadas por líneas quebradas en la figura).

La ganancia de tensión del transistor se encuentra de la ecuación en forma corta del amplificador EC, donde la resistencia de colector ($R_L \parallel R_C$ en la ecuación) se encuentra reflejando la resistencia de carga de 500 Ω a través del transformador. La ganancia total de tensión, A_v, incluye los efectos de escalamiento en tensión de los dos transformadores. Los resultados se muestran directamente en la figura.

La ganancia de corriente, A_i, se encuentra de manera similar utilizando la ecuación en forma corta. Nótese que sólo existe un resistor en el circuito de colector, que es la carga reflejada a través del transformador.

La resistencia de entrada al transistor es R_B, que constituye la combinación en paralelo de R_1 y R_2, o 2500 Ω. Esta se refleja a través del transformador para obtener R_{en}.

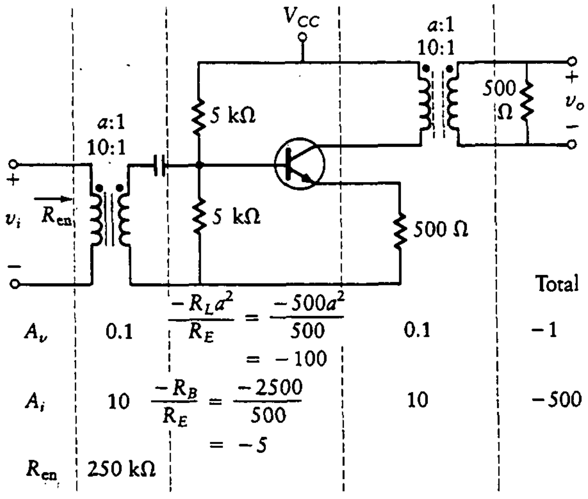


Figura 3.17
Amplificador acoplado por transformador del ejemplo 3.5.

Ejercicios

D3.11 Un amplificador EC (Fig. 3.17) tiene un transformador de entrada 1:5 y un transformador de salida 1:5. Además, R_L = 20 kΩ, R_E = 100 Ω, R_1 = 10 kΩ y R_2 = 100 kΩ. Determínense las ganancias totales A_i, A_v y R_{en}.

Resp.: $A_v = -200$; $A_i = -3.64$; $R_{en} = 364$ Ω

D3.12 Un amplificador ES tiene un transformador de entrada 10:1 y un transformador de salida 20:1. Además, $R_L = 10\ \Omega$, $R_1 = 100\ k\Omega$ y $R_2 = 20\ k\Omega$. Determínense las ganancias totales A_i, A_v y R_{en}.

Resp.: $A_i = 833$; $A_v = 0.005$; $R_{en} = 1.67M\ \Omega$

3.8.4 Acoplamiento óptico

Muchas aplicaciones requieren el *acoplamiento óptico* de circuitos electrónicos. Estas aplicaciones se pueden clasificar como sigue:

- Dispositivos sensibles a la luz y emisores de luz.
- Detectores y emisores discretos para sistemas de fibra óptica.
- Módulos interruptor/reflector que detectan objetos que modifican la trayectoria de la luz.
- Aisladores/acopladores que transmiten señales eléctricas sin conexiones eléctricas.

Como ejemplo de esta última aplicación, supóngase que se desea utilizar la línea de alimentación de 60 Hz como señal de entrada a un circuito electrónico. Debido a los 15 a 25 A de corriente disponibles en la línea, aquí no se desea hacer una conexión eléctrica para las propias necesidades electrónicas, sino elegir una conexión óptica. En caso de falla de un componente (por ejemplo, un capacitor en cortocircuito) un acoplador óptico prevendría de una conexión peligrosa, tal vez fatal, del operador a la línea de alimentación de 110 V, 60 Hz. En los siguientes párrafos se analizan algunos de los dispositivos ópticos más importantes.

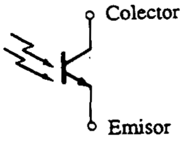


Figura 3.18
Fototransistor.

Detectores y emisores optoelectrónicos En la sección 1.9.4 se consideró la utilización de LED y diodos sensibles a la luz. Estos últimos dispositivos operan, como se muestra en la figura 1.42, de modo que conforme aumenta la intensidad de luz, H, también aumenta la corriente en el circuito externo. Por supuesto, este es el mismo fenómeno que se produce conforme aumenta la corriente de base en el transistor. Dicho dispositivo es el *fototransistor* y se ilustra en la figura 3.18. Nótese que no existe conexión eléctrica a la base.

Los componentes optoelectrónicos requieren un empaquetado tal que permita el paso de luz hacia el chip a través del empaque y que también proteja al chip. La "ventana" del empaque del semiconductor se puede modificar para proporcionar una acción de lente, que incremente la respuesta a lo largo del eje óptico del lente y también aumente la sensibilidad direccional. En la figura 3.19 se muestra la configuración de un empaque típico. Los sistemas de comunicación (como las líneas telefónicas) que utilizan fibra óptica han reemplazado a los sistemas de alambre de cobre. La luz se emite hacia adentro y afuera de la fibra óptica con dispositivos como el mostrado en la figura 3.19.

Figura 3.19
Configuración para el empaque optoelectrónico. Cortesía de Power Electronics Semiconductor Department, General Electric Co.

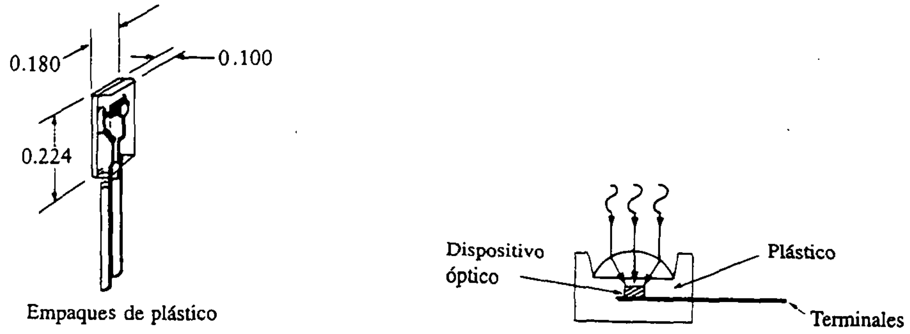
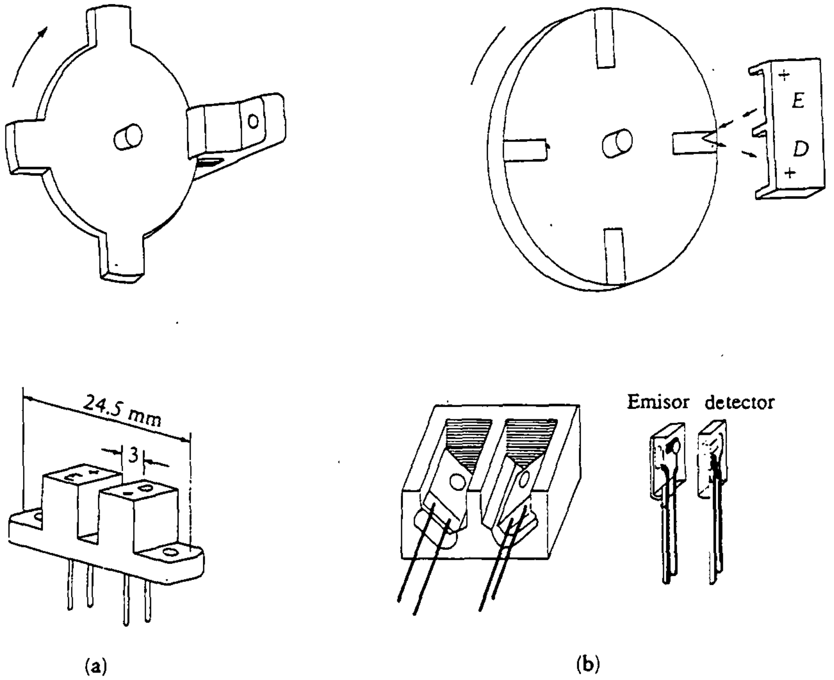


Figura 3.20
Módulos interruptor/reflector. Cortesía de Power Electronics Semiconductor Department, General Electric Co.



Módulos interruptor/reflector En muchas aplicaciones, es necesario determinar la posición o velocidad mecánica de un disco. La utilización de un emisor y detector de luz ya sea en modo interruptor, como se muestra en la figura 3.20(a), o en modo reflector, como en la figura 3.20(b), permite al ingeniero medir el movimiento mecánico del disco.

Optoacopladores Cuando se desea acoplar dos circuitos eléctricos sin hacer conexiones eléctricas, se pueden utilizar optoacopladores (también llamados *optoaisladores*), que son componentes completamente electrónicos. El trayecto de

Figura 3.21
Hoja de datos de un optoaislador. Cortesía de Power Electronics Semiconductor Department, General Electric Co.

Aislador fotoacoplado H11A1, H11A2

El H11A1 y el H11A2 son diodos emisores infrarrojos de arseniuro de galio acoplados con un fototransistor de silicio en un empaque de doble fila, con 6 terminales.

Valores absolutos máximos: (25°C)

Diodo emisor infrarrojo

Disipación de potencia	*100	miliwatts
Corriente directa (continua)	60	miliamps
Corriente directa (pico) (ancho de pulso 1 μs 300 P Ps)	3	ampere
Tensión inversa	3	volts

*Degrada 1.33 mW/°C arriba de 25°C ambiente

Fototransistor

Disipación de potencia	150	miliwatts
V_{CEO}	30	volts
V_{CBO}	70	volts
V_{ECO}	7	volts
Corriente de colector (continua)	100	miliamps

luz, de emisor a detector, está totalmente encerrado en el componente y no se puede modificar en forma externa. El grado de aislamiento eléctrico entre los dos dispositivos es controlado por los materiales en el trayecto de la luz y por la distancia física entre el emisor y el detector. A mayor distancia, mejor aislamiento.

En la figura 3.21 se muestra una porción de la hoja de datos para un optoaislador. Nótese que este dispositivo aísla 1500 V pico y 1060 V rms entre la entrada y la salida.

3.9 DIVISOR DE FASE

El *divisor de fase,* mostrado en la figura 3.22, es un amplificador que simultáneamente es EC y CC. Se elige $R_C = R_E = R_L$ tal que la tensión de salida en el colector tenga igual magnitud que la tensión de salida en el emisor, pero estas tensiones se hallan 180° fuera de fase. Las dos señales de salida de este circuito son aproximadamente iguales en amplitud a la señal de entrada: esto es, las razones de ganancia de tensión, v_1/v_i y v_2/v_i son aproximadamente iguales a uno, en magnitud. Las dos salidas resultantes de una entrada senoidal se muestran en la figura. En el emisor, la salida está en fase con la señal de entrada, mientras que la salida del colector está 180° fuera de fase con la señal de entrada.

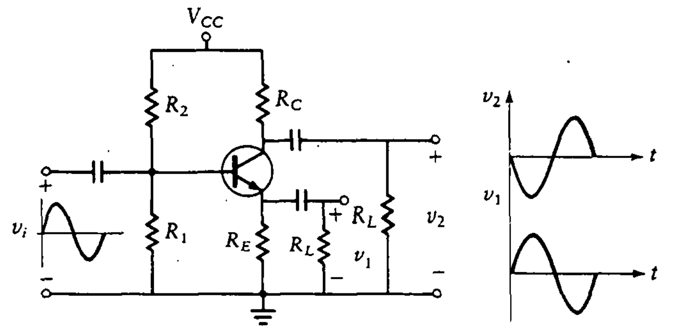


Figura 3.22
Divisor de fase.

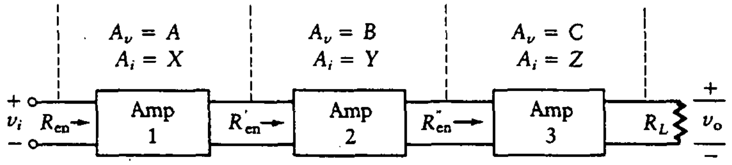


Figura 3.23
Amplificador multietapa.

Ejercicio

D3.13 Cada una de las salidas de la figura 3.22 se conecta a una carga de 2 kΩ. ¿Cuál sería la excursión en la tensión de salida del divisor de fase cuando V_{CC} = 20 V? Determínense además R_C, R_E, R_1 y R_2 para máxima excursión de salida cuando $\beta = 200$ y $V_{BE} = 0.7$ V.

Resp.: $R_C = R_E = 2$ kΩ; $R_1 = 66.9$ kΩ; $R_2 = 99.6$ kΩ; $v_{o(p-p)} = 6$ V

3.10 ANÁLISIS DEL AMPLIFICADOR MULTIETAPA

A menudo los amplificadores se conectan en serie (cascada), como se muestra en la figura 3.23. La carga en el primer amplificador es la resistencia de entrada del segundo amplificador. No es necesario que las diferentes etapas tengan las mismas ganancias de tensión y de corriente. En la práctica, las etapas iniciales suelen ser amplificadores de tensión y la última o las dos últimas son amplificadores de corriente. La ganancia en una etapa se determina por la carga de ésta, que se gobierna por la resistencia de entrada a la siguiente etapa. Por tanto, cuando se diseñan o analizan amplificadores multietapa, se inicia en la salida y se continúa hacia la entrada.

Ejemplo 3.6 Amplificador multietapa (análisis)

Determínense las ganancias de tensión y de corriente para el amplificador de dos etapas acoplado por capacitor que se muestra en la figura 3.24. Todos los capacitores son suficientemente grandes para considerarse cortocircuitos de la señal de ca.

SOLUCIÓN Se desarrolla el circuito equivalente híbrido para el amplificador multietapa de la figura 3.24. Dicho circuito se muestra en la figura 3.25. Las variables prima denotan cantidades de salida de la etapa, mientras que las variables normales denotan cantidades de entrada a ella. Los cálculos para la etapa de salida son

$$R'_B = \frac{10,000 \times 2000}{10,000 + 2000} = 1.67 \text{ k}\Omega$$

$$V'_{BB} = \frac{12 \times 2000}{10,000 + 2000} = 2 \text{ V}$$

$$I'_{CQ} = \frac{V_{BB} - V_{BE}}{R'_B/\beta + R'_E} = \frac{2 - 0.7}{1670/200 + 50}$$

$$= 22 \text{ mA}$$

$$h'_{ib} = 26 \text{ mV}/|I'_{CQ}| = 1.17 \ \Omega$$

Para la etapa de entrada,

$$R_B = \frac{7000 \times 1000}{7000 + 1000} = 875 \ \Omega$$

$$V_{BB} = \frac{12 \times 1000}{7000 + 1000} = 1.5 \text{ V}$$

$$I_{CQ} = \frac{1.5 - 0.7}{875/200 + 50} = 1.47 \text{ mA}$$

$$h_{ib} = \frac{26 \text{ mV}}{14.7 \text{ mA}} = 1.77 \ \Omega$$

La resistencia de entrada se determina utilizando la ecuación en forma larga de la tabla 3.1 como sigue:

$$R_{en} = R_B \ || \ \beta(h_{ib} + R_E)$$

$$= \frac{875 \times 200 \times (1.77 + 50)}{875 + 10354} = 807 \ \Omega$$

Figura 3.24
Amplificador multietapa del ejemplo 3.6.

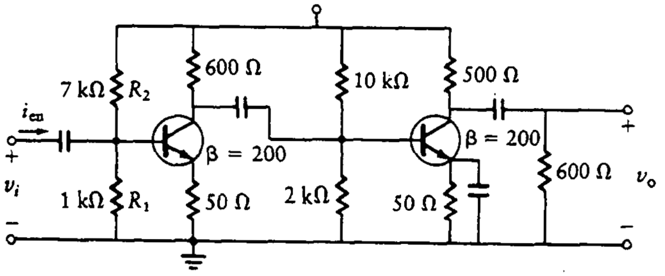


Figura 3.25
Circuito equivalente para el ejemplo 3.6.

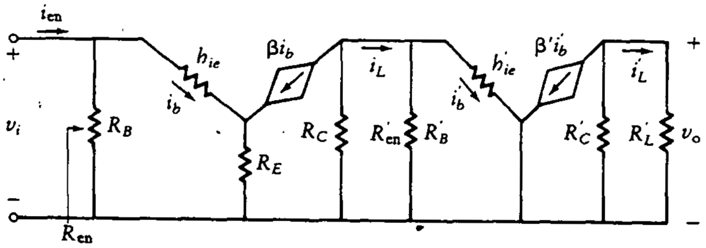
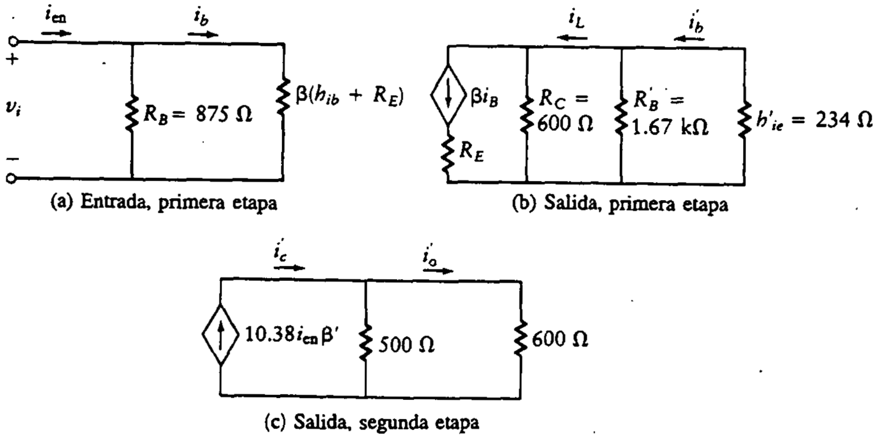


Figura 3.26
Divisores de corriente para el circuito de la figura 3.25.



La ganancia de corriente, A_i, se encuentra aplicando dos veces la ecuación de la tabla 3.1, una vez para cada etapa. La primera etapa utiliza el valor de R_L derivado de la entrada a la segunda etapa. Se analiza la figura 3.25 sacando tres divisores de corriente, como se muestra en la figura 3.26. La división de corriente de la etapa de entrada se encuentra de la figura 3.26(a).

$$i_b = \frac{R_B i_{en}}{R_B + \beta(h_{ib} + R_E)} = \frac{875 i_{en}}{875 + 200(1.77 + 50)} = 0.078 i_{en}$$

En la figura 3.26(b) la salida de la primera etapa se acopla a la entrada de la segunda. La resistencia de entrada de la segunda etapa es

$$R'_{en} = R'_B \parallel h'_{ie} = 205\ \Omega$$

La corriente R'_{en} es i_L y está dada por

$$i_L = 15.6\, i_{en} \times \frac{600}{805} = 11.63\, i_{en}$$

Nuevamente, i_L se divide en la entrada de la segunda etapa. Entonces,

$$i'_b = \frac{-R'_B i_L}{R'_B + h'_{ie}} = \frac{-1670(11.63 i_{en})}{(1670 + 205)}$$
$$= -10.38 i_{en}$$

La corriente de salida se encuentra de la figura 3.26(c):

$$i'_o = \frac{10.38 i_{en} \times 200 \times 500}{500 + 600} = 941\ i_{en}$$

La ganancia de corriente es

$$A_i = 941$$

Ahora, utilizando la ecuación (3.1), se encuentra que la ganancia de tensión es

$$A_v = \frac{941 \times 600}{807} = 700$$

3.11 DISPOSITIVOS DE CUATRO CAPAS

Se han analizado dispositivos de dos capas (diodos) y de tres capas (transistores). El éxito de los dispositivos de tres capas, como el BJT y el transistor de efecto de campo (FET, *field-effect transistor*) condujo a los investigadores al concepto del dispositivo de cuatro capas. Con la capacidad de manufactura aumentada, los dispositivos de cuatro capas no presentan mayores problemas de fabricación. En las siguientes subsecciones, se mencionan algunos de estos dispositivos y se comenta su operación básica.

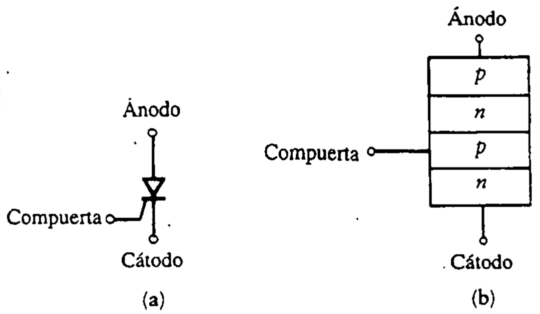


Figura 3.27 Símbolo y construcción del SCR.

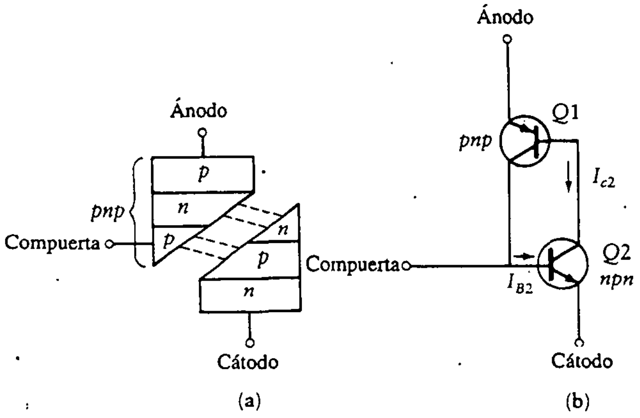


Figura 3.28 Circuito equivalente del SCR con dos BJT.

3.11.1 Rectificador controlado de silicio (SCR)

El *rectificador controlado de silicio* (SCR, *silicon-controlled rectifier*) es un dispositivo de cuatro capas (*pnpn*) con características de conmutación muy útiles ([6], Sec. 11.2-11.6). Se trata de un miembro de la familia de *tiristores* y se utiliza en controles de relevadores, muestreadores, cargadores de batería, circuitos de protección, inversores, calentamiento por inducción, limpieza ultrasónica y circuitos de control. Los SCR se pueden construir para control de potencia en la región de megawatts y soportan corrientes hasta de 1500 A a 2000 V. Los intervalos de frecuencia están un poco limitados, pero algunos SCR son capaces de trabajar a frecuencias hasta de 50 kHz.

En la figura 3.27 se ilustran el símbolo del circuito y la construcción del SCR.

En la figura 3.28 se presenta el equivalente del SCR como un circuito de dos BJT. Se evalúa el desempeño de un SCR utilizando el circuito equivalente. Si aparece una tensión cero en la compuerta, ésta se encuentra efectivamente puesta a tierra. Por tanto, la corriente de base, I_{B2}, es aproximadamente igual a cero e I_{C2} es aproximadamente igual a I_{CBO}. La corriente de base de Q_1 es

$$I_{B1} = I_{C2} = I_{CBO}$$

la cual es muy pequeña para permitir que Q_1 conduzca. Esto da por resultado una corriente despreciable entre el ánodo y el cátodo, y por tanto presenta una impedancia elevada entre estos elementos. Si la tensión en la compuerta es suficientemente grande para permitir que Q_1 conduzca, I_{C1} crecerá, con el consiguiente aumento en I_{B2}. Debido a la interconexión, el efecto es acumulativo, y cada transistor lleva al otro a la saturación. Una vez en saturación, las uniones se polarizan en directo y la caída de tensión total a través del dispositivo es de aproximadamente 1 V. El SCR se acerca a un cortocircuito. Para apagar el SCR, se debe producir algún tipo de interrupción en la fuente de tensión del ánodo o del cátodo. La acción de

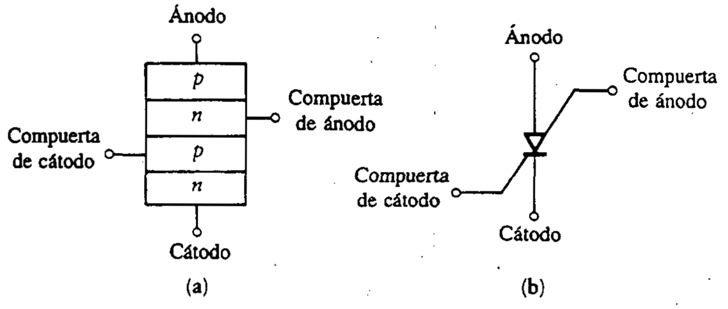


Figura 3.29 SCS.

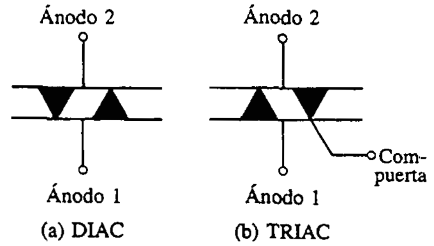


Figura 3.30 DIAC y TRIAC.

regeneración para encender un SCR se produce de 0.1 μs a 1 μs, y el tiempo de apagado va de 5 μs a 30 μs. Por lo general, esta acción de conmutación es más rápida que la que se obtiene con un solo transistor operando entre saturación y corte a corrientes elevadas.

3.11.2 Conmutador controlado de silicio (SCS)

El *conmutador controlado de silicio* (SCS *silicon-controlled switch*) se construye en forma similar al SCR excepto que ambas capas centrales se conectan a compuertas; una se denomina compuerta de ánodo y la otra, compuerta de cátodo. Esto se muestra en la figura 3.29.

La operación del dispositivo es similar a la del SCR. Conforme la corriente de la compuerta de ánodo se eleva, la tensión ánodo-cátodo necesaria para encender el dispositivo se vuelve más pequeña. La compuerta de ánodo se puede utilizar tanto para encender como para apagar el dispositivo. Se debe aplicar un pulso negativo a la terminal de la compuerta de ánodo para encender el SCS, y se requiere un pulso positivo para apagarlo.

3.11.3 DIAC y TRIAC

El *DIAC*, o diodo de disparo, es un dispositivo de dos terminales que se puede disparar en cualquier dirección. El dispositivo opera en la región inversa y la ruptura se produce en cualquier dirección cuando la tensión aumenta hasta el nivel necesario. Estos dispositivos se utilizan a menudo en el circuito de compuerta de un SCR para empezar la acción de compuerta. El símbolo del DIAC se ilustra en la figura 3.30(a).

El *TRIAC* es similar al DIAC excepto que tiene una terminal de compuerta para controlar el encendido para cualquier polaridad de tensión entre los dos ánodos. El símbolo se ilustra en la figura 3.30(b).

PROBLEMAS

3.1 Derívense las ecuaciones para A_v, A_i y R_{en} para el amplificador EC que se muestra en la figura P3.1.

3.2 Calcúlense R_{en}, A_v y A_i cuando $R_B = R_L = 5$ kΩ, $R_E = 1$ kΩ y $h_{ie} = 0$ para el amplificador EC mostrado en la figura P3.2. Sea β igual a:

a. $\beta = 200$
b. $\beta = 100$
c. $\beta = 10$

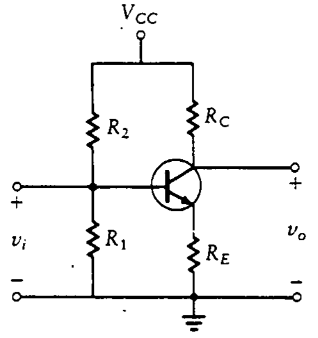


Figura P3.1

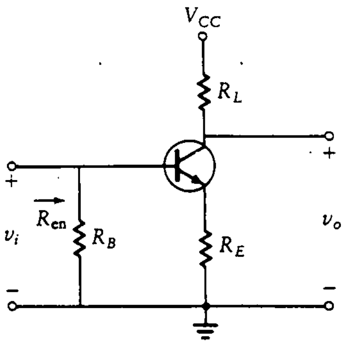


Figura P3.2

3.3 Determínense A_v, A_i y R_{en} para el amplificador mostrado en la figura P3.2 cuando $R_L = R_B = 5$ kΩ, $h_{ib} = 40$ Ω, $\beta = 300$ y R_E es:

a. $R_E = 1000$ Ω
b. $R_E = 500$ Ω
c. $R_E = 100$ Ω
d. $R_E = 0$

Analícense los efectos de cambiar R_E.

3.4 Para el amplificador EC que se muestra en la figura P3.1, $V_{BE} = 0.6$ V, $V_{CC} = 12$ V, $\beta = 300$, P_L (promedio máximo) $= 100$ mW y $A_v = -10$. Determínense R_1, R_2, R_{en} y A_i. ¿Cuánta potencia se disipa en el transistor?

3.5 Encuéntrese A_v para el amplificador mostrado en la figura P3.3, donde $h_{ie} = 2$ kΩ, $h_{re} = 0$, $h_{fe} = 200$ y $1/h_{oc} = 8$ kΩ.

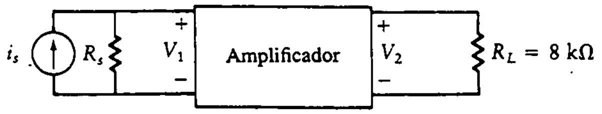


Figura P3.3

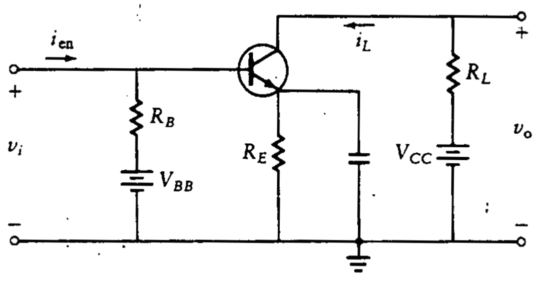


Figura P3.4

3.6 Para el amplificador EC mostrado en la figura P3.4, donde h_{ie} = 1 kΩ, h_{oe} = 10 μs, h_{fe} = 50, grafíquese lo siguiente.

a. $A_i = i_L/i_{en}$, suponiendo $R_B \ll h_{ie}$ como función del valor de R_L. Varíese R_L entre 0 y 500 kΩ.

b. A_i como función de R_L pero suponiendo $h_{re} = 0 = h_{oe}$.

3.7 Para el amplificador EC mostrado en la figura P3.5, determínese la variación de A_i y R_{en} si h_{fe} varía de 50 a 150 para el transistor de silicio.

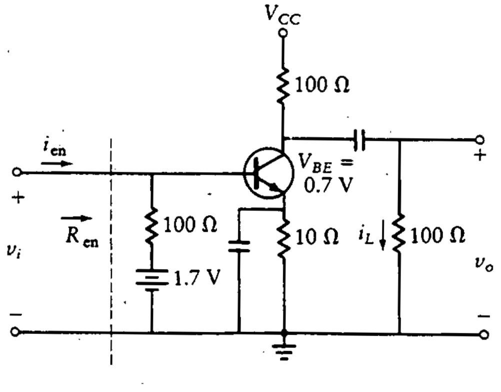


Figura P3.5

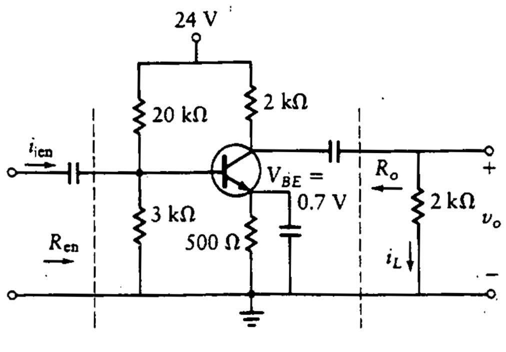


Figura P3.6

3.8 Determínense h_{ie}, A_i, R_{en} y R_o para el amplificador EC mostrado en la figura P3.6 si $h_{fe} = 100$ y $h_{re} = h_{oe} = 0$.

3.9 Calcúlese h_{ib} para los circuitos con transistor de silicio mostrados en la figura P3.7 y determínese cuando se debe considerar a h_{ib} en las ecuaciones de diseño.

3.10 Compárense las resistencias de entrada y las ganancias de tensión para los circuitos amplificadores equivalentes de ca que se muestran en la figura P3.8.

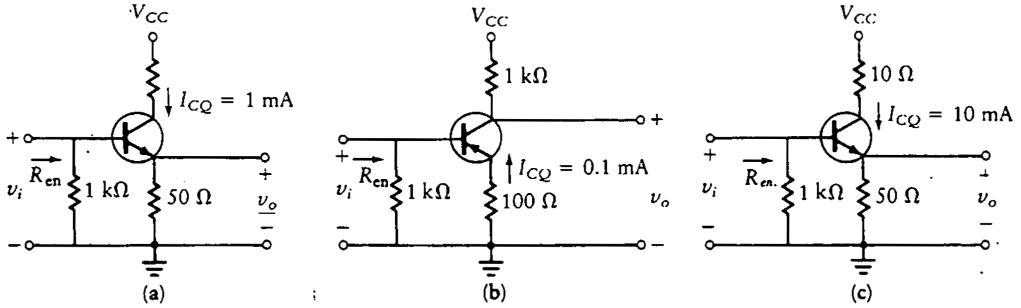


Figura P3.7

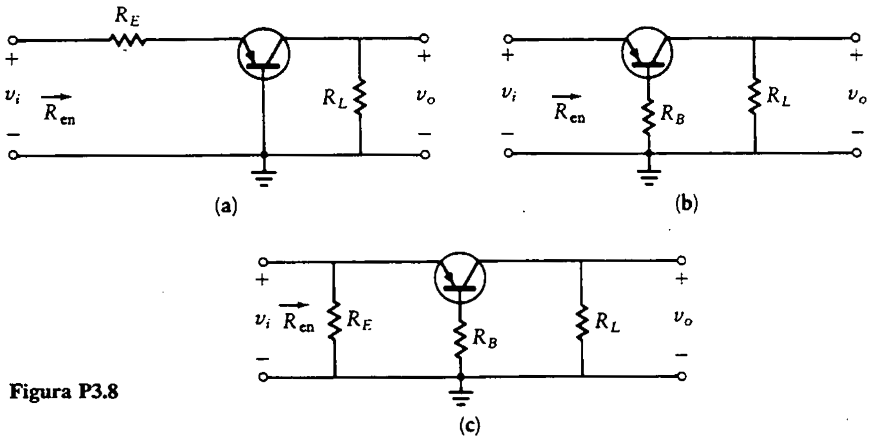


Figura P3.8

3.11 Calcúlese A_v, A_i y R_{en} cuando $\beta = 250$, $R_E = 100\ \Omega$, $R_C = R_L = 1100\ \Omega$, $R_1 = 10\ \text{k}\Omega$, $R_2 = 10\ \text{k}\Omega$ y $h_{ie} = 500\ \Omega$ para el amplificador EC mostrado en la figura P3.9.

3.12 Grafíquense A_v contra R_L y A_i contra R_C para $100\ \Omega < R_L < 10\ \text{k}\Omega$ para el amplificador del problema 3.11. Manténganse los demás parámetros constantes.

3.13 Grafíquense A_v contra R_E y A_i contra R_E para $10\ \Omega < R_E < 1000\ \Omega$ para el amplificador del problema 3.11. Manténganse los demás parámetros constantes.

3.14 Grafíquense A_v contra β y A_i contra β para $50 < \beta < 300\ \Omega$ para el amplificador del problema 3.11. Manténganse los demás parámetros constantes.

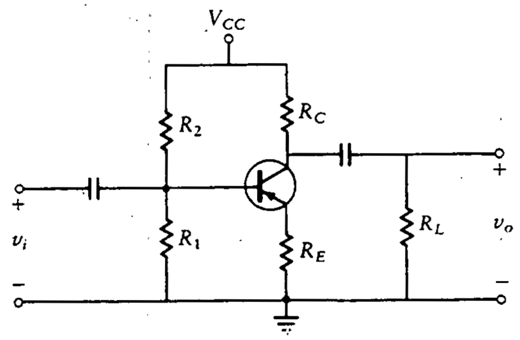


Figura P3.9

3.15 Grafíquese R_{en} contra β para $50 < \beta < 300$ para el amplificador del problema 3.11. Manténganse los demás parámetros constantes.

3.16 Grafíquese R_{en} contra R_E para $10\ \Omega < R_E < 1000\ \Omega$ para el amplificador del problema 3.11. Manténganse los demás parámetros constantes.

3.17 Diséñese el amplificador EC de la figura P3.9 para alimentar una carga de 2 kΩ utilizando un transistor *pnp* de silicio. $V_{CC} = -24$ V, $\beta = 200$, $A_v = -10$ y $V_{BE} = -0.7$ V. Determínese el valor de todos los elementos y calcúlese A_i, R_{en} y la excursión simétrica no distorsionada en la tensión de salida para cada R_C dada:

a. $R_C = R_L$
b. $R_C = 0.1R_L$
c. $R_C = 10R_L$

Compárense los resultados

3.18 Diséñese un amplificador EC como el de la figura P3.9 utilizando un transistor *pnp* cuando $R_L = 3$ kΩ, $A_v = -10$, $V_{BE} = -0.7$ V, $\beta = 200$ y $V_{CC} = -12$ V. Determínense el valor de todos los elementos, A_i, R_{en} y la máxima excursión simétrica a través de R_L.

3.19 Diséñese un amplificador EC como el de la figura P3.9 utilizando un transistor *pnp* cuando $R_L = 4$ kΩ, $A_v = -15$, $R_{en} = 20$ kΩ, $V_{CC} = -20$ V, $\beta = 300$ y $V_{BE} = -0.6$ V. Determínense el valor de todos los elementos y la máxima excursión pico a pico en la tensión de salida.

3.20 Diséñese un amplificador EC como el de la figura 3.5(a) utilizando un transistor *npn* cuando $R_L = 9$ kΩ, $A_v = -10$, $A_i = -10$, $V_{BE} = 0.7$ V, $\beta = 200$ y $V_{CC} = 15$ V. Determínense el valor de todos los elementos, R_{en} y la máxima excursión pico a pico en la tensión de salida.

3.21 Diséñese un amplificador EC para obtener una ganancia de tensión de -5 cuando $A_i = -2$, $R_L = 4$ kΩ, $V_{CC} = 15$ V, $V_{BE} = 0.6$ V y $\beta = 200$. Determínense el valor de todos los resistores, la resistencia de entrada y la máxima excursión en la tensión de salida. Utilícese el circuito de la figura 3.5(a).

3.22 Diséñese un amplificador EC para obtener una ganancia de tensión de -25 cuando $R_{en} = 5\ k\Omega$, $R_L = 5\ k\Omega$, $V_{CC} = 12$ V, $\beta = 200$ y $V_{BE} = 0.7$ V. Determínense el valor de todos los resistores, la ganancia de corriente y la máxima excursión en la tensión de salida. Utilícese el circuito de la figura 3.5(a).

3.23 Diséñese un amplificador EC para obtener una ganancia de tensión de -10 cuando $R_{en} = 2\ k\Omega$, $R_L = 4\ k\Omega$, $V_{CC} = 15$ V, $V_{BE} = 0.6$ V y $\beta = 300$. Este amplificador requiere una excursión en la salida de sólo 2 V pico a pico, de manera que el diseño se debe hacer para que el consumo de corriente de la fuente sea mínimo. Determínense el valor de todos los resistores y la ganancia de corriente.

3.24 Calcúlense R_{en}, A_v, A_i y $v_{o(p-p)}$ para excursión simétrica de salida para el amplificador ES que se muestra en la figura P3.10. Sean $R_L = 1\ k\Omega$, $R_B = 5\ k\Omega$, $h_{ib} = 40\ \Omega$, $\beta = 300$, $V_{CC} = 6$ V y $V_{BE} = 0.7$ V. Encuéntrese la solución para cada valor de R_C dado:

a. $R_C = 1\ k\Omega$
b. $R_C = 0$

Analícense los efectos en R_{en}, A_v, A_i y $v_{o(p-p)}$ cuando R_C tiende a cero.

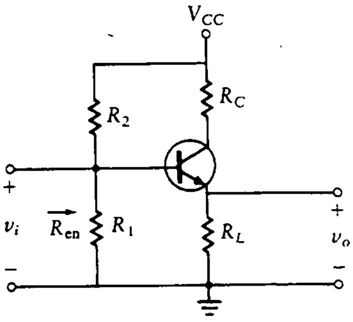


Figura P3.10

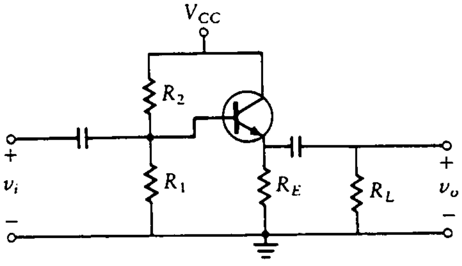


Figura P3.11

3.25 Diséñese un amplificador ES como el de la figura P3.11 utilizando un transistor *npn* con $R_L = 500\ \Omega$, $V_{BE} = 0.7$ V, $A_i = 25$, $\beta = 200$ y $V_{CC} = 15$ V. Determínense el valor de todos los elementos, R_{en}, A_v y la máxima excursión en la tensión de salida.

3.26 Diséñese un amplificador ES para excitar una carga de 8 Ω cuando $\beta = 60$, $V_{CC} = 24$ V, $V_{BE} = 0.7$ V, $A_v = 1$ y $A_i = 10$. Utilícese el circuito de la figura P3.11. Determínense el valor de todos los elementos, la excursión en la tensión de salida y R_{en}.

3.27 Diséñese un amplificador ES como el de la figura P3.11 utilizando un transistor *pnp* con $R_L = 500\ \Omega$, $V_{BE} = -0.7$ V, $\beta = 200$, $A_i = 10$ y $V_{CC} = -15$ V. Determínense el valor de todos los elementos, R_{en}, A_v y la máxima excursión en la tensión de salida.

3.28 Diséñese un amplificador ES como el de la figura P3.11 utilizando un transistor *npn* cuando R_L = 1500 Ω, V_{BE} = 0.7 V, R_{en} = 10 kΩ, β = 200 y V_{CC} = 16 V. Determínense el valor de todos los elementos, A_i, A_v y la máxima excursión en la tensión de salida.

3.29 Diséñese un amplificador ES como el de la figura P3.11 para excitar una carga de 10 Ω cuando V_{CC} = 24 V, V_{BE} = 0.6 V, A_v = 1, R_{en} = 100 Ω, y β = 200. Determínense el valor de todos los elementos, R_{en} y la máxima excursión en la tensión de salida.

3.30 Diséñese un amplificador BC (véase Fig. 3.12) con una ganancia de tensión de 10 y una carga de 4 kΩ. Utilícense β = 100, V_{BE} = 0.7 V, V_{CC} = 18 V y R_E = 500 Ω. Determínense el valor de I_{CQ}, R_1, R_2, R_B y la máxima excursión en la tensión de salida. ¿Cuál es la ganancia de tensión si se coloca un capacitor grande en paralelo con R_1?

3.31 Diséñese un amplificador BC utilizando los valores dados en el problema 3.30 excepto que la ganancia de tensión es 100. Determínense el valor de R_1, R_2, I_{CQ}, R_B y la máxima excursión en la tensión de salida.

3.32 Diséñese un amplificador BC para máxima excursión en la tensión y por lo menos 100 Ω de impedancia de entrada, R_L = 8 kΩ, V_{CC} = 12 V y R_E = 400 Ω. Utilícese un transistor *npn* con β = 200 y V_{BE} = 0.7 V. Determínense la ganancia de tensión y el valor de todos los resistores.

3.33 Analícese un amplificador BC para R_{en}, A_v y $V_{o(p-p)}$ que tiene los siguientes valores: V_{CC} = 16 V, R_1 = 2 kΩ, R_2 = 25 kΩ, R_E = 200 Ω, R_C = R_L = 4 kΩ, β = 200 y V_{BE} = 0.7 V. La base está aterrizada para ca.

3.34 Determínense A_v, A_i y R_{en} para el amplificador ES mostrado en la figura P3.12 cuando β = 200 y h_{ib} = 0.

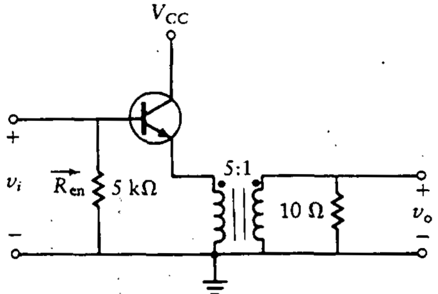


Figura P3.12

3.35 Determínense las ganancias totales de corriente y de tensión y la resistencia de entrada para el amplificador acoplado por transformador que se muestra en la figura P3.13. Utilícese un transistor *npn* con a = 4, R_1 = 2 kΩ, R_2 = 4 kΩ, V_{CC} = 15 V, β = 200 y R_L = 500 Ω. Despréciese h_{ie}.

3.36 Determínense las ganancias totales de corriente y de tensión y la resistencia de entrada R_{en} para el amplificador acoplado por transformador, como se muestra

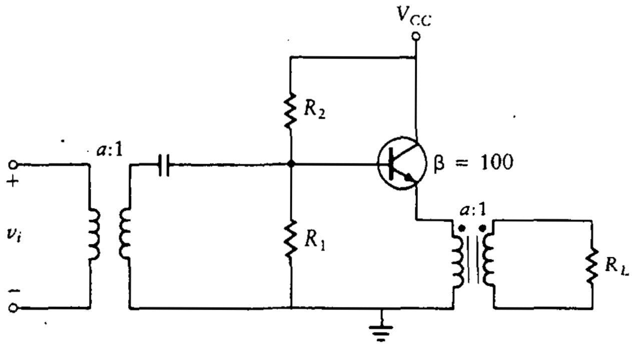


Figura P3.13

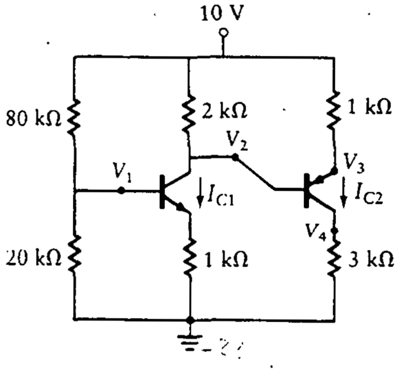


Figura P3.14

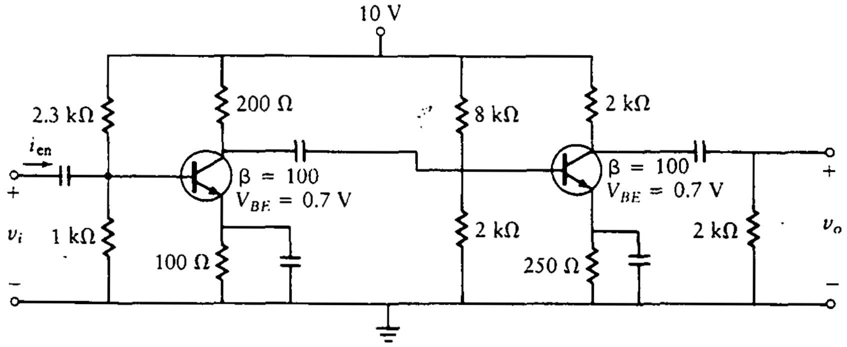


Figura P3.15

en la figura P3.13. Utilícese un transistor *pnp* con $a = 7$, $V_{CC} = -15$ V, $R_1 = 3$ kΩ, $R_2 = 4$ kΩ, y $R_L = 300$ Ω. Despréciese h_{ie}.

3.37 Acóplese directamente un amplificador EC a un ES (véase Fig. 3.14(b)) para una excursión de 4 V en la salida con los siguientes valores: $V_{CC} = 12$ V, $A_v = 10$, Q_1 tiene $\beta = 200$ y $V_{BE} = 0.7$ V, Q_2 tiene $\beta = 100$ y $V_{BE} = 0.7$ V, y $R_{E1} = 100$ Ω. Sea $R_C = 4$ kΩ.

3.38 Determínense los valores de V_1, V_2, V_3, V_4, I_{C1} e I_{C2} para el circuito de la figura P3.14. Supóngase que β es igual a 300 o más.

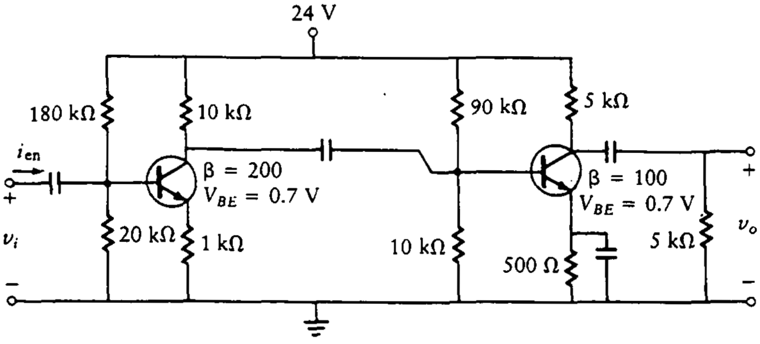


Figura P3.16

3.39 Determínense A_i y A_v para el amplificador de dos etapas mostrado en la figura P3.15. Los transistores son de silicio.

3.40 Determínense A_v y A_i para el amplificador de dos etapas mostrado en la figura P3.16. Los transistores son de silicio.

PROBLEMAS ADICIONALES

PA3.1 Analice el circuito de la figura PA3.1 y determine lo siguiente cuando $\beta = 300$ y $V_{BE} = 0.6$ V.

a. I_{CEQ} y V_{CEQ}
b. La excursión sin distorsión en la tensión de salida.
c. La potencia suministrada por la fuente.
d. La ganancia en tensión.
e. Las líneas de carga.

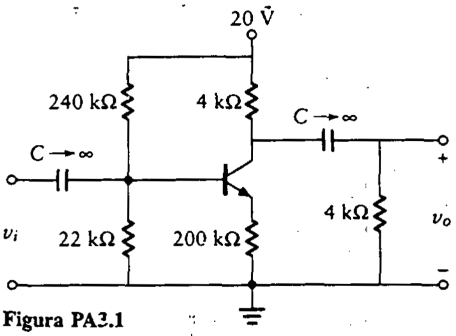


Figura PA3.1

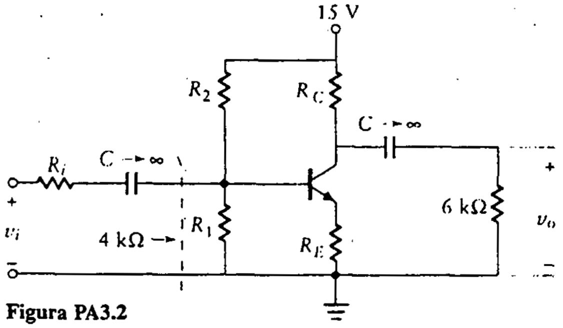


Figura PA3.2

PA3.2 Diseñe un amplificador con una ganancia total de $A_v = -15$ cuando a la entrada la fuente tiene una impedancia (R_i) de 2 kΩ y el amplificador mismo tiene una $R_{en} = 4$ kΩ, $V_{BE} = 0.7$ V, y $\beta = 200$ (véase Fig. PA3.2). El amplificador debe tener máxima excursión a la salida. Determine todos los valores de resistor, A_i, y la máxima excursión en la tensión de salida.

PA3.3 Diseñe un amplificador como el mostrado en la figura PA3.3 para obtener una ganancia en tensión de −200 con una resistencia de entrada de 1 kΩ. Determine todos los valores de resistor y la máxima excursión en la tensión de salida cuando $\beta = 400$ y $V_{BE} = 0.7$ V.

PA3.4 Diseñe un amplificador ES como el mostrado en la figura PA3.4 para alimentar una carga de 200 Ω utilizando un transistor de silicio *pnp*. $V_{CC} = -24$ V, $\beta = 200$, $A_i = 10$ y $V_{BE} = -0.7$ V. Determine el valor de todos los elementos y calcule R_{en}, I_{CQ} y la excursión simétrica sin distorsión a la salida para cada una de las R_E dadas:

a. $R_E = R_L$
b. $R_E = 0.2R_L$
c. $R_E = 5R_L$
Compare sus resultados por medio de una tabla.

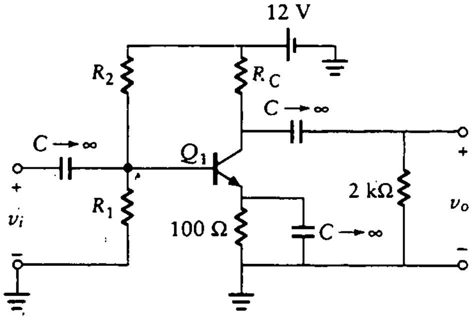


Figura PA3.3

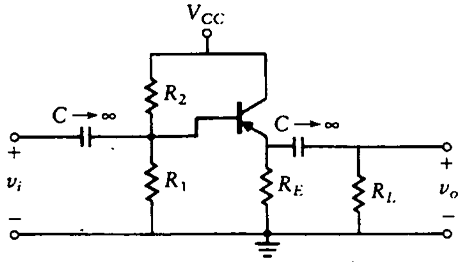


Figura PA3.4

PA3.5 Analice el circuito mostrado en la figura PA3.5 y determine lo siguiente cuando $\beta = 300$ y $V_{BE} = 0.6$ V.

a. I_{CQ} y V_{CEQ}.
b. La excursión sin distorsión en la tensión de salida.
c. La potencia necesaria de la fuente.
d. La máxima potencia de salida (sin distorsión en ca)
e. Las líneas de carga

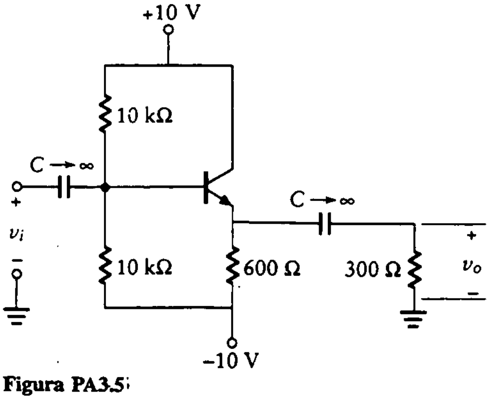


Figura PA3.5

PA3.6 Analice el circuito mostrado en la figura PA3.6 cuando $\beta = 100$ y $V_{BE} = 0.7$ V, y determine lo siguiente:

a. I_{CQ} y V_{CEQ}.
b. La excursión sin distorsión en la tensión de salida.
c. La potencia suministrada por la fuente.
d. La máxima potencia de salida (sin distorsión en ca).
e. La ganancia en corriente.

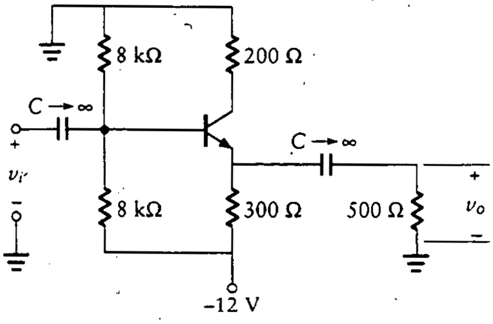


Figura PA3.6

PA3.7 Determine lo siguiente para el circuito mostrado en la figura PA3.7 cuando $\beta = 400$ y $V_{BE} = 0.6$ V:

a. Los puntos Q para ambos amplificadores.
b. La máxima excursión simétrica sin distorsión en la tensión de salida.
c. Bosqueje la señal de salida.
d. La ganancia en tensión, v_o/v_i

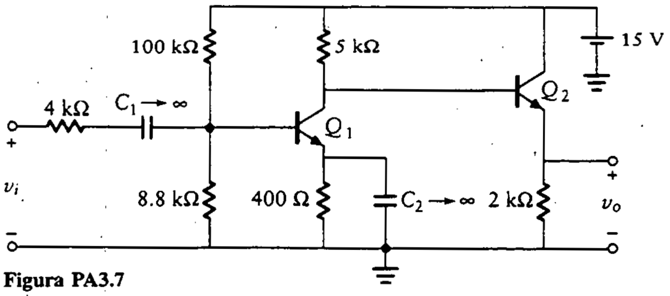


Figura PA3.7

PA3.8 Para el circuito mostrado en la figura PA3.8 cuando $v_i = 0.1 \operatorname{sen} 1000t$ V, determine la tensión de salida (suponga que $\beta = 200$ y $V_{BE} = 0.7$ V):

a. De la terminal $v_o(+)$ a la terminal $v_o(-)$.
b. De la terminal $v_o(+)$ a tierra.

PA3.9 Determine A_i, A_v, y R_{en} para el amplificador de dos etapas mostrado en la figura PA3.9.

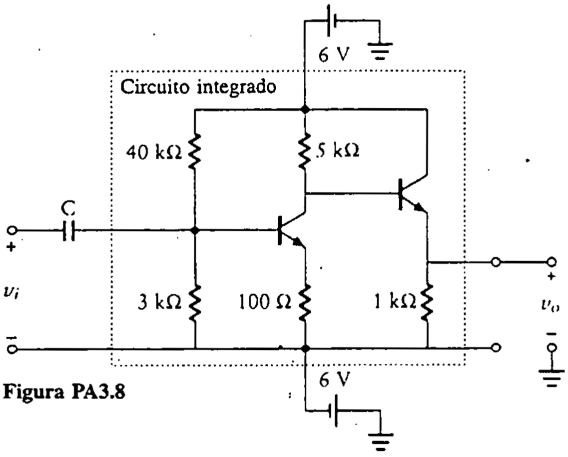


Figura PA3.8

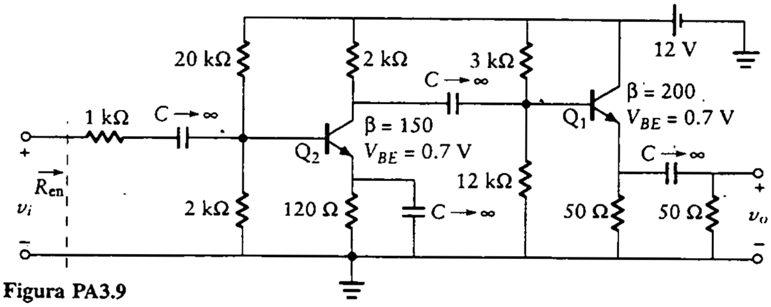


Figura PA3.9

PA3.10 Diseñe un amplificador EC utilizando un transistor *npn* para máxima tensión de salida con las siguientes características: $A_v = -20$, $R_{en} = 4$ kΩ, $R_L = 5$ kΩ, $V_{CC} = 12$ V, $\beta = 300$, $V_{BE} = 0.7$ V. Determine todos los valores de resistor, excursión pico a pico sin distorsión en la tensión de salida y ganancia en corriente.

PA3.11 Encuentre una R tal que a cd, $V_o = 0$ para el circuito de la figura PA3.10. Encuentre también I_{CQ1}, I_{CQ2}, R_{en}, R_o y A_v. Suponga que $V_{BE} = 0.7$ V y $\beta = 100$ para los dos transistores.

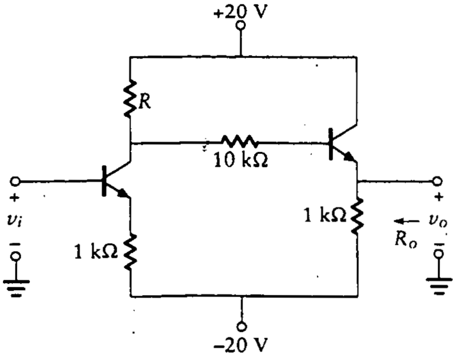


Figura PA3.10

4

AMPLIFICADORES CON TRANSISTORES DE EFECTO DE CAMPO

4.0 INTRODUCCIÓN

El desempeño del *transistor de efecto de campo (FET, field-effect transistor)* propuesto por W. Shockley en 1952, es diferente del desempeño del BJT. El parámetro de control para un FET es la *tensión* en vez de la *corriente.*

El FET es un dispositivo *unipolar,* ya que la corriente existe *tanto* en forma de electrones como de huecos. En un FET de canal n, la corriente se debe a electrones, mientras que en un FET de canal p, se debe a huecos. Ambos tipos de FET se controlan por una tensión entre la *compuerta* y la *fuente.*

Al comparar el FET con el BJT se aprecia que el *drenaje (D)* es análogo al colector, en tanto que la *fuente (S)* es análoga al emisor. Un tercer contacto, la *compuerta (G),* es análogo a la base. La fuente y el drenaje de un FET se pueden intercambiar sin afectar la operación del transistor.

Este capítulo comienza con una exposición sobre las características del FET y una comparación de éstas con las del BJT. A continuación se describen la construcción y la operación tanto de los JFET (*junction field-effect transistor,* transistor de efecto de campo de unión) como de los MOSFET (*metal-oxide semiconductor field-effect transistor,* transistor de efecto de campo metal óxido semiconductor). Se desarrollan las técnicas de polarización para los FET y luego se plantea el análisis en ca utilizando circuitos equivalentes. Después se derivan las ecuaciones de ganancia para el amplificador fuente común (FC). Se continúa con el desarrollo de un procedimiento de diseño paso a paso, que se aplica a muchos ejemplos de diseño.

Luego se presenta el análisis y diseño de amplificadores drenaje común (DC) (fuente seguidor (FS)). Se desarrollan procedimientos de diseño paso a paso, seguidos de ejemplos de aplicación de estos procedimientos.

El capítulo concluye con un breve análisis sobre otros dispositivos especiales.

4.1 VENTAJAS Y DESVENTAJAS DEL FET

Las ventajas del FET se pueden resumir como sigue:

1. Son dispositivos sensibles a la tensión con alta impedancia de entrada (del orden de 10^7 a 10^{12} Ω). Como esta impedancia de entrada es considerablemente mayor que la de los BJT, se prefieren los FET a los BJT para la etapa de entrada a un amplificador multietapa.
2. Los FET generan un nivel de ruido menor que los BJT.
3. Los FET son más estables con la temperatura que los BJT.
4. Los FET son, en general, más fáciles de fabricar que los BJT pues suelen requerir menos pasos de enmascaramiento y difusiones. Es posible fabricar un mayor número de dispositivos en un circuito integrado (es decir, se puede obtener una *densidad de empaque* mayor).
5. Los FET se comportan como resistores variables controlados por tensión para valores pequeños de tensión drenaje a fuente.
6. La alta impedancia de entrada de los FET les permite almacenar carga el tiempo suficiente para permitir su utilización como elementos de almacenamiento.
7. Los FET de potencia pueden disipar una potencia mayor y conmutar corrientes grandes.

Existen varias desventajas que limitan la utilización de los FET en algunas aplicaciones:

1. Los FET exhiben una respuesta en frecuencia pobre debido a la alta capacitancia de entrada.
2. Algunos tipos de FET presentan una linealidad muy pobre.
3. Los FET se pueden dañar al manejarlos debido a la electricidad estática.

4.2 TIPOS DE FET

Se consideran tres tipos principales de FET:

1. FET de unión (JFET)
2. FET metal óxido semiconductor de empobrecimiento (MOSFET de empobrecimiento)

3. FET metal óxido semiconductor de enriquecimiento (MOSFET de enriquecimiento)

   Con frecuencia el MOSFET se denomina FET de compuerta aislada (IGFET, *insulated-gate FET*).

4.3 OPERACIÓN Y CONSTRUCCIÓN DEL JFET

Al igual que el BJT, el FET es un dispositivo de tres terminales, pero sólo tiene una unión *pn* en vez de dos, como en el BJT. En la figura 4.1 se muestra un esquema de la estructura física del JFET.

El JFET de canal *n*, mostrado en la figura 4.1(a), se construye utilizando una cinta de material de tipo *n* con dos materiales de tipo *p* difundidos en ella, uno en cada lado. El JFET de canal *p* tiene una cinta de material de tipo *p* con dos materiales de tipo *n* difundidos en ella, como se muestra en la figura 4.1(b).

Para entender la operación del JFET, se conecta el JFET de canal *n* de la figura 4.1(a) a un circuito externo. Se aplica una fuente de tensión, V_{DD}, al drenaje (ésta es análoga a la fuente de tensión V_{CC} para el BJT) y se envía a tierra. Una fuente de tensión de compuerta, V_{GG}, se aplica a la compuerta (aquélla es análoga a la V_{BB} para el BJT). Esta configuración se muestra en la figura 4.2(a).

V_{DD} proporciona una tensión drenaje a fuente, v_{DS}, que provoca una corriente de drenaje, i_D, del drenaje a la fuente. La corriente de drenaje, i_D, que es idéntica a la corriente de fuente, existe en el canal rodeado por la compuerta de tipo *p*. La tensión compuerta a fuente, v_{GS}, que es igual a $-V_{GG}$ (véase Fig. 4.2(a)), crea una *región desértica* en el canal, que reduce el ancho de éste y por tanto aumenta la resistencia entre drenaje y fuente. Como la unión compuerta-fuente está polarizada en inverso, el resultado es una corriente de compuerta nula.

Considérese la operación de un JFET con $v_{GS} = 0$, como se muestra en la figura 4.2(b). La corriente de drenaje, i_D, a través del canal *n* del drenaje a la fuente, provoca una caída de tensión a lo largo del canal, con el potencial más alto en la unión drenaje-compuerta. Esta tensión positiva en la unión drenaje-fuente polariza en inverso la unión *pn* y produce una región desértica, como se muestra en el área sombreada de la figura 4.2(b). Cuando se incrementa v_{DS}, también aumenta la corriente de drenaje, i_D, como se ilustra en la figura 4.3. El resultado de esta

Figura 4.1
Estructura física de un JFET.

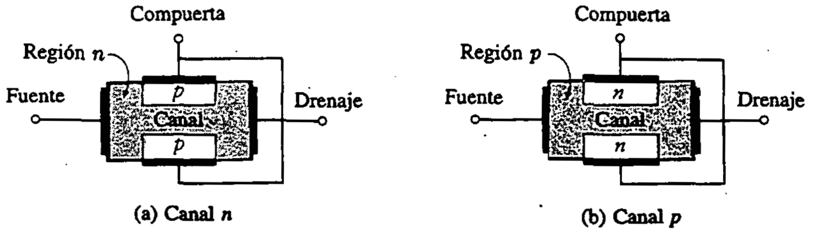
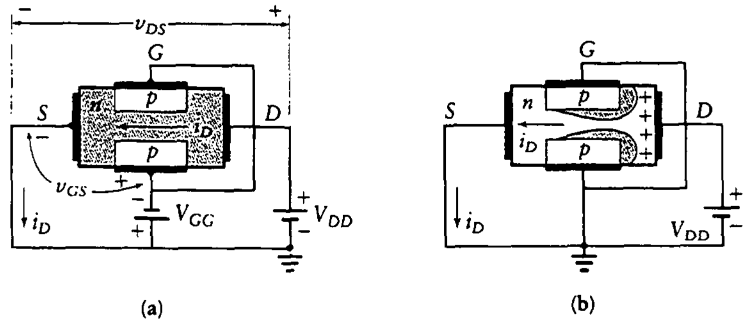


Figura 4.2
Operación del JFET en un circuito externo.



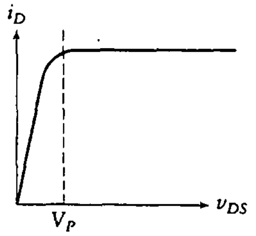


Figura 4.3
Característica i_D-v_{DS} para un JFET de canal *n*.

acción es un aumento de la región desértica y de la resistencia del canal entre el drenaje y la fuente. Conforme aumenta v_{DS}, se alcanza un punto donde se forma una región desértica a través de todo el canal y la corriente de drenaje alcanza su punto de saturación. Si se aumenta v_{DS} más allá de este punto, i_D permanece constante. El valor de la corriente de saturación de drenaje con $V_{GS} = 0$ es un parámetro importante y se denomina *corriente de drenaje de saturación*, I_{DSS}. Como se puede ver en la figura 4.3, aumentar v_{DS} más allá del *estrangulamiento* del canal no provoca aumento en i_D, y la curva característica i_D-v_{DS} se vuelve plana (es decir, i_D permanece constante conforme aumenta v_{DS}).

4.3.1 Variación de la tensión compuerta a fuente en el FET

En la sección anterior, se desarrolló la curva característica i_D-v_{DS} con $v_{GS} = 0$. En esta sección, se consideran las características i_D-v_{DS} completa para varios valores del parámetro v_{GS}. Nótese que en el caso del BJT, las curvas características (i_C-v_{CE}) tienen a i_B como parámetro. El FET es un dispositivo controlado por tensión y se controla mediante v_{GS}. En la figura 4.4 se muestran las curvas características i_D-v_{DS} tanto para un JFET de canal *n* como para uno de canal *p*. Antes de analizar estas curvas, tómese nota de los símbolos para los JFET de canal *n* y de canal *p*, que también se muestran en la figura 4.4. Estos símbolos son iguales excepto por la dirección de la flecha.

Conforme se incrementa v_{GS} (más negativo para un canal *n* y más positivo para un canal *p*) se forma la región desértica y se cierra para un valor menor que i_D. Por tanto, para el JFET de canal *n* de la figura 4.4(a), la i_D máxima se reduce desde I_{DSS} conforme v_{GS} se hace más negativo. Si v_{GS} disminuye aún más (más negativo), se alcanza un valor de v_{GS}, después del cual i_D será cero sin importar el valor de v_{DS}. Este valor de v_{GS} se denomina V_{GSOFF}, o *tensión de estrangulamiento* (V_p). El valor de V_p es negativo para un JFET de canal *n* y positivo para un JFET de canal *p*.

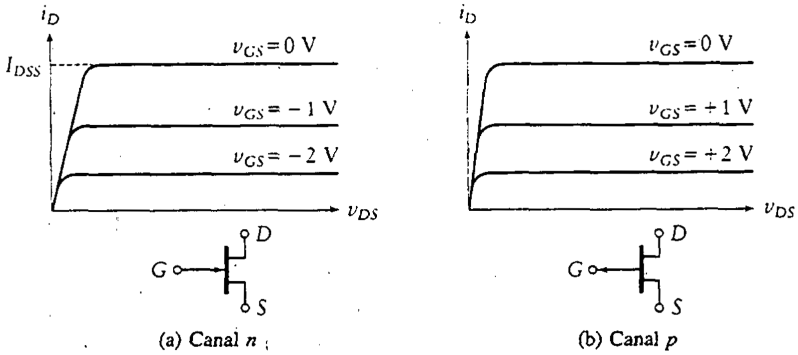


Figura 4.4
Curvas características $i_D - V_{DS}$ para un JFET.

4.3.2 Características de transferencia del JFET

De gran valor en el diseño con JFET es la característica de transferencia, que es una gráfica de la corriente de drenaje, i_D, como función de la tensión compuerta a fuente, v_{GS}, por encima del estrangulamiento. Se grafica con v_{DS} igual a una constante, aunque la característica de transferencia es en esencia independiente de v_{DS} pues, luego de que el FET llega al estrangulamiento, i_D permanece constante para valores mayores de v_{DS} Esto se puede ver a partir de las curvas i_D-v_{DS} de la figura 4.4, donde cada curva se vuelve plana para valores de $v_{DS} > V_p$. Cada curva tiene un punto de saturación diferente.

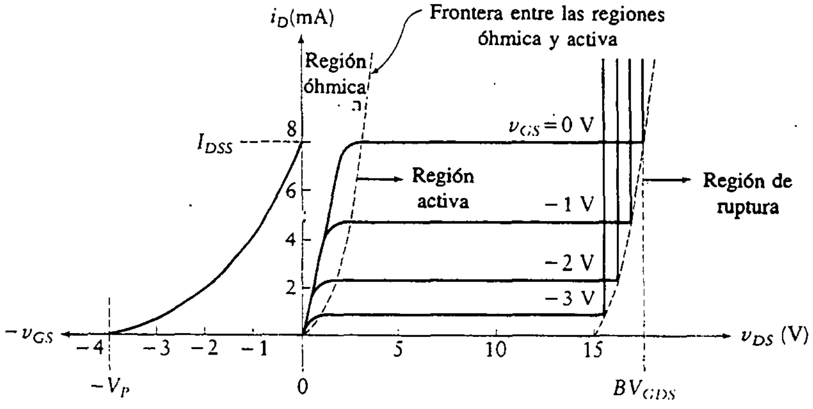
En la figura 4.5, se muestran las características de transferencia y las características i_D-v_{GS} para un JFET de canal n. Se grafican con el eje i_D común. Las características de transferencia se pueden obtener de una extensión de las curvas i_D-v_{DS}. Un método útil de determinar la característica de transferencia es con ayuda de la siguiente relación (ecuación de Shockley):

$$\frac{i_D}{I_{DSS}} \approx \left(1 - \frac{v_{GS}}{V_p}\right)^2 \tag{4.1}$$

Por tanto, sólo se necesita conocer I_{DSS} y V_p, y toda la característica queda determinada. Las hojas de datos de los fabricantes a menudo dan estos dos parámetros, por lo que se puede construir la característica de transferencia o utilizar la ecuación (4.1) directamente. Nótese que i_D se satura (es decir, se vuelve constante) conforme v_{DS} excede la tensión necesaria para que el canal se estrangule. Esto se puede expresar como una ecuación para $v_{DS(sat)}$ para cada curva, como sigue:

$$v_{DS(sat)} = v_{GS} + V_p$$

Figura 4.5
Características del JFET.



Conforme v_{GS} se vuelve más negativo, el estrangulamiento se produce a menores valores de v_{DS} y la corriente de saturación se vuelve más pequeña. La región útil para operación lineal es por arriba del estrangulamiento y por debajo de la tensión de ruptura. En esta región, i_D está saturada y su valor depende de v_{GS}, de acuerdo con la ecuación (4.1) o con la característica de transferencia.

Las curvas características de transferencia e i_D-v_{GS} para el JFET, que se muestran en la figura 4.5, son diferentes de las curvas similares para el BJT: el FET es un dispositivo controlado por tensión, mientras que el BJT se controla por corriente. El parámetro de control para el FET es la tensión compuerta-fuente en lugar de la corriente de base, como en el BJT.

Existen otras dos diferencias entre el FET y el BJT. Primero, el espaciamiento vertical entre pares de curvas paramétricas para el FET no está relacionado de manera lineal con el valor del parámetro de control. Así por ejemplo, en la figura 4.5 la distancia entre la curva con $v_{GS} = 0$ V y la curva con $v_{GS} = -1$ V no es la misma que entre la curva con $v_{GS} = -1$ V y la curva con $v_{GS} = -2$ V. Esto contrasta con las curvas para el BJT, donde existe una relación más lineal.

La segunda diferencia se relaciona con el tamaño y la forma de la región óhmica de las curvas características. Recuérdese que al utilizar BJT se evita la operación no lineal pues no se utiliza el transistor por debajo del 5% de los valores de v_{CE}, que se denomina *región de saturación*. Se observa que el ancho de la región óhmica para el JFET es función de la tensión compuerta a fuente. Conforme disminuye la magnitud de la tensión compuerta a fuente, aumenta el ancho de la región óhmica. Se observa también en la figura 4.5 que la tensión de ruptura es función de la tensión compuerta a fuente. De hecho, para obtener una amplificación de señal

razonablemente lineal, se debe utilizar sólo un segmento relativamente pequeño de estas curvas; el área de operación lineal se encuentra en la región activa.

Nótese, de la figura 4.5, que conforme v_{DS} aumenta desde cero, se alcanza un punto de ruptura en cada curva, más allá del cual la corriente de drenaje se incrementa muy poco a medida que v_{DS} continúa aumentando. El estrangulamiento se produce en este valor de la tensión drenaje a fuente. Los valores de estrangulamiento de la figura 4.5 están conectados con una curva punteada que separa la región óhmica de la región activa. Conforme v_{DS} continúa aumentando más allá del punto de estrangulamiento, se alcanza un punto donde la tensión entre drenaje y fuente se vuelve tan grande que se produce *ruptura por avalancha.* (Este fenómeno también se produce en diodos y en BJT.) En el punto de ruptura, i_D aumenta lo suficiente, con incrementos insignificantes en v_{DS}. Esta ruptura se produce en la terminal de drenaje de la unión compuerta-canal. Por tanto, se produce avalancha cuando la tensión drenaje-compuerta, v_{DG}, excede la tensión de ruptura, BV_{GDS} (para $v_{GS} = 0$ V), para la unión *pn*. En este punto, la característica i_D-v_{DS} exhibe la peculiar forma mostrada en la parte derecha de la figura 4.5.

La región entre el estrangulamiento y la ruptura por avalancha se denomina *región activa, región de operación del amplificador, región de saturación* o *región de estrangulamiento,* como se muestra en la figura 4.5. La región óhmica (antes del estrangulamiento) a veces se denomina *región controlada por tensión.* El FET opera en esta región cuando se desea un resistor variable y en aplicaciones de conmutación.

La tensión de ruptura es función de v_{GS} así como de v_{DS}. Conforme aumenta la magnitud de la tensión entre compuerta y fuente (más negativa para el canal *n* y más positiva para el canal *p*), disminuye la tensión de ruptura. Con $v_{GS} = V_p$, la corriente de drenaje es cero (excepto por una pequeña corriente de fuga), y con $v_{GS} = 0$, la corriente de drenaje se satura a un valor

$$i_D = I_{DSS}$$

donde I_{DSS} es la *corriente de saturación drenaje a fuente.*

Entre el estrangulamiento y la ruptura, la corriente de drenaje está saturada y no cambia significativamente como función de v_{DS}. Después de que el FET pasa el punto de operación de estrangulamiento, el valor de i_D se puede obtener de las curvas características o de la ecuación (4.1), la cual se repite aquí para referencia.

$$i_D \approx I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2$$

La corriente de saturación drenaje a fuente, I_{DSS}, es función de la temperatura,

$$I_{DSS} = KT^{-3/2}$$

donde K es una constante [51]. La tensión de estrangulamiento es una función aproximadamente lineal de la temperatura (como es el caso de la corriente base-emisor en el BJT); por tanto

$$\Delta V_p = -k_p \Delta T$$

donde $k_p \approx 2$ mV/°C.

En esta sección, las corrientes y tensiones se presentan para un JFET de canal n. Los valores para un JFET de canal p son opuestos a aquellos dados para el canal n.

4.3.3 Circuito equivalente, g_m y r_{DS}

Para obtener una medida de la amplificación posible con un JFET, se introduce el parámetro g_m, que es la *transconductancia en directo*. Este parámetro es similar a la ganancia de corriente (o h_{fe}) para un BJT. El valor de g_m, que se mide em siemens (S), es una medida del cambio en la corriente de drenaje para un cambio en la tensión compuerta-fuente. Esto se puede expresar como

$$g_m = \frac{\partial i_D}{\partial v_{GS}} \approx \left. \frac{\Delta i_D}{\Delta v_{GS}} \right|_{V_{DS} = \text{ constante}} \tag{4.2}$$

La transconductancia, g_m, no permanece constante si cambia el punto Q. Esto se puede ver por la determinación geométrica de g_m a partir de las curvas de transferencia características. Conforme cambia i_D, varía la pendiente de la curva de transferencia característica de la figura 4.5, cambiando por tanto g_m.

Se puede encontrar la transconductancia diferenciando la ecuación (4.1), lo que da como resultado

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = \frac{2I_{DSS}(1 - v_{GS}/V_p)}{-V_p} \tag{4.3}$$

Se define

$$g_{mo} = \frac{2I_{DSS}}{-V_p}$$

que es la transconductancia en $v_{GS} = 0$. Utilizando esta ecuación, la transconductancia está dada por

$$g_m = g_{mo}\left(1 - \frac{v_{GS}}{V_P}\right) \tag{4.4}$$

Una forma alterna de la ecuación (4.4) se puede encontrar definiendo

$$k_n = \frac{I_{DSS}}{V_p^2}$$

en la ecuación (4.1) y rearreglando los términos, como sigue:

$$i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2 = \frac{I_{DSS}}{V_p^2}(V_p - v_{GS})^2 = k_n(V_p - v_{GS})^2$$

Se selecciona el punto Q de tal forma que $i_D = I_{DQ}$ y $v_{GS} = V_{GSQ}$. Por tanto, se obtiene

$$V_p - V_{GSQ} = -\sqrt{\frac{I_{DQ}}{k_n}} \tag{4.5}$$

Pero de la ecuación (4.3),

$$g_m = -\frac{2I_{DSS}}{V_p}\left(1 - \frac{V_{GSQ}}{V_p}\right) = -\frac{2I_{DSS}}{V_p^2}(V_p - V_{GSQ})$$

Se usa la ecuación (4.5) y se sustituye el valor de $V_p - V_{GSQ}$ para obtener

$$g_m = \frac{2I_{DSS}}{V_p^2}\sqrt{\frac{I_{DQ}}{k_n}} = 2k_n\sqrt{\frac{I_{DQ}}{k_n}} = 2\sqrt{k_n I_{DQ}} \tag{4.6}$$

La *resistencia dinámica en inverso,* r_{DS}, se define como el inverso de la pendiente de la curva i_D-v_{DS} en la región de saturación:

$$\frac{1}{r_{DS}} = \frac{\partial i_D}{\partial v_{DS}} \approx \left.\frac{\Delta i_D}{\Delta v_{DS}}\right|_{\Delta v_{GS} = \text{ constante}} \tag{4.7}$$

Como la pendiente de esta curva es muy pequeña en la región activa (véase Fig. 4.4), r_{DS} es grande.

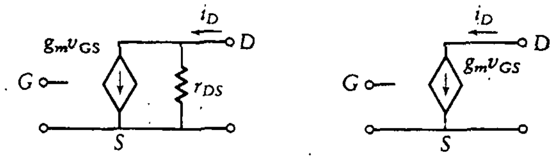
Se desarrolla un circuito equivalente en ca para un JFET del mismo modo que para el BJT, con la expresión

$$\Delta i_D = \frac{\partial i_D}{\partial v_{GS}}\Delta v_{GS} + \frac{\partial i_D}{\partial v_{DS}}\Delta v_{DS} \tag{4.8}$$

La ecuación (4.8) se puede escribir de nuevo utilizando las ecuaciones (4.2) y (4.7), como sigue:

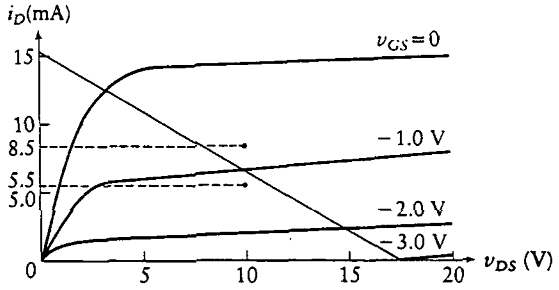
$$\Delta i_D = g_m \Delta v_{GS} + \frac{1}{r_{DS}}\Delta v_{DS} \tag{4.9}$$

Figura 4.6
Circuito equivalente FET.



(a) Incluyendo r_{DS} (b) Simplificado

Figura 4.7
Curvas características $i_D - v_{DS}$ para el JFET.



lo cual conduce al circuito equivalente mostrado en la figura 4.6(a). Debido a que r_{DS} es muy grande, por lo general se puede utilizar el circuito equivalente simplificado de la figura 4.6(b) para determinar el desempeño en la región activa de un JFET. La ecuación (4.9) se reduce entonces a

$$\Delta i_D = g_m \Delta v_{GS}$$

El desempeño de un JFET está especificado por los valores de g_m y r_{DS}. Estos parámetros se determinan ahora para un JFET de canal n utilizando la curva característica de la figura 4.7. Se selecciona una región de operación que esté aproximadamente enmedio de las curvas, esto es, entre $v_{GS} = -0.8$ V y $v_{GS} = -1.2$ V, e $i_D = 8.5$ mA e $i_D = 5.5$ mA. De la ecuación (4.2), se encuentra

$$g_m = \left.\frac{\Delta i_D}{\Delta v_{GS}}\right|_{v_{DS} = \text{ constante}} = \frac{(5.5 - 8.5)\text{ mA}}{-1.2 - (-0.8)} = 7.5\text{ mS}$$

Si las curvas características para el FET no están disponibles, g_m y v_{GS} se pueden obtener matemáticamente, siempre que se conozcan I_{DSS} y V_p. Por lo general, estos dos parámetros se incluyen en las especificaciones del fabricante. Se puede seleccionar una corriente de drenaje estática, I_{DQ}, que se halle entre 0.3 y 0.7 veces I_{DSS}, lo cual ubica el punto Q en la región más lineal de las curvas características. Repitiendo la ecuación (4.1), se obtiene

$$i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2$$

y en el punto de operación,

$$g_m = g_{mo}\left(1 - \frac{V_{GSQ}}{V_p}\right)$$

donde

$$g_{mo} = \frac{-2I_{DSS}}{V_p}$$

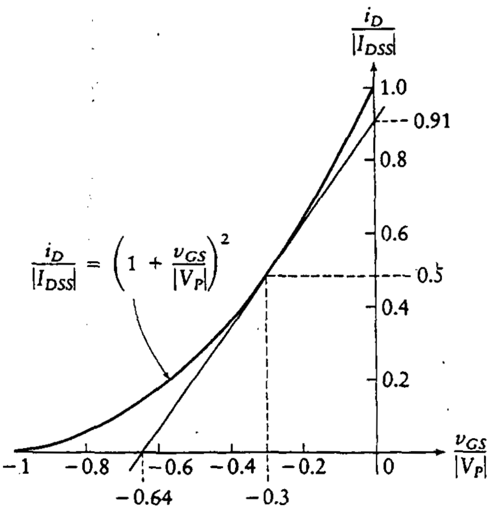
La relación entre i_D y v_{GS} se puede graficar en un plano sin dimensiones (es decir, una curva normalizada), como se muestra en la figura 4.8. El eje vertical de este plano es $i_D/|I_{DSS}|$, mientras que el eje horizontal es $v_{GS}/|V_p|$. La pendiente de la curva es g_m.

Un procedimiento razonable para localizar el valor estático cercano al centro de la región de operación lineal es como sigue:

1. Selecciónese $I_{DQ} = I_{DSS}/2$ y, de la curva, $V_{GSQ} = 0.3\ V_p$. Nótese, de la figura 4.8, que esto se halla cerca del punto medio de la curva.

2. Selecciónese $V_{DSQ} = V_{DD}/2$.

Figura 4.8
$i_D/|I_{DSS}|$ contra $v_{GS}/|V_p|$.



La transconductancia se encuentra de la pendiente de la curva de la figura 4.8 en el punto Q, y está dada por

$$g_m = \frac{0.91 I_{DSS}}{0.64 V_p} = \frac{1.42 I_{DSS}}{V_p} = -0.71 g_{mo}$$

Estos valores suelen representar un buen punto de inicio para fijar los valores estáticos en el JFET.

Ejemplo 4.1

Determínese g_m para un JFET cuya $I_{DSS} = 7$ mA, $V_p = -3.5$ V, y $V_{DD} = 15$ V. Elíjase una posición razonable para el punto Q.

SOLUCIÓN Se comienza volviendo a la figura 4.8 y seleccionando el punto Q como sigue:

$$I_{DQ} = \frac{I_{DSS}}{2} = 3.5 \text{ mA}$$

$$V_{DSQ} = \frac{V_{DD}}{2} = 7.5 \text{ V}$$

$$V_{GSQ} = 0.3 V_p = -1.05 \text{ V}$$

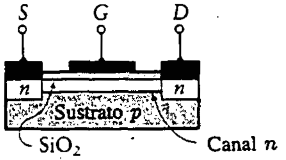
La transconductancia, g_m, se encuentra de la pendiente de la curva en el punto $i_D/I_{DSS} = 0.5$ y $v_{GS}/V_p = 0.3$. Por tanto,

$$g_m = \frac{1.42 I_{DSS}}{|V_p|} = \frac{1.42 \times 7 \text{ mA}}{3.5 \text{ V}} = 2840 \ \mu\text{S}$$

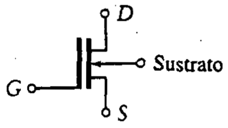
4.4 OPERACIÓN Y CONSTRUCCIÓN DEL MOSFET

En esta sección, se considera el FET de metal-óxido semiconductor (MOSFET). Este FET se construye con la terminal de compuerta aislada del canal con el dieléctrico dióxido de silicio (SiO_2), y ya sea en modo de *empobrecimiento* o bien de *enriquecimiento*. Estos dos tipos se definen y consideran en las siguientes secciones.

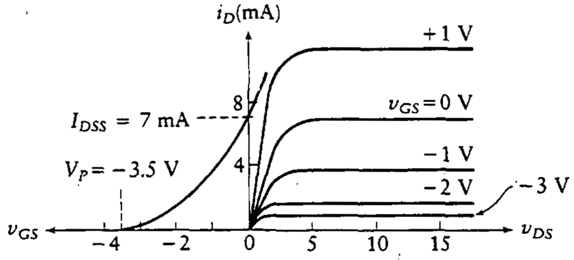
Figura 4.9
El MOSFET de empobrecimiento de canal *n*.



a) Esquema de la estructura física



(b) Símbolo



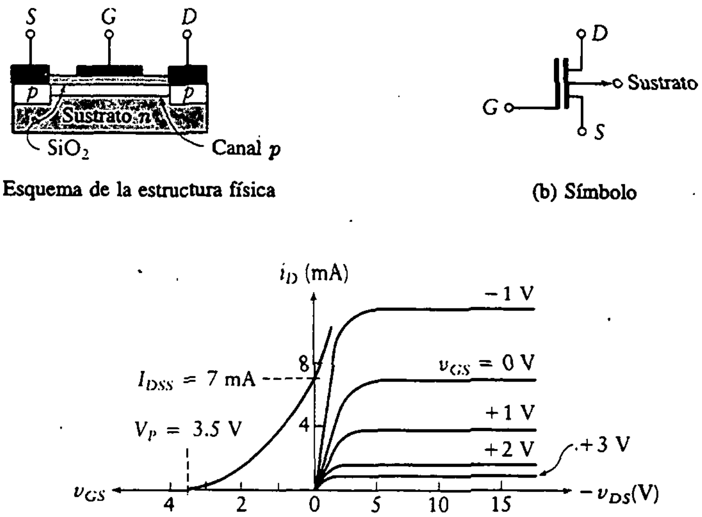
(c) Características de transferencia e i_D-v_{GS}

4.4.1 MOSFET de empobrecimiento

Las construcciones de los MOSFET de empobrecimiento de canal n y de canal p se muestran en las figuras 4.9 y 4.10, respectivamente. En cada una de estas figuras se muestran la construcción, el símbolo, la característica de transferencia y las características i_D-v_{GS}. El MOSFET de empobrecimiento se construye (como se muestra en la figura 4.9(a) para el de canal n y en la figura 4.10(a) para el de canal p) con un canal físico construido entre el drenaje y la fuente. Como resultado de ello, existe una i_D entre drenaje y fuente cuando se aplica una tensión, v_{DS}.

El MOSFET de empobrecimiento de canal n de la figura 4.9 se establece en un sustrato p, que es silicio contaminado de tipo p. Las regiones contaminadas de tipo n de la fuente y el drenaje forman conexiones de baja resistencia entre los extremos del canal n y los contactos de aluminio de la fuente (S) y el drenaje (D). Se hace crecer una capa de SiO_2, que es un aislante, en la parte superior del canal n, como se muestra en la figura 4.9(a). Se deposita una capa de aluminio sobre el aislante de SiO_2 para formar la terminal de compuerta (G). El desempeño del MOSFET de empobrecimiento, es similar al del JFET, como puede verse en las figuras 4.9(c) y 4.10(c). El JFET se controla por la unión pn entre la compuerta y el extremo de drenaje del canal. No existe dicha unión en el MOSFET de enriquecimiento, y la capa de SiO_2 actúa como aislante. Para el MOSFET de canal n, mostrado en la figura 4.9, una v_{GS} negativa saca los electrones de la región del canal, empobreciéndolo. Cuando v_{GS} alcanza V_p, el canal se estrangula. Los valores positivos de v_{GS} aumentan el tamaño del canal, dando por resultado un

Figura 4.10
El MOSFET de empobrecimiento de canal p.



(a) Esquema de la estructura física

(b) Símbolo

(c) Características de transferencia e i_D-v_{GS}

aumento en la corriente de drenaje. Esto se indica en las curvas características de la figura 4.9(c).

Nótese que el MOSFET de empobrecimiento puede operar tanto para valores positivos como negativos de v_{GS}. Se puede utilizar la misma ecuación de Shockley (Ec. (4.1)) a fin de aproximar las curvas para valores negativos de v_{GS}. Obsérvese, sin embargo, que la característica de transferencia continúa para valores positivos de v_{GS}. Como la compuerta está aislada del canal, la corriente de compuerta es sumamente pequeña (10^{-12} A) y v_{GS} puede ser de cualquier polaridad.

Como puede verse en las figuras 4.9(b) y 4.10(b), el símbolo para el MOSFET posee una cuarta terminal, el *sustrato*. La flecha apunta hacia adentro para un canal n y hacia afuera para un canal p. El MOSFET de empobrecimiento de canal p, que se muestra en la figura 4.10, es igual que el de la figura 4.9, excepto que se invierten los materiales n y p al igual que las polaridades de las tensiones y corrientes.

Ejemplo 4.2

Calcúlese la corriente de drenaje, i_D, para el MOSFET de empobrecimiento de la figura 4.9 con los siguientes valores de v_{GS}:

a. $v_{GS} = -1$ V c. $v_{GS} = -3$ V
b. $v_{GS} = -2$ V d. $v_{GS} = +0.5$ V

SOLUCIÓN Se utiliza la ecuación (4.1) para cada caso, donde I_{DSS} = 7 mA y $V_p = -3.5$ V.

$$\text{a. } i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2 = 7\left(1 - \frac{-1}{-3.5}\right)^2 = 3.57 \text{ mA}$$

$$\text{b. } i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2 = 7\left(1 - \frac{-2}{-3.5}\right)^2 = 1.29 \text{ mA}$$

$$\text{c. } i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2 = 7\left(1 - \frac{-3}{-3.5}\right)^2 = 0.14 \text{ mA}$$

$$\text{d. } i_D = I_{DSS}\left(1 - \frac{v_{GS}}{V_p}\right)^2 = 7\left(1 - \frac{0.5}{-3.5}\right)^2 = 9.14 \text{ mA}$$

Es interesante notar que i_D aumenta en forma considerable a medida que v_{GS} se vuelve positiva. La exactitud de la aproximación de la fórmula se deteriora para valores positivos de v_{GS}.

4.4.2 MOSFET de enriquecimiento

El MOSFET de enriquecimiento se muestra en la figura 4.11. Éste difiere del MOSFET de empobrecimiento en que no tiene la capa delgada de material n sino que requiere de una tensión positiva entre la compuerta y la fuente para establecer un canal. Este canal se forma por la acción de una tensión positiva compuerta a fuente, v_{GS}, que atrae electrones de la región del sustrato ubicada entre el drenaje y la compuerta contaminados de tipo n. Una v_{GS} positiva provoca que los electrones se acumulen en la superficie inferior de la capa de óxido. Cuando la tensión alcanza el valor de umbral, V_T, han sido atraídos a esta región los electrones suficientes para que se comporte como canal n conductor. No habrá una corriente apreciable i_D hasta que v_{GS} excede V_T.

No existe un valor I_{DSS} para el MOSFET de enriquecimiento, ya que la corriente de drenaje es cero hasta que el canal se ha formado. I_{DSS} es cero para $v_{GS} = 0$. Para valores de

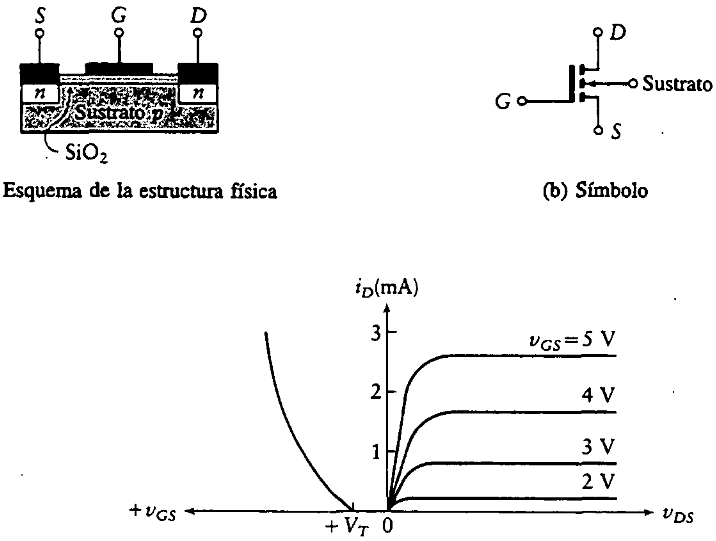
$$v_{GS} > V_T$$

la corriente de drenaje en saturación se puede calcular de la ecuación

$$i_D = k(v_{GS} - V_T)^2 \tag{4.10}$$

El valor de k depende de la construcción del MOSFET y, en principio, es función del ancho y el largo del canal. Un valor típico para k es 0.3 mA/V^2; la tensión

Figura 4.11
El MOSFET de enriquecimiento de canal *n*.



(a) Esquema de la estructura física

(b) Símbolo

(c) Características de transferencia e i_D-v_{DS}

de umbral, V_T, es especificada por el fabricante. Se puede encontrar un valor para g_m derivando la ecuación (4.10), como se hizo con los JFET, con el siguiente resultado:

$$g_m = \frac{\partial i_D}{\partial v_{GS}} = 2k(v_{GS} - V_T) \qquad (4.11)$$

Si

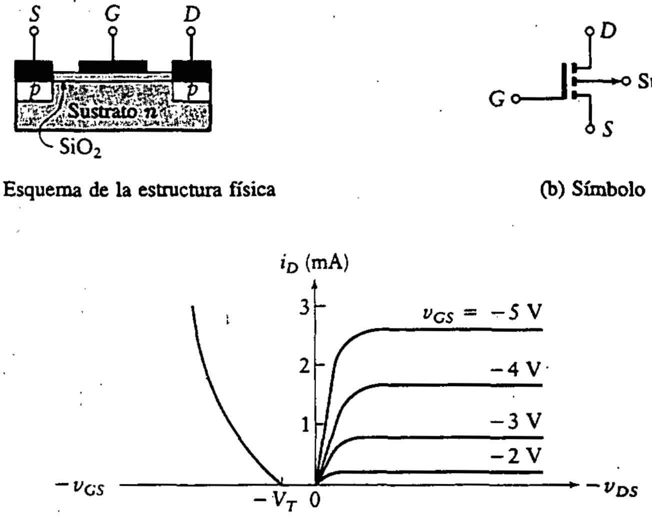
$$v_{GS} < V_T$$

entonces $i_D = 0$.

El MOSFET de enriquecimiento de canal p se muestra en la figura 4.12; como puede verse, exhibe características similares pero opuestas a las del MOSFET de enriquecimiento de canal n.

Aunque se halla más restringido en su intervalo de operación que el MOSFET de empobrecimiento, el MOSFET de enriquecimiento es útil en aplicaciones de CI (véase Cap. 15) debido a su tamaño pequeño y su construcción simple. La compuerta para los MOSFET de canal n y de canal p es un depósito de metal en una capa de óxido de silicio. La construcción comienza con un material de sustrato (de tipo p para canal n; de tipo n para canal p) sobre el cual se difunde material del tipo opuesto para formar la fuente y el drenaje. Nótese que el símbolo para el MOSFET de enriquecimiento, que se ilustra en las figuras 4.11 y 4.12, muestra una línea quebrada entre fuente y drenaje para indicar que no existe un canal inicial.

Figura 4.12
El MOSFET de enriquecimiento de canal *p*.



(a) Esquema de la estructura física

(b) Símbolo

(c) Características de transferencia e i_D-v_{GS}

Ejemplo 4.3

Determínese i_D para un MOSFET de enriquecimiento de canal n con $V_T = 3.0$ V cuando $k = 0.3$ mA/V^2 y v_{GS} está dado por los siguientes valores:

a. 3.0 V
b. 4.0 V
c. 5.0 V

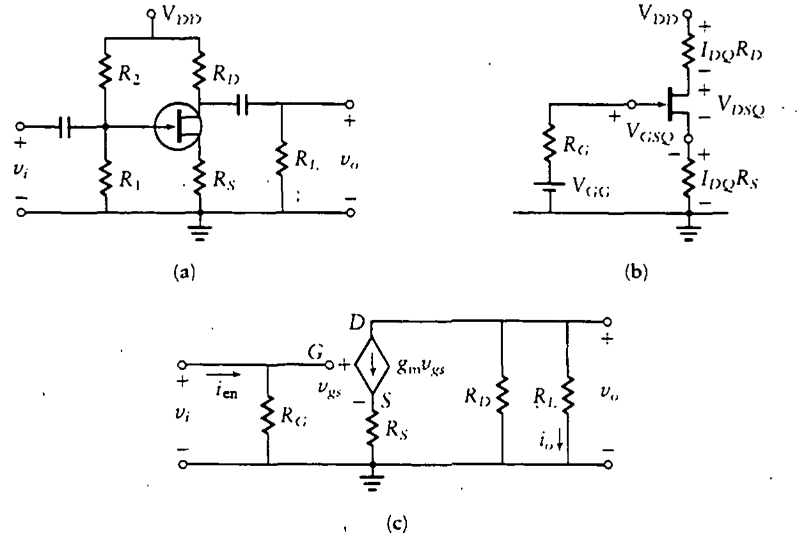
SOLUCIÓN Los siguientes valores se calculan de la ecuación (4.10).

a. $i_D = 0.3(v_{GS} - V_T)^2 = 0.3(3 - 3)^2 = 0$ mA
b. $i_D = 0.3(4 - 3)^2 = 0.3$ mA
c. $i_D = 0.3(5 - 3)^2 = 1.2$ mA

4.5 POLARIZACIÓN DE LOS FET

Los mismos circuitos básicos de la figura 3.6 que se utilizan para polarizar los BJT se pueden emplear para los JFET y los MOSFET de empobrecimiento. Sin embargo, para la región activa del JFET y el MOSFET de empobrecimiento, la polaridad de v_{GS} puede ser opuesta a la de la fuente de tensión del drenaje. Cuando

Figura 4.13
Amplificador FET.



se selecciona el punto de operación, no hay tensión de polaridad opuesta disponible de la fuente para cumplir con los requerimientos del circuito. Puede ser necesario descartar R_2 (véase Fig. 4.13) de manera que sólo se obtenga una tensión de la polaridad correcta. No siempre es posible encontrar valores de un resistor para lograr un punto Q particular. En tales casos, seleccionar un nuevo punto Q puede proporcionar a veces una solución al problema.

Aquí se consideran las ecuaciones de polarización para el amplificador FC, mostrado en la figura 4.13, donde se utiliza un JFET. Los métodos de polarización son similares para los MOSFET de empobrecimiento.

En la figura 4.13(a) se ilustra un amplificador JFET utilizando una fuente de tensión de cd para la polarización. Se forma el equivalente de Thévenin en el circuito de polarización para obtener

$$R_G = R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2} \tag{4.12a}$$

$$V_{GG} = \frac{V_{DD} R_1}{R_1 + R_2} \tag{4.12b}$$

Como se tienen tres incógnitas, I_{DQ}, V_{GSQ} y V_{DSQ}, se necesitan tres ecuaciones en cd. Primero, la ecuación en cd alrededor del lazo compuerta-fuente se forma de la figura 4.13(b), como sigue:

$$V_{GG} = V_{GSQ} + I_{DQ} R_S \tag{4.13}$$

Nótese que, como la corriente de compuerta es cero, existe una caída de tensión cero a través de R_G. Una segunda ecuación en cd se obtiene de la ecuación de la ley de Kirchhoff en el lazo drenaje-fuente, como sigue:

$$V_{DD} = V_{DSQ} + I_{DQ}(R_S + R_D) \tag{4.14}$$

La tercera ecuación de cd necesaria para establecer el punto de polarización se encuentra de la ecuación (4.1), que se repite aquí con $i_D = I_{DQ}$ y $v_{GS} = V_{GSQ}$.

$$\frac{I_{DQ}}{I_{DSS}} = \left(1 - \frac{V_{GSQ}}{V_p}\right)^2 \tag{4.15}$$

Estas tres ecuaciones son suficientes para establecer la polarización para el JFET y el MOSFET de empobrecimiento que se utilizan en amplificadores lineales. El MOSFET de enriquecimiento se usa para CI digitales.

Nótese que no se necesita colocar el punto Q en el centro de la línea de carga de ca como se hizo para la polarización del BJT. Esto se debe a que normalmente se utiliza un amplificador FET en la entrada del amplificador para sacar ventaja de la alta resistencia de entrada. En este punto, los niveles de tensión son tan pequeños que no se excita al amplificador con grandes excursiones. Además, como las curvas características no son lineales, se produciría distorsión con grandes excursiones de entrada.

4.6 ANÁLISIS DE UN AMPLIFICADOR FC

En la figura 4.13(c) se muestra el circuito equivalente en ca para el amplificador FET. Se supone que r_{DS} es grande comparada con $R_D \parallel R_L$, por lo que se puede despreciar. Escribiendo la ecuación de LTK alrededor del circuito de compuerta, se encuentra

$$v_{gs} = v_i - R_S i_D = v_i - R_S g_m v_{gs}$$

Resolviendo para v_{gs}, se obtiene

$$v_{gs} = \frac{v_i}{1 + R_S g_m}$$

La tensión de salida, v_o, está dada por

$$v_o = -i_d(R_D \parallel R_L) = \frac{-(R_D \parallel R_L)g_m v_i}{1 + R_S g_m}$$

La ganancia de tensión, A_v, es

$$A_V = \frac{v_o}{v_i} = \frac{-g_m(R_D \parallel R_L)}{1 + R_S g_m}$$

$$= \frac{-(R_D \parallel R_L)}{R_S + 1/g_m} \tag{4.16a}$$

En ocasiones, se coloca un capacitor en paralelo con R_s, en cuyo caso la ganancia de tensión aumenta a

$$A_v = -g_m(R_D \parallel R_L)$$

La resistencia de entrada y la ganancia de corriente están dadas por

$$R_{en} = R_G = R_1 \parallel R_2 \tag{4.16b}$$

$$A_i = \frac{i_o}{i_{en}} = \frac{A_v R_{en}}{R_L} = \frac{-R_D \parallel R_L}{R_S + 1/g_m}\frac{R_{en}}{R_L} = \frac{-R_G}{R_S + 1/g_m}\frac{R_D}{R_D + R_L} \tag{4.16c}$$

Ejemplo 4.4 Amplificador FC (análisis)

Encuéntrese A_v para el amplificador JFET de la figura 4.14(a). El punto Q se encuentra en $V_{DSQ} = 12$ V e $I_{DQ} = 7$ mA. Los parámetros del FET están dados por

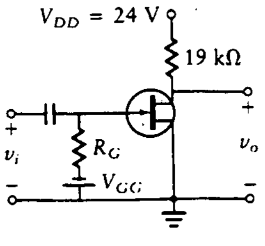
$$g_m = 3 \text{ mS}$$

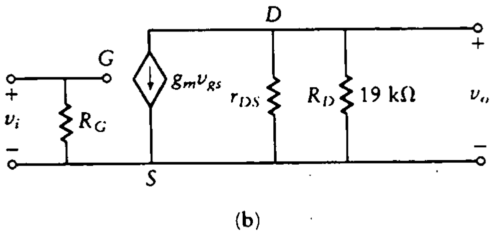
$$r_{DS} = 200 \text{ k}\Omega$$

SOLUCIÓN Del circuito equivalente de la figura 4.14(b), se obtiene

$$A_v = \frac{v_o}{v_{gs}} = \frac{-i_D(R_D \parallel r_{DS})}{v_{gs}} = -g_m(R_D \parallel r_{DS}) = 52$$

Figura 4.14
Circuito JFET del ejemplo 4.4.





4.7 DISEÑO DE UN AMPLIFICADOR FC

En esta sección se muestra el procedimiento de diseño de un amplificador FC. Se presenta el diseño del amplificador JFET y el del MOSFET de empobrecimiento como un procedimiento paso a paso. El lector debe estar seguro de que entiende el origen de cada paso, ya que pueden requerirse diversas variaciones subsecuentes.

Los amplificadores se diseñan para cumplir requerimientos de ganancia si las especificaciones deseadas están dentro de la categoría del transistor. Por lo general, se especifican la fuente de tensión, la resistencia de carga, la ganancia de tensión y la resistencia de entrada (o ganancia de corriente). El problema aquí es seleccionar los valores de las resistencias R_1, R_2, R_D y R_S. Remítase a la figura 4.15 conforme se sigan los pasos del procedimiento. Este procedimiento supone que se ha seleccionado un dispositivo y que sus características son conocidas, al menos V_p e I_{DSS}.

Paso 1 Selecciónese un punto Q en la porción más lineal de las curvas características del JFET. Remítase a la figura 4.15(b) como ejemplo. Esto identifica V_{DSQ}, V_{GSQ}, I_{DQ} y g_m. Si no se dispone de una curva característica $i_D - v_{GS}$, utilícese la curva adimensional de la figura 4.8, con I_{DSS} y V_p dados por el tipo de transistor que se va a utilizar.

Paso 2 Escríbase la ecuación en cd de la ecuación de LTK (Ec. 4.14) alrededor del lazo drenaje-fuente,

$$V_{DD} = V_{DSQ} + (R_S + R_D)I_{DQ}$$

Resolviendo para la suma de los dos resistores, se obtiene

$$R_S + R_D = \frac{V_{DD} - V_{DSQ}}{I_{DQ}} = K_1 \tag{4.17}$$

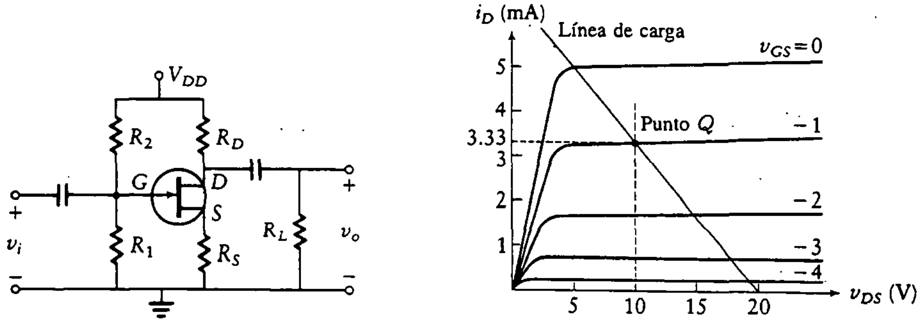
La ecuación (4.17) representa una ecuación con dos incógnitas, R_S y R_D.

Paso 3 Utilícense las ecuaciones de ganancia de tensión (Ec. (4.16a)) para obtener una segunda ecuación en R_S y R_D. Se puede sustituir la ecuación (4.17) en la ecuación (4.16a)

$$A_v = \frac{-R_L \parallel R_D}{R_S + 1/g_m} = \frac{-R_L \parallel R_D}{(K_1 - R_D) + 1/g_m} \tag{4.18}$$

La resistencia, R_D, *es la única incógnita de esta ecuación.* Al despejar R_D se obtiene una ecuación cuadrática con dos soluciones, una negativa y una positiva. Si la solución positiva provoca que $R_D > K_1$, esto implica una resistencia R_S

Figura 4.15
Amplificador JFET FC.



(a) Circuito FC (b) Curva característica

negativa y se debe seleccionar un nuevo punto Q (es decir, regresar al primer paso de diseño). Si la solución positiva da $R_D < K_1$, se continúa con el paso 4.

Paso 4 Despéjese R_S utilizando la ecuación (4.17), que es la ecuación del lazo drenaje-fuente desarrollada en el paso 2.

$$R_S = \frac{V_{DD} - V_{DSQ}}{I_{DQ}} - R_D$$

Con R_D y R_S conocidas, sólo se necesita encontrar R_1 y R_2.

Paso 5 Escríbase la ecuación de LTK para el lazo compuerta-fuente (Ec. (4.13)):

$$V_{GG} = V_{GSQ} + I_{DQ}R_S$$

La tensión V_{GSQ} es de polaridad opuesta a V_{DD}. Por tanto, el término $I_{DQ}R_S$ debe ser de mayor magnitud que V_{GSQ}. De otra forma, V_{GG} tendrá polaridad opuesta a la de V_{DD}, lo que no es posible de acuerdo con la ecuación (4.12b).

Paso 6 Se despejan ahora R_1 y R_2 suponiendo que la V_{GG} encontrada en el paso 5 tiene la *misma polaridad* que V_{DD}. Estos valores para los resistores se seleccionan encontrando el valor de R_G de la ecuación de ganancia de corriente o de la resistencia de entrada. Se resuelve la ecuación (4.12) para encontrar R_1 y R_2:

$$R_1 = \frac{R_G}{1 - V_{GG}/V_{DD}}$$

$$R_2 = \frac{R_G V_{DD}}{V_{GG}}$$

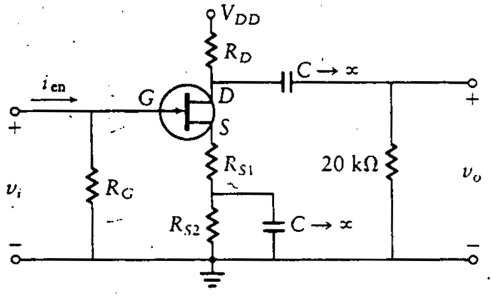


Figura 4.16
Diseño de un JFET con capacitor en paralelo con el resistor de fuente.

Paso 7 Si V_{GG} tiene la *polaridad opuesta* a V_{DD}, no es posible depejar R_1 y R_2. La forma práctica de proceder es hacer $V_{GG} = 0$ V. Entonces, $R_2 \rightarrow \infty$. Como V_{GG} está especificada por la ecuación (4.13), ahora el valor previamente calculado de R_S necesita modificarse. En la figura 4.16, donde se utiliza un capacitor para poner en cortocircuito una parte de R_S, se desarrolla un nuevo valor de R_S como sigue:

$$V_{GG} = 0 = V_{GSQ} + I_{DQ} R_{Scd}$$

Por tanto, despejando R_{Scd} se obtiene

$$R_{Scd} = \frac{-V_{GSQ}}{I_{DQ}}$$

El valor de R_{Scd} es $R_{S1} + R_{S2}$ y el valor de R_{Sca} es R_{S1}.

Ahora que se tiene una nueva R_{Scd}, se deben repetir varios pasos.

Paso 8 Determínese R_D utilizando la ecuación de LTK para el lazo drenaje-fuente (repítase el paso 2):

$$R_D = K_1 - R_{Scd}.$$

El problema de diseño reside ahora en calcular tanto R_{S1} como R_{S2} en lugar de encontrar un solo resistor de fuente.

Con el nuevo valor para R_D de $K_1 - R_{Scd}$, se pasa a la expresión de la ganancia de tensión de la ecuación (4.16a), utilizando R_{Sca} en vez de R_S para esta ecuación de ca.

Se deben incluir los siguientes pasos adicionales en el procedimiento de diseño.

Paso 9 Se encuentra R_{Sca} (que es simplemente R_{S1}) de la ecuación de ganancia de tensión, la (4.16a):

$$A_v = \frac{-(R_L \parallel R_D)}{R_{Sca} + 1/g_m}$$

R_{Sca} es la única incógnita de esta ecuación. Por tanto,

$$R_{Sca} = -\frac{R_L \parallel R_D}{A_v} - \frac{1}{g_m}$$

Supóngase ahora que se encuentra que R_{Sca} es positiva pero menor que R_{Scd}. Esta es la condición deseable pues

$$R_{Scd} = R_{Sca} + R_{S2}$$

Entonces el diseño está completo y

$$R_1 = R_{en} = R_G$$

Paso 10 Supóngase que R_{Sca} es positiva pero *mayor* que R_{Scd}. El amplificador no puede diseñarse con la ganancia de tensión y el punto Q seleccionados. Se debe elegir un nuevo punto Q y regresar al paso 1. Si la ganancia de tensión es muy alta, quizá no sea posible efectuar el diseño con ningún punto Q. Puede necesitarse un transistor diferente o dos etapas separadas.

4.8 SELECCIÓN DE COMPONENTES

Un diseño no está completo aun cuando los diferentes valores de componentes ya estén especificados. Es todavía necesario seleccionar los componentes reales por utilizar (por ejemplo, elegir los números de partes en el catálogo de un fabricante). Por tanto, cuando el diseño requiere el valor de un resistor, por ejemplo de 102.5 Ω, el diseñador no será capaz de encontrar este resistor en un catálogo de partes estándar. El valor nominal de los componentes disponibles depende de las tolerancias. Como ejemplo, un resistor de 100 Ω con 5% de tolerancia puede tener cualquier valor entre 95 Ω y 105 Ω. No tendría mucho sentido para el fabricante ofrecer otro resistor fuera de producción con un valor nominal de 101 Ω, puesto que ese resistor tendría un valor aproximado entre 96 Ω y 106 Ω. Así la distancia entre valores nominales adyacentes de los componentes está relacionada con la tolerancia, disminuyendo dicha distancia conforme se reduce la tolerancia (es decir, componentes de mayor precisión). Los valores estándar de resistores y capacitores se incluyen en el apéndice E.

Como los valores de los componentes no están disponibles al instante para cualquier grado de resolución, no tiene sentido llevar a cabo cálculos de diseño hasta un número con un tamaño irracional de dígitos significativos.

En los ejemplos de diseño, aquí presentados se especifican los valores hasta tres dígitos significativos. Es importante asegurarse de que aún se mantiene la exactitud

hasta dos dígitos significativos luego de las operaciones aritméticas. Por ejemplo, supóngase que se deben añadir

$$0.274 + 0.474$$

Si estos números se redondean a dos dígitos significativos, se obtiene

$$0.27 + 0.47 = 0.74$$

Sin embargo, si se realiza primero el cálculo, se obtiene

$$0.274 + 0.474 = 0.748$$

que se redondea a 0.75. Redondear los números antes de realizar la suma provoca un error en el segundo dígito significativo. Por tanto, para reducir los errores acumulados y aumentar la confianza de que las respuestas son exactas hasta dos dígitos significativos, se mantienen al menos tres dígitos a lo largo de los cálculos.

Ejemplo 4.5 Amplificador JFET FC (diseño)

Diséñese un amplificador JFET FC con una ganancia de tensión de $A_v = -4$, $R_{en} = 100$ kΩ, $R_L = 20$ kΩ, $I_{DSS} = 6.67$ mA, $V_p = -3.33$ V y $V_{DD} = 20$ V. Como no se sabe si será necesaria una R_2, se empieza con la figura 4.15(a) y las curvas adimensionales de la figura 4.8.

SOLUCIÓN

Paso 1 El punto Q se selecciona de la figura 4.8 como sigue:

$$I_{DQ} = \frac{I_{DSS}}{2} = 3.33 \text{ mA}$$

$$V_{GSQ} = 0.3V_p = -1 \text{ V}$$

$$V_{DSQ} = \frac{V_{DD}}{2} = 10 \text{ V}$$

Entonces

$$g_m = 1.42\frac{I_{DSS}}{V_p} = 2.84 \times 10^{-3} \text{ S}$$

y

$$\frac{1}{g_m} = 350\ \Omega$$

Paso 2 Del paso 2 en el procedimiento de diseño, se obtiene

$$R_D + R_{Scd} = \frac{20\ \text{V} - 10\ \text{V}}{3.33\ \text{mA}} = 3\ \text{k}\Omega = K_1$$

Paso 3 Utilizando la ecuación de ganancia en ca, se obtiene

$$A_v = \frac{-(20\ \text{k}\Omega \parallel R_D)}{3\ \text{k}\Omega - R_D + 350\ \Omega} = -4$$

$$R_D^2 + (21.65\ \text{k}\Omega)R_D - 67\ \text{M}\Omega^2 = 0$$

De la ecuación cuadrática para R_D se selecciona la raíz positiva,

$$R_D = 2.747\ \text{k}\Omega$$

Paso 4 Esta cantidad es menor que K_1; por tanto, se procede a realizar el paso 4. Se encuentra R_S utilizando la ecuación (4.15):

$$R_S = 3\ \text{k}\Omega - R_D = 253\ \Omega$$

Paso 5 Este paso deja ahora

$$V_{GG} = -1 + 253(3.33 \times 10^{-3}) = -0.15\ \text{V}$$

Como esta tensión negativa no se puede obtener dividiendo la tensión de la fuente con resistores, se continúa con el paso 7.

Paso 7 Sea

$$R_2 \to \infty$$

Entonces

$$V_{GG} = 0 = V_{GSQ} + I_{DQ}R_{Scd}$$
$$= -1 + (3.33 \times 10^{-3})R_{Scd}$$

Resolviendo para R_{Scd}, se obtiene

$$R_{Scd} = 300\ \Omega$$

Paso 8 Este paso da

$$R_D = 3\ \text{k}\Omega - R_{Scd} = 2.7\ \text{k}\Omega$$

R_{Sca} se determina del paso 9.

Paso 9

$$R_{Sca} = -\frac{R_L \parallel R_D}{A_v} - \frac{1}{g_m} = \frac{-(20\ \text{k}\Omega \parallel 2.7\ \text{k}\Omega)}{-4} - 350\ \text{k}\Omega = 245\ \Omega$$

El circuito final se muestra en la figura 4.16, donde los valores de los componentes son

$$R_D = 2.7\ \text{k}\Omega$$

$$R_{S1} = R_{Sca} = 245\ \Omega$$

$$R_{S2} = R_{Scd} - R_{Sca} = 300\ \Omega - 245\ \Omega = 55\ \Omega$$

$$R_G = R_{en} = R_1 = 100\ \text{k}\Omega$$

Ejemplo 4.6 Amplificador JFET FC (diseño)

Repítase el ejemplo 4.5 para la figura 4.17, pero seleccionando un punto Q que no se encuentre en el centro de la regiń lineal.

SOLUCIÓN Se selecciona de manera arbitraria el nuevo punto de operación como sigue.

Paso 1

$$I_{DQ} = 3.5\ \text{mA}$$

$$V_{GSQ} = -0.8\ \text{V}$$

$$V_{DSQ} = 6\ \text{V}$$

Entonces

$$g_m = 2.0 \times 10^{-3}\ \text{S}$$

y

$$\frac{1}{g_m} = 500\ \Omega$$

Paso 2 En el procedimiento de diseño, este paso da

$$R_D + R_S = \frac{20 - 6}{3.5 \times 10^{-3}} = 4\ \text{k}\Omega = K_1$$

Paso 3 Entonces se encuentra

$$A_v = -4 = \frac{-R_D \parallel 20\ \text{k}\Omega}{4\ \text{k}\Omega - R_D + 500\ \Omega}$$

de la cual se obtiene, después de resolver la ecuación cuadrática,

$$R_D = 3.716\ \text{k}\Omega$$

Esta cantidad es menor que K_1; por tanto, se procede a realizar el paso 4.

Paso 4 De la ecuación (4.17), se obtiene

$$R_S = 4\ \text{k}\Omega - 3.716\ \text{k}\Omega = 284\ \Omega$$

Paso 5 Utilizando la ecuación de polarización de este paso, se encuentra

$$V_{GG} = -0.8 + 284(3.5 \times 10^{-3}) = 0.194\ \text{V}$$

Paso 6 Para determinar R_1 y R_2 con $R_{en} = R_G$, se utiliza el paso 6 ya que V_{GG} tiene la misma polaridad que V_{DD}. (En contraste con la situación del ejemplo anterior.) Por tanto,

$$R_1 = \frac{100\ \text{k}\Omega}{1 - 0.194/20} = 101\ \text{k}\Omega$$

$$R_2 = 100\ \text{k}\Omega \left(\frac{20}{0.194}\right) = 10.3\ \text{M}\Omega$$

El circuito final se muestra en la figura 4.17.

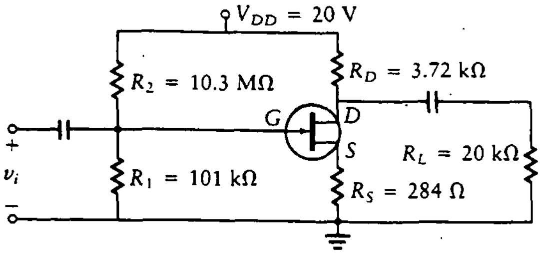


Figura 4.17
Amplificador FC para el ejemplo 4.6.

Ejemplo 4.7 Amplificador JFET FC (análisis)

Analícese el amplificador JFET FC de una etapa que se muestra en la figura 4.18 y determínense A_v, A_i y R_{en}. Supóngase que $I_{DSS} = 2$ mA y $V_p = 2$ V.

SOLUCIÓN En primer lugar se calcula el punto Q, a partir del cual se determina g_m; tanto A_v como A_i dependen de este parámetro. Recuérdese que el valor de g_m depende de la ubicación del punto Q. Se necesitan dos ecuaciones para determinar I_{DQ} y V_{GSQ}, como sigue:

$$V_{GSQ} = -R_S I_{DQ} = -0.4 I_{DQ}$$

y de la ecuación (4.1),

$$\frac{I_{DQ}}{I_{DSS}} = \left(1 - \frac{V_{GSQ}}{V_p}\right)^2$$

Cuando se resuelven estas dos ecuaciones, se obtiene una ecuación cuadrática en I_{DQ}.

$$\frac{I_{DQ}}{2} = \left(1 - \frac{-0.4 I_{DQ}}{-2}\right)^2$$

donde I_{DQ} está en miliamperes.

Esto se reduce a

$$I_{DQ}^2 - 22.5 I_{DQ} + 25 = 0$$

Se resuelve esta ecuación cuadrática y se obtienen dos valores: 21.33 mA y 1.17 mA. Como I_{DSS} tiene sólo 2 mA, se descarta el valor mayor y se obtiene

$$I_{DQ} = 1.17 \text{ mA}$$

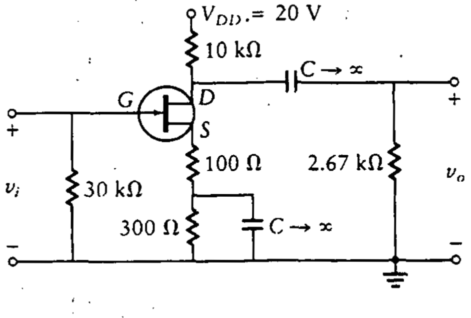


Figura 4.18
Amplificador FC para el ejemplo 4.7.

Por tanto,

$$V_{GSQ} = (-0.4)(I_{DQ}) = -(0.4)(1.17) = -0.469 \text{ V}$$

Se utiliza la ecuación (4.3) para encontrar g_m como sigue:

$$g_m = \frac{-2I_{DSS}}{V_p}\left(1 - \frac{V_{GSQ}}{V_p}\right) = \frac{(2)(2)}{-(-2)}\left(1 - \frac{-0.469}{-2}\right) = 1.53 \text{ mS}$$

y

$$\frac{1}{g_m} = 653\ \Omega$$

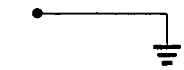
Ahora se encuentra la ganancia de tensión de la ecuación (4.16a):

$$A_v = -\frac{R_D \parallel R_L}{R_{Sca} + 1/g_m} = \frac{10 \text{ k}\Omega \parallel 2.67 \text{ k}\Omega}{100\ \Omega + 653\ \Omega} = -2.8$$

y

$$R_{en} = 30 \text{ k}\Omega$$

$$A_i = \frac{A_v R_{en}}{R_L} = \frac{-2.8(30000)}{2670}$$



Ejercicios

D4.1 Diséñese un amplificador JFET FC que tenga una R_L de 10 kΩ, $V_{DD} = 12$ V, $R_{en} = 500$ kΩ y $A_v = -2$. Utilícese el circuito de la figura 4.15(a). Selecciónese el punto Q como $V_{DSQ} = 6$ V, $V_{GSQ} = -1$ V, $I_{DQ} = 1$ mA y $g_m = 2500\ \mu$S.

Resp.: $R_S = 1.22$ kΩ; $R_D = 4.78$ kΩ;
$R_1 = 509$ kΩ; $R_2 = 27$ MΩ;
$A_i = -100$

D4.2 Rediséñese el amplificador del ejercicio D4.1 para un punto Q en $V_{DSQ} = 7$ V, $V_{GSQ} = -1.2$ V, $I_{DQ} = 0.5$ mA y $g_m = 3330\ \mu$S.

Resp.: $R_1 = 500$ kΩ; $R_2 = \infty$;
$R_D = 7.6$ kΩ; $R_{Sdc} = 2.4$ kΩ;
$R_{Sca} = 1.86$ kΩ; $A_i = -100$

4.9 ANÁLISIS DE AMPLIFICADORES DC (FS)

El amplificador JFETDC (FS) se ilustra en la figura 4.19(a) y el circuito equivalente, en la figura 4.19(b). El método de análisis para este amplificador es paralelo al de la sección 4.7. La resistencia de entrada es $R_{en} \approx R_G$. Nótese, en el circuito equivalente, que se ignora r_{DS}, ya que por lo general es mucho mayor que R_S. Si r_{DS} no es mucho mayor que R_S, se modifican las siguientes ecuaciones reemplazando R_S con $r_{DS} \parallel R_S$.

Escribiendo la ecuación de LTK alrededor del lazo compuerta a fuente, se tiene

$$v_{gs} = v_i - g_m(R_S \parallel R_L)v_{gs}$$

de la cual se obtiene

$$v_i = v_{gs}[1 + g_m(R_S \parallel R_L)]$$

La tensión de salida es

$$v_o = g_m(R_S \parallel R_L)v_{gs}$$

y la ganancia de tensión es la razón

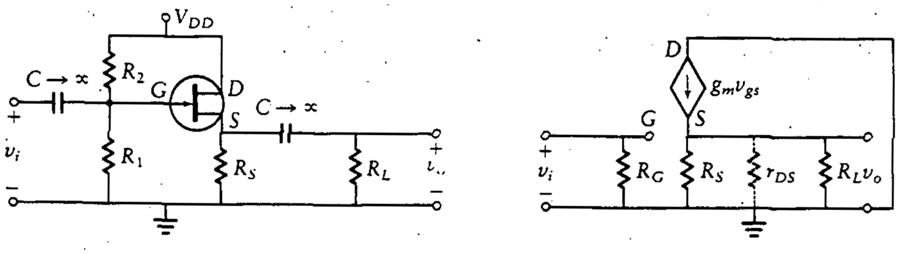
$$A_v = \frac{v_o}{v_i} = \frac{g_m(R_S \parallel R_L)}{1 + g_m(R_S \parallel R_L)} = \frac{R_S \parallel R_L}{(R_S \parallel R_L) + 1/g_m} \tag{4.19a}$$

Nótese que como $R_S \parallel R_L$ tiene la misma magnitud que $1/g_m$, la ganancia de tensión del amplificador FS es menor que la unidad.

La ganancia de corriente se encuentra utilizando la fórmula de ganancia de impedancia como sigue:

$$\begin{aligned} A_i &= A_v \frac{R_{en}}{R_L} \\ &= \frac{R_S \parallel R_L}{(R_S \parallel R_L) + 1/g_m} \frac{R_{en}}{R_L} = \frac{R_S}{(R_S \parallel R_L) + 1/g_m} \frac{R_G}{R_S + R_L} \end{aligned} \tag{4.19b}$$

Figura 4.19 Amplificador JFET FS.



(a) Amplificador

(b) Circuito equivalente

4.10 PROCEDIMIENTO DE DISEÑO DEL AMPLIFICADOR DC

En esta sección, se presenta el procedimiento de diseño del amplificador JFET DC. Este procedimiento es el mismo que se utiliza para el diseño de amplificadores MOSFET de empobrecimiento. Se especifican las siguientes cantidades: ganancia de corriente, resistencia de carga y V_{DD}. Se puede especificar la resistencia de entrada en lugar de la ganancia de corriente. Con A_i (o R_{en}) especificados, se tienen tres ecuaciones (dos ecuaciones de lazo y la ecuación para A_i) con tres incógnitas, R_1, R_2 y R_S. En este caso, tómese la figura 4.19(a) como referencia.

Si se especifican tanto R_{en} como A_i, se tienen cuatro ecuaciones y sólo tres incógnitas. Con una ecuación más que el número de incógnitas, en general no es posible encontrar una solución sin modificar el circuito. En dichos casos, se introduce un capacitor de paso a través de una porción de R_S, como se muestra en la figura 4.20. Con ese cambio, se tienen cuatro incógnitas, R_1, R_2, R_{S1} y R_{S2}, por lo que el circuito se puede resolver.

Paso 1 Selecciónese un punto Q en el centro de las curvas características del FET con ayuda de la figura 4.8. Este paso determina V_{DSQ}, V_{GSQ}, I_{DQ} y g_m.

Paso 2 Escríbase la ecuación de LTK alrededor del lazo drenaje a fuente.

$$V_{DD} = V_{DSQ} + R_S I_{DQ}$$

de la cual se encuentra el valor de cd para R_S,

$$R_{Scd} = \frac{V_{DD} - V_{DSQ}}{I_{DQ}} \tag{4.20a}$$

Paso 3 Encuéntrese R_{Sca} de la ecuación de ganancia de corriente reordenada, ecuación (4.19b), como sigue:

$$R_{Scd} = \frac{R_L}{(R_G/A_i - R_L)g_m - 1} \tag{4.20b}$$

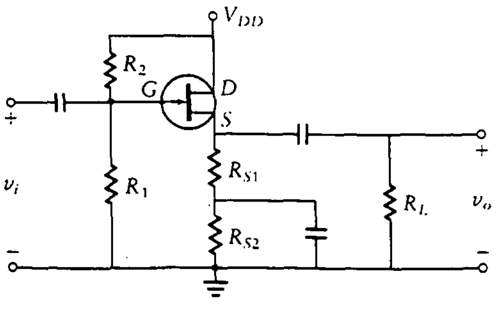


Figura 4.20
Amplificador DC.

donde

$$R_G = R_{en}$$

Si se especifica la resistencia de entrada, hágase $R_{Sca} = R_{Scd} = R_S$ y calcúlese la resistencia de entrada mediante la ecuación (4.20b). Si la resistencia de entrada no es suficientemente grande, puede ser necesario cambiar la ubicación del punto Q.

Si se especifica R_{en}, es necesario calcular R_{Scd} de la ecuación (4.20a) y R_{Sca} de la ecuación (4.20b). En esos casos, R_{Sca} es diferente de R_{Scd}, por lo que se provoca un cortocircuito en parte de R_S con un capacitor.

Paso 4 Determínese V_{GG} utilizando la ecuación

$$V_{GG} = V_{GSQ} + I_{DQ}R_S$$

No se produce inversión de fase en un amplificador FET fuente seguidor y, por lo general, V_{GG} es de la misma polaridad que la fuente de alimentación.

Paso 5 Determínese los valores de R_1 y R_2 de la ecuación (4.12):

$$R_1 = \frac{R_G}{1 - V_{GG}/V_{DD}}$$

$$R_2 = \frac{R_G V_{DD}}{V_{GG}}$$

Por lo común, existe suficiente corriente de drenaje en un FS para proporcionar la tensión de polaridad inversa necesaria para cubrir las tensiones negativas requeridas por la compuerta del FET. Por tanto, se puede utilizar la polarización normal por división de tensión.

Ahora se toma de nuevo el problema de la especificación de la resistencia de entrada. Se puede suponer que parte de R_S está en cortocircuito, como en la figura 4.20, lo cual lleva a valores diferentes de R_{Sca} y R_{Scd}. El paso 2 se utiliza para encontrar R_{Scd}. En el paso 3, R_G se hizo igual al valor especificado de R_{en} y se utilizó la ecuación (4.20b) para encontrar R_{Sca}.

Si la R_{Sca} calculada es más pequeña que R_{Scd}, se cumple con el diseño realizando un cortocircuito en R_{S2} con un capacitor. Recuérdese que $R_{Sca} = R_{S2}$ y $R_{Scd} = R_{S1} + R_{S2}$. Por otra parte, si R_{Sca} es mayor que R_{Scd}, el punto Q se debe cambiar de posición. Se selecciona un valor más pequeño para V_{DSQ}, provocando por tanto un aumento en la caída de tensión a través de $R_{S1} + R_{S2}$, lo cual hace más grande a R_{Scd}. Si V_{DSQ} no se puede reducir lo suficiente para hacer a R_{Scd} mayor que R_{Sca}, entonces el amplificador no se puede diseñar con la ganancia de corriente dada, R_{en}, y el tipo de FET. Se debe cambiar una de estas tres especificaciones o utilizarse una segunda etapa amplificadora para proporcionar la ganancia requerida.

Ejemplo 4.8 Amplificador DC (diseño)

Diséñese un amplificador JFET DC con las siguientes especificaciones: $A_i = 12$, $R_L = 400\ \Omega$, $I_{DSS} = 20$ mA, $V_p = -6.67$ V y $V_{DD} = 12$ V.

SOLUCIÓN

Paso 1 Selecciónese el punto Q como sigue (véase Fig. 4.8):

$$I_{DQ} = \frac{I_{DSS}}{2} = 10 \text{ mA}$$

$$V_{DSQ} = \frac{V_{DD}}{2} = 6 \text{ V}$$

$$V_{GSQ} = (0.3)(-6.67) = -2 \text{ V}$$

$$g_m = \frac{1.42 I_{DSS}}{V_p} = 4.26 \text{ mS}$$

y

$$\frac{1}{g_m} = 235\ \Omega$$

Paso 2 Como no se especifica ningún valor para R_{en}, entonces $R_S = R_{Sca} = R_{Scd}$ y se utiliza la figura 4.19, dando por resultado

$$R_S = \frac{V_{DD} - V_{DSQ}}{I_{DQ}} = \frac{12 - 6}{10 \times 10^{-3}} = 600\ \Omega$$

Paso 3 Este paso se utiliza para encontrar R_G reordenando la ecuación (4.19b):

$$R_G = A_i \left[R_L + \frac{1 + R_L/R_S}{g_m}\right] = 12 \left[400 + \frac{1 + 400/600}{4.26 \text{ mS}}\right] = 9.5 \text{ k}\Omega$$

Como R_G es mayor que el mínimo especificado para R_{en}, el diseño es aceptable y se puede continuar con el paso 4.

Paso 4

$$V_{GG} = -2 + (10 \times 10^{-3})(600) = 4 \text{ V}$$

Paso 5 Por último, de este paso se encuentra

$$R_1 = \frac{9500}{1 - 4/12} = 14.25 \text{ k}\Omega$$

$$R_2 = \frac{9500 \times 12}{4} = 28.5 \text{ k}\Omega$$

$$A_v = A_i \frac{R_L}{R_{en}} = 12 \frac{400}{9500} = 0.51$$

Ejemplo 4.9 Amplificador DC (diseño)

Diséñese un amplificador DC (véase Fig. 4.19) que cumpla las siguientes especificaciones: $A_i = 20$, $R_{en} = 50$ kΩ, $R_L = 1$ kΩ, $V_{DD} = 12$ V, $I_{DSS} = 20$ mA y $V_p = -6.67$ V. Determínese el valor de todos los componentes del circuito.

SOLUCIÓN El punto Q se selecciona como

$$V_{DSQ} = \frac{V_{DD}}{2} = 6 \text{ V}$$

$$I_{DQ} = \frac{I_{DSS}}{2} = 10 \text{ mA}$$

$$V_{GSQ} = 0.3(V_p) = -2 \text{ V}$$

g_m se encuentra de las curvas adimensionales de la figura 4.8, como sigue:

$$g_m = 1.42 \frac{I_{DSS}}{|V_p|} = 4.26 \text{ mS}$$

y

$$\frac{1}{g_m} = 230 \ \Omega$$

Se utiliza el paso 2 para encontrar R_{Scd}. Nótese que como R_{en} está dada, es probable que se necesiten valores para R_{Scd} y R_{Sca}.

$$R_{Scd} = \frac{12 - 6}{10 \times 10^{-3}} = 600 \ \Omega$$

Como R_{en} está especificada, se utiliza el paso 3 para encontrar R_{Sca}; de la ecuación (4.20),

$$R_G = R_{en} = 50\ \text{k}\Omega$$

$$R_{Sca} = \frac{R_L}{(R_G/A_i - R_L)g_m - 1}$$

$$= \frac{1000}{(50000/20 - 1000)4.26\ \text{mS} - 1} = 186\ \Omega$$

Como R_{Sca} es menor que R_{Scd}, se encuentra $R_{S1} = 186\ \Omega$ y $R_{S2} = 414\ \Omega$ en la configuración de la figura 4.20. Se continúa con el paso 4.

$$V_{GG} = -2 + (10 \times 10^{-3})(600) = 4\ \text{V}$$

Por último, se utiliza el paso 5 para encontrar R_1 y R_2:

$$R_1 = \frac{50,000}{1 - 4/12} = 75\ \text{k}\Omega$$

$$R_2 = \frac{50,000 \times 12}{4} = 150\ \text{k}\Omega$$

El diseño está completo.

Ejercicios

D4.3 Diséñese un amplificador JFET DC como el mostrado en la figura 4.19, con $R_L = 10\ \text{k}\Omega$, $R_{en} = 200\ \text{k}\Omega$, $V_{DD} = 12$ V y el punto Q situado en $V_{DSQ} = 6$ V, $V_{GSQ} = -1$ V, $I_{DQ} = 1$ mA y $g_m = 4$ mS. Determínese el valor de los resistores y la ganancia de corriente del amplificador.

Resp.: $R_S = 6\ \text{k}\Omega$; $R_1 = 342\ \text{k}\Omega$;
$R_2 = 480\ \text{k}\Omega$; $A_i = 18.8$

D4.4 Diséñese un amplificador JFET DC como el de la figura 4.21 para proporcionar una ganancia de corriente de 15 a una carga de $R_L = 20\ \text{k}\Omega$ utilizando $V_{DD} = 12$ V y $R_{en} = 400\ \text{k}\Omega$. Selecciónese un punto Q en $V_{DSQ} = 6$ V, $I_{DQ} = 2$ mA, $V_{GSQ} = -0.5$ V y $g_m = 3330\ \mu$S.

Resp.: $R_{Scd} = 3\ \text{k}\Omega$; $R_{Sca} = 942\ \Omega$;
$R_1 = 873\ \text{k}\Omega$; $R_2 = 738\ \text{k}\Omega$

4.11 AMPLIFICADOR FS DE REFUERZO

En esta sección se analiza un *amplificador FET FS (o DC) de refuerzo.* Este circuito es un caso especial del FS denominado *circuito de refuerzo* y se ilustra en la figura 4.21. Aquí la polarización se lleva a cabo a través de sólo una parte del resistor de fuente. Esto reduce la necesidad de un capacitor a través de parte del resistor de fuente y refleja por tanto una mayor resistencia de entrada de la que se puede lograr normalmente. Este diseño permite aprovechar las características de alta impedancia del FET sin utilizar un valor alto para el resistor de compuerta, R_G.

El circuito equivalente de la figura 4.22 se utiliza para evaluar la operación del circuito. Se supone que i_{en} es suficientemente pequeña para aproximar la corriente en R_{S2} como i_1. Se encuentra entonces que la tensión de salida es

$$v_o \approx g_m v_{gs}(R_S \parallel R_L) \tag{4.21}$$

donde

$$R_S = R_{S1} + R_{S2}$$

Si la suposición acerca de i_{en} no es válida, R_S se puede reemplazar por la expresión

$$R_{S1} + \frac{(i_{en} + i_1)R_{S2}}{i_1}$$

Una ecuación de LTK en la entrada expresa a v_i como sigue:

$$v_i = v_{gs} + i_1 R_{S1} + (i_1 + i_{en})R_{S2} \tag{4.22}$$

La corriente, i_1, se encuentra de una relación de división de corriente,

$$i_1 = \frac{g_m v_{gs} R_L}{R_S + R_L}$$

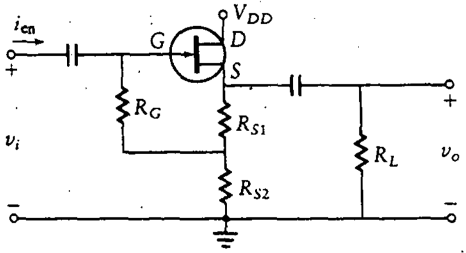


Figura 4.21 FS reforzado.

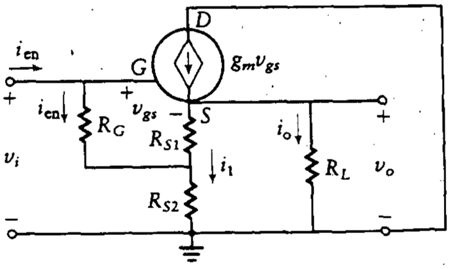


Figura 4.22 Circuito equivalente en ca para el FS.

Utilizando esto en la ecuación (4.22), se obtiene

$$v_i = v_{gs} + \frac{g_m v_{gs} R_L R_S}{R_L + R_S} + i_{en} R_{S2} \tag{4.23}$$

Una segunda ecuación para v_i se puede desarrollar alrededor del lazo mediante R_G y R_{S2} como sigue.

$$\begin{aligned} v_i &= i_{en} R_G + \left(\frac{g_m v_{gs} R_L}{R_S + R_L} + i_{en} \right) R_{S2} \\ &= i_{en}(R_G + R_{S2}) + \frac{g_m v_{gs} R_L R_{S2}}{R_S + R_L} \end{aligned} \tag{4.24}$$

Se elimina v_i haciendo la ecuación (4.23) igual a la ecuación (4.24) y despejando i_{en} para obtener

$$i_{en} = \frac{g_m v_{gs}}{R_G} \left[(R_L \parallel R_S) + \frac{1}{g_m} - \frac{R_L R_{S2}}{R_S + R_L} \right] \tag{4.25}$$

La resistencia de entrada, $R_{en} = v_i / i_{en}$, se encuentra dividiendo la ecuación (4.24) entre la ecuación (4.25), con el resultado

$$R_{en} = \frac{R_G[1/g_m + (R_L \parallel R_S)]}{(R_L \parallel R_S) + 1/g_m - R_L R_{S2}/(R_S + R_L)} + R_{S2}$$

Se despeja R_G como sigue:

$$R_G = \frac{(R_{en} - R_{S2})[R_{S1} R_L + (R_S + R_L)/g_m]}{R_L R_S + (R_S + R_L)/g_m} \tag{4.26}$$

La ganancia de corriente es

$$A_i = \frac{i_o}{i_{en}} = \frac{v_o}{R_L i_{en}}$$

Utilizando las ecuaciones (4.21) y (4.25) y notando que $R_S - R_{S2} = R_{S1}$, se encuentra

$$A_i = \frac{R_G R_S}{R_L R_{S1} + (R_L + R_S)/g_m} \tag{4.27}$$

La ganancia de tensión es

$$A_v = \frac{A_i R_L}{R_{en}}$$
$$= \frac{R_G R_S R_L}{R_{en}[R_{S1}R_L + (R_S + R_L)/g_m]} \tag{4.28}$$

Ejemplo 4.10 FS de refuerzo (diseño)

Diséñese un circuito amplificador para las siguientes condiciones: $R_{en} = 100$ kΩ, $R_L = 10$ kΩ y $V_{DD} = 20$ V. El circuito está conectado como se muestra en la figura 4.21. El punto Q se selecciona en

$$V_{DSQ} = 10 \text{ V} \qquad I_{DQ} = 3.33 \text{ mA}$$
$$V_{GSQ} = -1 \text{ V} \qquad g_m = 2 \text{ mS}$$

SOLUCIÓN El diseño de este circuito consiste en elegir valores para R_{S1}, R_{S2} y R_G. La relación $V_{GSQ} = -1$ V se utiliza para encontrar R_{S1}. Se suman tensiones alrededor del lazo compuerta a fuente suponiendo que i_{en} es aproximadamente igual a cero, como sigue:

$$0 = V_{GSQ} + R_{S1}I_{DQ}$$
$$R_{S1} = \frac{1}{3.3 \times 10^{-3}} = 300 \ \Omega$$

Para encontrar R_{S2}, se escribe una ecuación de LTK alrededor del lazo compuerta a drenaje:

$$V_{DD} = V_{DSQ} + (R_{S1} + R_{S2})I_{DQ}$$
$$20 = 10 + (300 + R_{S2})(3.33 \times 10^{-3})$$

Despejando R_{S2}, se obtiene

$$R_{S2} = 2.7 \text{ k}\Omega$$

R_G se encuentra utilizando la ecuación (4.26) como sigue:

$$R_G = \frac{(R_{en} - R_{S2})[R_{S1}R_L + (R_S + R_L)/g_m]}{R_L R_S + (R_S + R_L)/g_m}$$

$$= \frac{(100000 - 2700)[(300)(10000) + (13000)(500)]}{(10000)(3000) + (13000)(500)} = 25.3 \text{ k}\Omega$$

Ejercicio

D4.5 Determínese el valor de los resistores y la ganancia de corriente para un amplificador FET FS de refuerzo que requiere R_{en} = 200 kΩ, R_L = 20 kΩ y V_{DD} = 10 V. El punto Q se selecciona como

$V_{DSQ} = 5$ V $\quad V_{GSQ} = -1.5$ V

$I_{DQ} = 0.5$ mA $\quad g_m = 4$ mS

Utilícese la configuración de la figura 4.21.

Resp.: $R_G = 62.8$ kΩ; $R_{S1} = 3$ kΩ;
$R_{S2} = 7$ kΩ; $A_i = 9.3$

4.12 TRANSISTOR DE UNIÓN CON BARRERA METAL SEMICONDUCTOR

El *transistor de unión con barrera metal semiconductor* (MESFET, *metal semiconductor barrier junction transistor*) es similar al FET, excepto porque la unión es una barrera metal semiconductor, como en el caso de los diodos Schottky (véase Sec. 1.9.1). Los FET hechos de silicio (Si) o arseniuro de galio (GaAs) se construyen con compuertas difundidas o de implante de iones. Sin embargo, existen ventajas al utilizar una compuerta de barrera de metal Schottky cuando el canal es de tipo n y se necesitan canales angostos. Es difícil trabajar con GaAs, aunque el GaAs realiza buenas barreras de Schottky que son útiles en aplicaciones de alta frecuencia. La utilización de GaAs en los MESFET da lugar a un transistor que exhibe un buen desempeño en aplicaciones de microondas. En comparación con el transistor bipolar de silicio, los MESFET de GaAs tienen un mejor desempeño por arriba de frecuencias de entrada de 4 GHz. Estos MESFET tienen alta ganancia, bajo ruido, mejor eficiencia, mayor impedancia de entrada y propiedades que previenen fallas térmicas. Se utilizan en osciladores de microondas, amplificadores, mezcladores y para conmutación de alta velocidad.

4.13 OTROS DISPOSITIVOS

En esta sección se presentan otros dispositivos que son desarrollos de los dispositivos normales de dos y tres terminales.

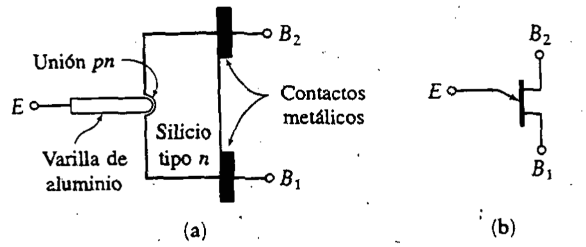


Figura 4.23
El UJT.

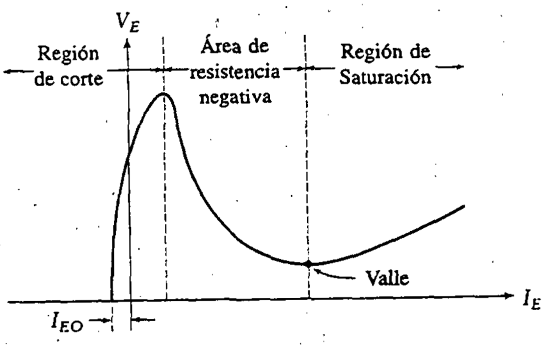


Figura 4.24
Curvas características del UJT.

4.13.1 Transistor monounión

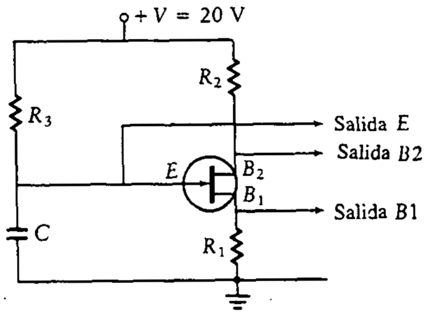
El *transistor monounión* (UJT, *unijunction transistor*) ([47], Sec. 11.1) es un dispositivo de tres terminales compuesto de una barra de material de silicio de tipo n ligeramente contaminado con dos contactos de base. Éstos se pegan en los extremos de una superficie, y se une una pequeña barra de material de tipo p a la superficie opuesta. La frontera de la barra de tipo p forma una unión pn entre ésta y el silicio de tipo n. De la unión pn simple se origina el término "monounión". En la figura 4.23 se muestran un tipo de construcción y su símbolo circuital.

El UJT proporciona una muy útil región de resistencia negativa en su curva característica, como se muestra en la figura 4.24.

Si se aplica una tensión a la terminal B_1, el potencial en la unión es resultado de una división de tensión a través de la resistencia de E a B_1 y de B_1 a B_2. Si este valor es mayor que la tensión aplicada en la terminal E, no existe inyección de portadores a través de la unión E-B. Sin embargo, si una fuente externa eleva V_E a un nivel mayor que el de la tensión en la unión, se produce una inyección de portadores.

Variar la tensión, V_E, tiene el efecto de variar la resistencia de la barra en la región de la terminal E. Conforme se eleva V_E, la resistencia entre E y B_1

Figura 4.25
Oscilador de relajación.



disminuye, provocando por tanto una disminución en la tensión de la unión. El efecto neto de estos cambios es elevar la corriente entre B_1 y B_2.

El UJT no se utiliza como amplificador de señal. Se usa, más bien, como interruptor controlado por tensión. A diferencia del SCR, que se dispara con una corriente de compuerta (véase Cap. 3), el UJT se dispara con una tensión. El UJT se utiliza para disparar otros tipos de dispositivos, y también se puede usar en circuitos osciladores.

El área de resistencia negativa es estable y se puede utilizar en otras aplicaciones a circuitos. Más allá del *valle*, el transistor se comporta como un simple diodo.

Un ejemplo de la utilización del UJT es el *oscilador de relajación*, como el que se muestra en la figura 4.25. Este circuito es el bloque básico en muchos circuitos osciladores y de sincronía con UJT. Cuando se aplica energía, el capacitor se carga a través de R_3 hasta que la tensión es lo suficientemente grande en el punto E para disparar el UJT hacia la conducción. Esto provoca que la unión E-B_1 se polarice en directo, y la característica del emisor cae en la región de resistencia negativa. El capacitor se descarga a través del emisor, y está disponible un pulso positivo en la salida B_1. Cuando se produce la conducción, la tensión en B_2 disminuye, provocando por tanto un pulso negativo en B_2. La frecuencia de los pulsos está dada aproximadamente por la ecuación

$$f_o \approx \frac{1.5}{R_3C} \tag{4.29}$$

4.13.2 VMOSFET (VMOS)

Se han aplicado considerables esfuerzos de investigación para aumentar la capacidad de manejo de potencia en dispositivos de estado sólido. Un área muy prometedora es la de los MOSFET, en los que el canal de conducción se modifica para formar una V más que la convencional línea recta entre emisor y drenaje. Se añade una capa de semiconductor adicional. El término *VMOS* se deriva del hecho

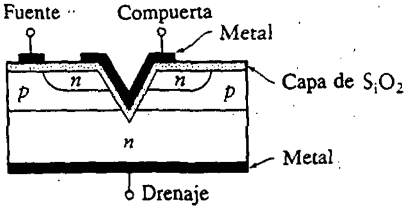


Figura 4.26 Construcción de un VMOS.

de que la corriente entre fuente y drenaje sigue un trayecto vertical debido a la construcción. El drenaje está ahora localizado en una pieza de material semiconductor adicional. Los FET convencionales están limitados a corrientes del orden de miliamperes, pero los FET VMOS se encuentran disponibles para operación en el orden de 100 A de corriente. Esto proporciona un gran incremento de potencia respecto a un FET convencional. La construcción del VMOS se muestra en la figura 4.26.

El dispositivo VMOS puede proporcionar una solución a las aplicaciones de alta frecuencia y alta potencia. Se han desarrollado dispositivos de 10 watts a frecuencias en la parte baja de la banda de ultra-alta frecuencia (UHF). Otras ventajas importantes de los FET VMOS son las siguientes: tienen un coeficiente de temperatura negativo para prevenir las fallas térmicas, presentan baja corriente de fuga y son capaces de alcanzar una alta velocidad de conmutación. Se puede hacer que los transistores VMOS tengan igual espaciamiento en sus curvas características para iguales incrementos en la tensión de compuerta, por lo que se pueden utilizar como BJT para amplificadores lineales de alta potencia ([34], págs. 690-691).

4.13.3 Otros dispositivos MOS

Otro tipo de dispositivo MOS es el *FET fabricado con proceso de doble difusión*, a veces llamado DMOS. Este dispositivo tiene la ventaja de disminuir la longitud de los canales, proporcionando así una excelente disipación de baja potencia y una velocidad alta.

La fabricación de FET en pequeños islotes en sustrato de safiro a veces se denomina *SOS*. Los islotes de silicio se forman por el grabado de una delgada capa de silicio cultivado en el sustrato de safiro. Este tipo de fabricación proporciona aislamiento entre los islotes de silicio, reduciendo bastante la capacitancia parásita entre dispositivos.

La tecnología MOS tiene la ventaja de que tanto capacitores como resistores se fabrican al mismo tiempo que el FET, aunque no son factibles capacitores de valores grandes. Utilizando un MOSFET de enriquecimiento, se hace una resistencia de dos terminales, y la compuerta del MOSFET conectada al drenaje causa que el FET opere en estrangulamiento. La compuerta MOSFET se conecta al drenaje a través de una fuente de energía, provocando que el FET se polarice en la región de las características, donde opera como resistencia controlada por tensión. De esta forma, los resistores de carga en el drenaje se reemplazan por un MOSFET en vez de un resistor depositado, ahorrando por tanto área del circuito integrado.

PROBLEMAS

4.1 Las curvas características para la región de operación de un transistor FET de canal n específico se pueden aproximar por la ecuación

$$i_D = 0.5(4 + v_{GS})^2 \text{ mA}$$

cuando se cumplen las siguientes condiciones:

$R_S = 500\ \Omega$; $R_D = 2\ \text{k}\Omega$; $R_{en} = 100\ \text{k}\Omega$;

$I_{DQ} = 5$ mA; $V_{DD} = 20$ V

Determínese los siguientes parámetros:

a. V_{GSQ}
b. V_D
c. V_{DSQ}
d. R_1 y R_2

Remítase a la figura P4.1.

4.2 a. Diséñese un amplificador FC (Fig. P4.1) utilizando un JFET de canal p cuando la especificación demanda $A_v = -10$ y $R_{en} = 20\ \text{k}\Omega$. Supóngase que el punto Q se elige en $I_{DQ} = -1$ mA, $V_{DSQ} = -10$ V; $V_{GSQ} = 0.5$ V y $g_m = 1500\ \mu$S.
b. Calcúlese A_i, R_1, R_2, R_S y R_D. (Remítase a la curva característica de la figura P4.2. Nótese que se puede dividir R_S y hacer cortocircuito en parte de ésta.)

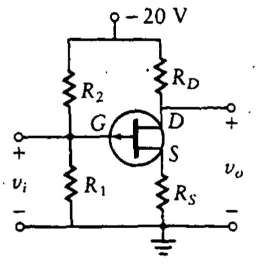


Figura P4.1

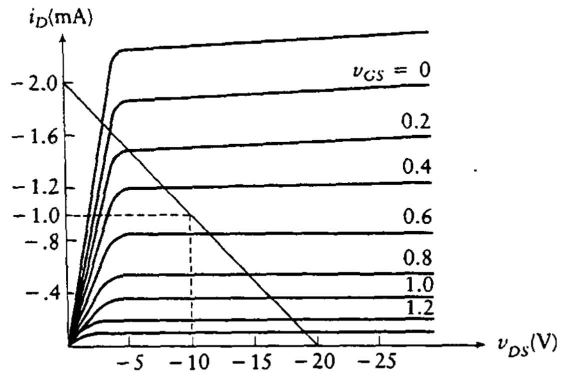


Figura P4.2

4.3 Repítase el problema 4.2 cuando se acopla una R_L de 20 kΩ al drenaje con un capacitor. Nótese que tal vez se necesite elegir un punto Q diferente.

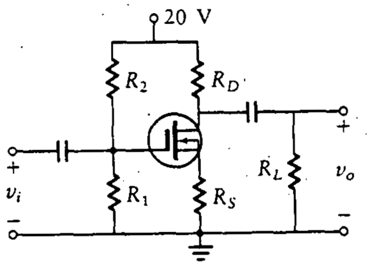


Figura P4.3

4.4 Diséñese un amplificador FC utilizando un MOSFET, como se muestra en la figura P4.3. Sean $R_L = 1$ kΩ, $A_v = -1$ y $R_{en} = 15$ kΩ. El punto Q se elige en $V_{GSQ} = 3$ V, $I_{DQ} = 7$ mA, $V_{DSQ} = 10$ V, donde $g_m = 2300$ μS. Encuéntrense los valores para los demás elementos.

4.5 Diséñese un amplificador FC utilizando un JFET de canal n para un circuito del tipo mostrado en la figura 4.13(a) con $A_v = -1$, $V_{DD} = 12$ V, $R_L = 1$ kΩ, $R_{en} = 15$ kΩ, $I_{DSS} = 10$ mA y $V_p = -4$ V. Utilícese $I_{DQ} = I_{DSS}/2$.

4.6 Diséñese un amplificador FC utilizando un JFET de canal n cuando $R_L =$ 4 kΩ, $A_v = -3$ y $R_{en} = 50$ kΩ. Supóngase que se elige un punto Q tal que $I_{DQ} = 3$ mA, $V_{DSQ} = 10$ V, $V_{GSQ} = -1$ V, $g_m = 2000$ μS y $V_{DD} = 20$ V. Utilícese el circuito de la figura 4.15(a).

4.7 Diséñese un amplificador JFET FC de canal n que tenga $A_v = -5$, $A_i = -20$, $V_{DD} = 12$ V y $R_L = 5$ kΩ. Determínese el valor de todos los componentes y la estimación de potencia del transistor. (El circuito tal vez requiera cambios para cumplir el diseño.) Selecciónese un punto Q de $V_{DSQ} = 6$ V, $V_{GSQ} =$ -2 V e $I_{DQ} = 2$ mA. El transistor tiene una $g_m = 4$ mS.

4.8 Diséñese un amplificador JFET FC de canal p con $A_v = -5$, $A_i = -20$, $R_L = 8$ kΩ y $V_{DD} = -16$ V. El punto Q está en $V_{DSQ} = -8$ V, $V_{GSQ} =$ 3 V, $I_{DQ} = -2$ mA y $g_m = 3.33$ mS. Utilícese el circuito de la figura P4.4. Determínese la disipación de potencia del transistor.

4.9 Diséñese un amplificador JFET FC de canal p con una carga de 5 kΩ utilizando el circuito mostrado en la figura P4.4. Sean $V_{DD} = -20$ V, $A_v = -2$, $A_i = -20$, $V_p = 6$ V e $I_{DSS} = -5$ mA. Determínese la disipación de potencia del transistor.

4.10 Diséñese un amplificador MOSFET FC de canal n utilizando un transistor 3N128 (véase Ap. D) para una carga de 10 kΩ con una ganancia de tensión $A_v = -10$. Utilícese el circuito de la figura P4.3. Selecciónese el punto Q utilizando las curvas características mostradas en las especificaciones cuando $R_{en} > 10$ kΩ.

4.11 Diséñese un amplificador MOSFET FC de canal n utilizando un transistor 3N128 (véase Ap. D) para una carga de 2 kΩ con $A_v = -4$ y $R_{en} > 100$ kΩ.

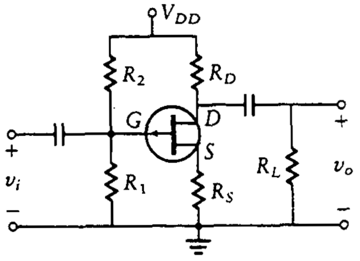


Figura P4.4

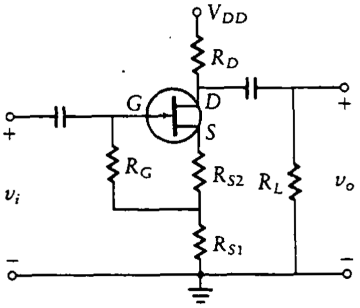


Figura P4.5

Supóngase que el punto Q se elige como $V_{GSQ} = -0.6$ V, $V_{DSQ} = 10$ V, $I_{DQ} = 10$ mA y $V_{DD} = 20$ V.

4.12 Analícese un amplificador JFET FC de canal n como el mostrado en la figura P4.5 cuando la carga es de 20 kΩ, $R_D = 8$ kΩ, $V_{DD} = 24$ V y $R_{en} = 50$ kΩ. Selecciónese el punto Q como $V_{GSQ} = -1.5$ V, $V_{DSQ} = 12$ V, $I_{DQ} = 1$ mA y $g_m = 2.83$ mS. Encuéntrese el valor de todos los componentes, A_i y A_v.

4.13 Si a R_S en la figura 4.15(a) se le coloca un capacitor en paralelo, ¿cuál es la ganancia de tensión? Supóngase que el punto Q se selecciona de modo que $g_m = 1.5$ mS, $R_D = 3.2$ kΩ y $R_L = 5$ kΩ. Determínese la ganancia de corriente cuando $R_S = 500$ Ω, $R_1 = 200$ kΩ y $R_2 = 800$ kΩ.

4.14 ¿Cuál es la ganancia de tensión, A_v, del circuito mostrado en la figura 4.15(a) si se alimenta una señal al amplificador, con una resistencia de fuente, R_i, de 10 kΩ? Supóngase que $R_D = 4$ kΩ, $R_L = 10$ kΩ, $R_{Sca} = 500$ Ω, $g_m = 2$ mS, $R_1 = 25$ kΩ y $R_2 = 120$ kΩ.

4.15 En el circuito mostrado en la figura P4.6, supóngase que R_S está en cortocircuito total con un capacitor. $V_{DD} = 15$ V, $R_D = 2$ kΩ, $R_L = 3$ kΩ, $R_S = 200$ Ω, $R_1 = 500$ kΩ, $I_{DSS} = 8$ mA y $V_p = -4$ V. Determínense A_v, A_i, R_{en} y el punto Q para el amplificador.

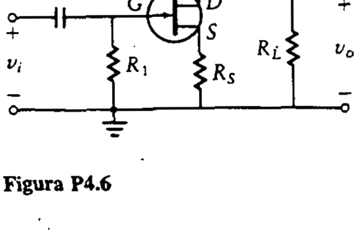


Figura P4.6

4.16 En el circuito mostrado en la figura P4.6, V_{DD} = 20 V, R_D = 2 kΩ, R_L = 10 kΩ, R_S = 200 Ω, R_1 = 1 MΩ, I_{DSS} = 10 mA y V_p = −5 V. Determínense el punto Q, A_v, A_i y R_{en} para el amplificador.

4.17 Para el amplificador mostrado en la figura P4.6, V_{DD} = 20 V, R_D = 2 kΩ, R_L = 6 kΩ, R_S = 100 Ω, R_1 = 1 M Ω, I_{DSS} = 10 mA y V_p = −5 V. Determínense el punto Q, A_v, A_i y R_{en} para el amplificador.

4.18 Un circuito amplificador FC como el mostrado en la figura P4.1 utiliza un JFET para el cual I_{DSS} = 2 mA y g_m = 2000 μS. Si el valor de R_D = 10 kΩ y R_S = 200 Ω, ¿cuál es la ganancia de tensión, A_v, para cada uno de los siguientes valores de V_{GSQ}?

a. −1 V
b. −0.5 V
c. 0 V

4.19 Un circuito amplificador FC como el de la figura P4.6 tiene un transistor con V_p = −4 V, I_{DSS} = 4 mA y r_{DS} = 500 Ω. Si R_D = 2 kΩ, R_L = 4 kΩ y R_S = 200 Ω, ¿cuál es la ganancia de tensión, A_v, del circuito si V_{GSQ} = −1 V? ¿Qué ocurre con A_v conforme r_{DS} tiende a infinito?

4.20 Diséñese un amplificador MOSFET FC de canal n con V_{DD} = 20 V, R_L = 4 kΩ, A_v = −5 y A_i = −10. El punto Q se selecciona de modo que V_{DSQ} = 10 V, V_{GSQ} = 4 V, I_{DQ} = 2 mA y g_m = 4000 μS.

4.21 Diséñese un amplificador FS utilizando un JFET de canal p como se muestra en la figura P4.7 con R_{en} = 20 kΩ. Inténtese obtener una ganancia de tensión, A_v, tan cercana a la unidad como sea posible. Calcúlense A_i, R_S, R_1 y R_2. Utilícense las curvas características que se muestran en la figura P4.2.

4.22 Repítase el problema 4.21 cuando se acopla de manera capacitiva una carga de 20 kΩ al amplificador.

4.23 Diséñese un amplificador MOSFET DC cuando R_L = 100 Ω, A_i = 100, I_{DQ} = 8 mA, V_{GSQ} = 1.5 V, V_{DSQ} = 6.3 V, R_{en} = 100 kΩ y g_m = 2.9 mS. Determínense A_v y el valor de todos los resistores. Utilícese el circuito de la figura P4.8.

4.24 Diséñese un amplificador DC utilizando un MOSFET de canal n donde R_{en} = 12 kΩ, A_i = 10, R_L = 500 Ω, V_{DD} = 20 V, y el punto Q se selecciona en V_{DSQ} = 10 V, V_{GSQ} = −3 V, I_{DQ} = 7 mA y g_m = 2.3 mS. Utilícese como guía el circuito de la figura P4.8.

4.25 Diséñese un amplificador FS utilizando un JFET de canal n para una ganancia de corriente de 100 y una resistencia de entrada de 500 kΩ. La carga es de 2 kΩ. Selecciónese el punto Q para los siguientes parámetros: V_{DSQ} = 8 V, I_{DQ} = 5 mA, V_{GSQ} = −1 V y g_m = 4 mS. Determínense las resistencias y la ganancia de tensión, y dibújese el circuito cuando V_{DD} = 10 V.

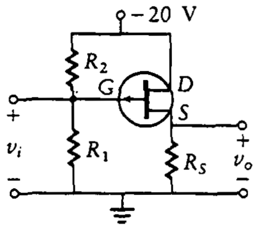


Figura P4.7

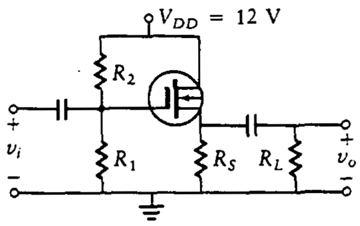


Figura P4.8

4.26 Repítase el problema 4.25 pero con un transistor diferente que tiene los siguientes parámetros: $V_p = -3$ V, $I_{DSS} = 10$ mA.

4.27 Analícese el circuito mostrado en la figura 4.22 cuando $V_{DD} = 16$ V y $R_L = 8$ kΩ. Selecciónese un punto Q en $I_{DQ} = 5$ mA, $V_{GSQ} = -1$ V, $V_{DSQ} = 8$ V y $g_m = 5.5$ mS. Determínese el valor de todos los componentes, A_i y A_v cuando $R_{en} = 12$ kΩ.

PROBLEMAS ADICIONALES

PA4.1 En el circuito de la figura 4.15(a), cuando $R_1 = 21$ kΩ, $R_2 = 450$ kΩ, $R_S = 500$ Ω, $R_D = 1.5$ kΩ, $R_L = 4$ kΩ y $V_{DD} = 12$ V, encuentre lo siguiente si $V_{DSQ} = 4$ V:

a. I_{DQ}
b. V_{GSQ}
c. R_{en}
d. A_v cuando $g_m = 3.16$ mS
e. A_i

PA4.2 En el circuito de la figura 4.15(a), $R_D = 2$ kΩ, $R_L = 5$ kΩ, $R_{en} = 100$ kΩ, $R_S = 300$ Ω y $V_{DD} = 15$ V. Encuentre los valores de R_1 y R_2 necesarios para que el transistor opere a 4 mA cuando $V_p = -4$ V e $I_{DSS} = 8$ mA. Determine también la ganancia del amplificador en corriente y tensión.

PA4.3 Para el circuito mostrado en la figura PA4.1, $R_i = 50$ kΩ, $R_1 = 100$ kΩ, $R_2 = 800$ kΩ, $R_D = 4$ kΩ, $R_L = 6$ kΩ, $R_S = 200$ Ω y $V_{DD} = 20$ V, determine lo siguiente si se utiliza un FET con $V_{DSQ} = 6$ V y $g_m = 2.5$ mS:

a. I_{DQ}, V_{GG} y V_{GSQ}
b. A_v, R_{en} y A_i

PA4.4 Para el circuito mostrado en la figura PA4.1, si se quita la resistencia R_2, el FET opera a 2 mA. Los valores de los componentes son $R_i = 100$ kΩ, $R_1 = 400$ kΩ, $R_D = 3$ kΩ, $R_L = 5$ kΩ y $V_{DD} = 12$ V. Determine lo siguiente cuando el transistor tiene una $I_{DSS} = 8$ mA, $R_1 = 400$ kΩ y $V_p = -4$ V:

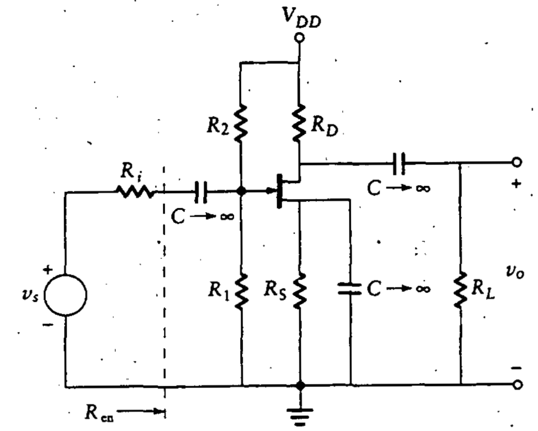


Figura PA4.1

a. R_S
b. A_v, R_{en} y A_i

PA4.5 Diseñe un amplificador DC utilizando un MOSFET de canal *n* con R_{en} = 120 kΩ, $A_i = 100$, $R_L = 500\ \Omega$, $V_{DD} = 20$ V, y el transistor seleccionado tiene $V_p = -5$ V e $I_{DSS} = 15$ mA. Utilice el circuito de la figura PA4.2 con $I_{DQ} = 0.6 I_{DSS}$ y $V_{DSQ} = V_{DD}/2$.

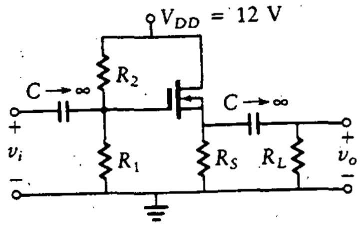


Figura PA4.2

5

ESTABILIDAD DE LA POLARIZACIÓN EN AMPLIFICADORES CON TRANSISTORES

5.0 INTRODUCCIÓN

Las variaciones de los parámetros, como aquellas debidas a cambios en la temperatura, envejecimiento y sustitución de dispositivos, provocan que la localización del punto de operación de un circuito con transistores se modifique con respecto a su valor nominal. A menudo se consume un considerable esfuerzo en reducir los efectos de estos cambios en los parámetros, ya que dichas variaciones pueden afectar de manera adversa el desempeño. Por ejemplo, un cambio en la localización del punto Q puede reducir la máxima excursión simétrica sin distorsión en la tensión de salida. En casos extremos, estos cambios pueden saturar o poner en corto el transistor sin que esté presente señal alguna en la entrada.

Los parámetros varían debido a cambios en la fuente de alimentación, y en la temperatura, y también debido a tolerancias en los procesos de fabricación del transistor. En este capítulo se estudian los efectos de estos cambios. Una vez entendidos tales efectos, se desarrollan ecuaciones para varias configuraciones de amplificadores discretos. Se dan diversos ejemplos de diseño. Posteriormente se analiza la compensación por diodo como un método para reducir los efectos de la variación de parámetros sobre la operación del circuito. El capítulo concluye con un resumen de los pasos de diseño necesarios para asegurar la estabilidad de la polarización.

5.1 TIPOS DE POLARIZACIÓN

En este capítulo se ilustran varias técnicas de polarización utilizando BJT. Estas mismas técnicas se pueden aplicar a los FET, aunque la motivación es algo diferente. Por ejemplo, la temperatura no afecta la operación del FET de la misma forma que lo hace con la operación del BJT.

El sistema de polarización por divisor de tensión es el que se utiliza comúnmente, y se comenta en el capítulo 2. Este método de polarización permite al amplificador operar cerca del punto de diseño deseado a pesar de las variaciones que se produzcan en el transistor.

Se analiza el concepto de retroalimentación con estas dos nuevas técnicas de polarización, aunque sólo se muestra que parte de la señal de salida se retroalimenta en la entrada. La intención es ilustrar otras dos técnicas útiles de polarización en cd de los circuitos con transistores. Los sistemas retroalimentados se exponen con más detalle en el capítulo 11, en seguida del tratamiento de los efectos de la frecuencia en los amplificadores.

5.1.1 Polarización por corriente

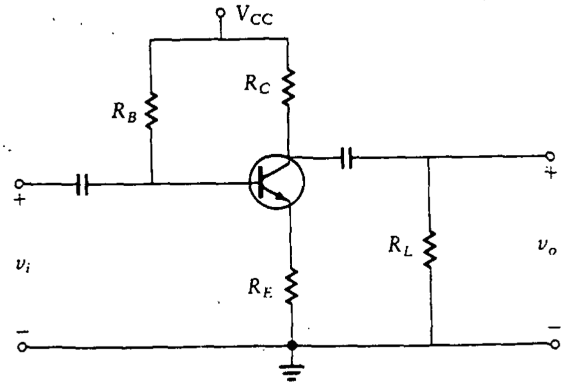
En la figura 5.1 se ilustra una forma de polarización con moderada estabilidad conocida como *retroalimentación de corriente*, donde la corriente de colector a través de R_E provoca una retroalimentación negativa de tensión. El resistor de base, R_B, se conecta a la fuente, V_{CC}. La ecuación de LTK para el lazo de corriente de polarización está dada por

$$V_{CC} = I_{BQ}R_B + R_E I_{CQ} + V_{BE}$$
$$= V_{BE} + I_{CQ}\left(\frac{R_B}{\beta} + R_E\right)$$

Se resuelve para I_{CQ} a fin de obtener

$$I_{CQ} = \frac{V_{CC} - V_{BE}}{R_B/\beta + R_E} \tag{5.1a}$$

Figura 5.1
Retroalimentación de corriente.



Dividiendo entre β, se obtiene

$$I_{BQ} = \frac{V_{CC} - V_{BE}}{R_B + \beta R_E} \tag{5.1b}$$

Nótese que el valor de I_{BQ} es afectado por R_B, R_E, V_{BE} y β. Los valores específicos de estos parámetros determinan entonces el punto de operación en reposo del transistor.

Se examinará la razón de llamar a esta configuración "retroalimentación de corriente". La *retroalimentación* se produce cuando un circuito se configura de tal manera que la entrada es afectada por la salida. En el circuito de la figura 5.1, el resistor de emisor proporciona una forma de retroalimentación. Si la corriente a través del colector tiende a aumentar, la tensión a través del resistor de emisor también aumenta. Para una tensión de entrada dada, v_{en}, este incremento en la tensión a través de R_E reduce la tensión base-emisor y, por tanto, también la corriente de base. Esto, a su vez, disminuye la corriente de colector para reducir el efecto del cambio original. Como este efecto está en contra del incremento en la corriente de colector, la situación se conoce como *retroalimentación negativa de corriente*. Al resistor de emisor se le puede colocar un capacitor en paralelo, quitando la retroalimentación para señales de ca y previniendo una reducción en la ganancia. El efecto en la estabilidad en cd está aún presente ([49], Cap. 12). De hecho, no se puede lograr estabilidad de la polarización debido a cambios en β ya que el transistor se llevará a saturación para cualquier valor razonable de ganancia de tensión.

5.1.2 Polarización por tensión y por corriente

Un segundo tipo de retroalimentación, que se muestra en la figura 5.2, es la *retroalimentación por tensión*. Nótese que la retroalimentación por corriente en paralelo está aún presente debido a R_E. Se obtiene un mejor desempeño cuando $R_E = 0$.

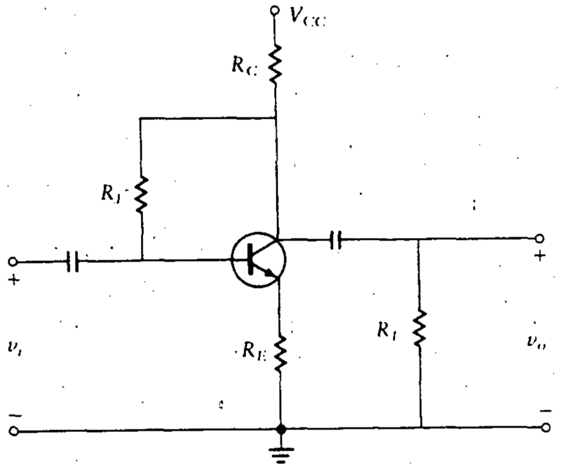
El resistor de retroalimentación, R_F, se conecta entre el colector y la base. La tensión de base a tierra está entonces compuesta de dos elementos, uno que surge por la tensión de entrada y otro por la tensión de colector. Se analiza este circuito escribiendo las ecuaciones en cd entre base y colector. En lo que sigue a continuación, se supone que la corriente de base estática es mucho menor que la corriente de colector estática, y por tanto se puede ignorar en las ecuaciones.

$$\begin{aligned} V_{CC} &= I_{CQ}R_C + I_{BQ}R_F + V_{BE} + I_{CQ}R_E \\ &= I_{CQ}R_C + I_{CQ}R_F/\beta + V_{BE} + I_{CQ}R_E \end{aligned}$$

Despejando I_{CQ}, se tiene

$$I_{CQ} = \frac{V_{CC} - V_{BE}}{R_C + R_E + R_F/\beta} \tag{5.2a}$$

Figura 5.2
Retroalimentación de tensión.



Dividiendo entre β, se obtiene

$$I_{BQ} = \frac{V_{CC} - V_{BE}}{R_F + \beta(R_C + R_E)} \tag{5.2b}$$

Nótese que β aparece en las ecuaciones (5.1) y (5.2). Por tanto, las variaciones en β afectan la localización del punto Q. En secciones posteriores de este capítulo se presentan técnicas para reducir los efectos de las variaciones en β. Se puede probar que es deseable hacer R_B igual a $0.1\beta R_E$ al utilizar circuitos de polarización por división de tensión, como se estudió en el capítulo 2. Sin embargo, en el circuito mostrado en la figura 5.1, utilizar $R_B = 0.1\beta R_E$ provoca que el transistor entre en saturación. La expresión equivalente del sistema de polarización de la figura 5.2 para reducir el efecto de los cambios en β es como sigue:

$$R_F = 0.1\beta(R_C + R_E)$$

Esto es un buen criterio de diseño para reducir los efectos de los cambios en β sobre la localización del punto Q, pero no siempre es posible alcanzar este valor de diseño ya que hacerlo reduce la máxima excursión en la salida.

Ejercicios

D5.1 Diséñese un amplificador EC para máxima excursión en la tensión de salida con ganancia de tensión de −10 y resistencia de salida de 10 kΩ. Utilícese el circuito mostrado en la figura 5.1 con $V_{CC} = 16$ V, $V_{BE} = 0.7$ V y $\beta = 100$.

Resp.: $R_C = 10\ \text{k}\Omega$; $R_E = 474\ \Omega$;
$R_B = 1.48\ \text{M}\Omega$

D5.2 Diséñese un amplificador EC con $A_v = -10$. Utilícese el circuito de la figura 5.2 con $R_L = 10\ \text{k}\Omega$, $V_{CC} = 16$ V, $V_{BE} = 0.7$ V y $\beta = 100$. Determínese también la máxima excursión no distorsionada en la tensión de salida.

Resp.: $R_C = 10\ \text{k}\Omega$; $R_E = 474\ \Omega$;
$R_F = 483\ \text{k}\Omega$
$v_{o(p-p)} = 9.0$ V

D5.3 Selecciónese un valor para R_F en el amplificador del ejercicio D5.2 para proporcionar estabilidad en la polarización contra cambios en β. ¿Cuál es la máxima excursión simétrica no distorsionada en la tensión de salida?

Resp.: $R_F = 105\ \text{k}\Omega$;
$v_{o(p-p)} = 2.85$ V

5.2 EFECTOS DE LOS CAMBIOS DE PARÁMETROS: ESTABILIDAD DE LA POLARIZACIÓN

Los cambios en la temperatura provocan que se modifiquen ciertos parámetros del transistor. En particular, los siguientes parámetros son sensibles a la temperatura:

1. La corriente de fuga del colector entre base y colector (I_{CBO})
2. La tensión base-emisor (V_{BE})

La fuente de alimentación, V_{CC}, y la β del transistor también varían, pero por lo general no son dependientes de la temperatura. En muchos casos, la fuente está suficientemente bien regulada, por lo que se pueden ignorar los cambios en V_{CC}. Sin embargo, se incluyen estos cambios para completar la derivación ([51], Cap. 4).

Las variaciones en β pueden ser significativas, pero las mayores variaciones no son provocadas por cambios en la temperatura. La causa más común son las variaciones aleatorias de dispositivo a dispositivo que se producen durante los procesos de manufactura.

Viendo primero los cambios con la temperatura, se observa que conforme ésta aumenta, las variaciones en los parámetros provocan que el punto Q se desplace hacia arriba (es decir, hay un aumento en I_{CQ}). Si la temperatura se reduce, el punto Q se desplaza hacia abajo (es decir, hay una disminución en I_{CQ}). Cualquier condición provoca que se reduzca la máxima excursión pico a pico en la tensión de salida, como se muestra en la figura 5.3.

La cantidad de variación en la corriente de colector se determina utilizando derivadas parciales. La corriente de colector es función de cuatro variables,

$$I_{CQ} = f(V_{BE}, I_{CBO}, \beta, V_{CC})$$

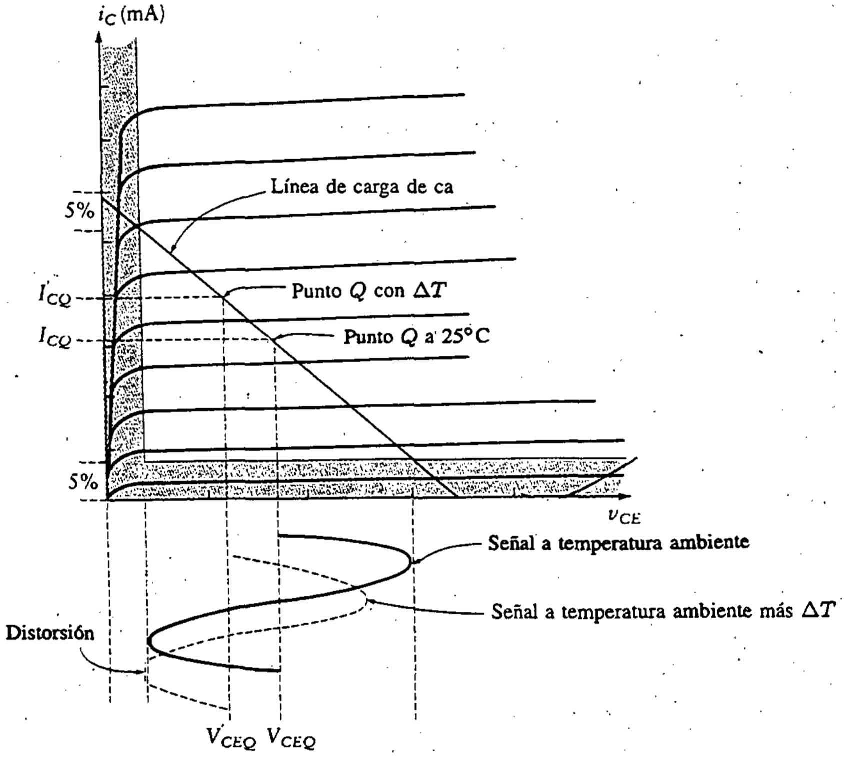


Figura 5.3
V_{CE} con cambios en la temperatura.

Para cambios pequeños en los parámetros, la variación en I_C está dada aproximadamente por

$$\Delta I_{CQ} = \frac{\partial I_{CQ}}{\partial V_{BE}}\Delta V_{BE} + \frac{\partial I_{CQ}}{\partial I_{CBO}}\Delta I_{CBO} + \frac{\partial I_{CQ}}{\partial \beta}\Delta\beta + \frac{\partial I_{CQ}}{\partial V_{CC}}\Delta V_{CC}$$

Se definen cuatro *constantes de variación* como las derivadas parciales de I_C con respecto a las cuatro variables. Estas constantes se denominan como δ_V, δ_I, δ_β y δ_{VCC}. Entonces, en términos de estas constantes, se obtiene

$$\Delta I_{CQ} = \delta_V \Delta V_{BE} + \delta_I \Delta I_{CBO} + \delta_\beta \Delta\beta + \delta_{VCC}\Delta V_{CC} \tag{5.3}$$

Se examinarán ahora las cuatro variables en la ecuación (5.3).

La variación, ΔV_{BE}, es el cambio en la tensión de la unión base-emisor. Ésta se comporta de la misma forma que la tensión a través de un diodo. Para transistores de silicio, la tensión varía entonces en forma lineal con la temperatura como

$$\Delta V_{BE} \approx -2(T_2 - T_1)\ \text{mV} \tag{5.4}$$

donde T_2 y T_1 están en grados Celsius.

La corriente de fuga entre el colector y la base (a veces denominada *corriente de saturación inversa*) es también función de la temperatura. La corriente de fuga colector a base, I_{CBO}, se duplica aproximadamente por cada 10° de aumento de temperatura. Esto se da por medio de la siguiente fórmula, donde I_{CBO1} es la corriente de fuga inversa a temperatura ambiente (25°).

$$I_{CBO2} = I_{CBO1} \times 2^{(T_2-25°C)/10}$$

$$\Delta I_{CBO} = I_{CBO2} - I_{CBO1} = I_{CBO1}\left[2^{(T_2-25°C)/10} - 1\right] \tag{5.5}$$

Como las variaciones primarias de los otros dos parámetros, V_{CC} y β, se deben a factores diferentes de la temperatura, la información acerca de la magnitud de estos cambios se debe especificar en el diseño.

En las siguientes secciones, se calculan los valores de las cuatro constantes de variación para las configuraciones EC y CC.

5.2.1 Configuración EC

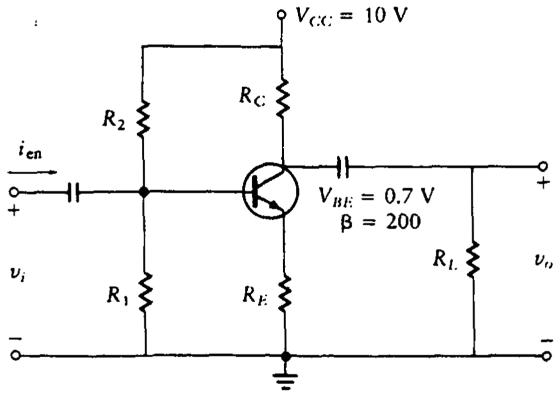
Se encuentra la constante de variación para V_{BE}, δ_V escribiendo en primer lugar la ecuación de LTK alrededor del lazo base-emisor. Remítase al circuito mostrado en la figura 5.4 donde, como en el capítulo 2, V_{BB} y R_B son los parámetros del equivalente de Thévenin para el circuito de polarización de la base. Esto es,

$$V_{BB} = \frac{V_{CC}R_1}{R_1 + R_2}$$

y

$$R_B = R_1 \parallel R_2$$

Figura 5.4
Amplificador EC.



Se obtiene entonces

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{R_E + R_B/\beta} \tag{5.6}$$

y

$$\delta_V = \frac{\partial I_{CQ}}{\partial V_{BE}} = -\frac{1}{R_E + R_B/\beta} \tag{5.7}$$

La constante de variación para I_{CBO}, δ_I, se desarrolla con base en la figura 5.5:

$$I_{CQ} = I'_{CQ} + I_{CBO}$$

y

$$I'_{CQ} = \beta(I_{BQ} + I_{CBO})$$

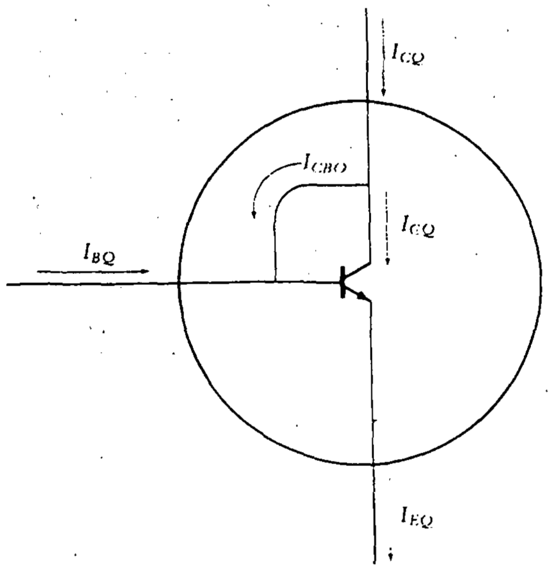
Entonces,

$$I_{CQ} = \beta(I_B + I_{CBO}) + I_{CBO} = \beta I_{BQ} + (\beta + 1)I_{CBO}$$

Si se supone que $1 + \beta \approx \beta$, entonces

$$I_{CQ} = \beta I_{BQ} + \beta I_{CBO}$$

Figura 5.5
Corriente en el transistor.



por tanto,

$$I_B = \frac{I_{CQ}}{\beta} - I_{CBO} \tag{5.8}$$

La ecuación del lazo base-emisor, la (5.6), se reescribe como sigue:

$$V_{BB} - V_{BE} = R_B I_{BQ} + R_E(I_{CQ} + I_{BQ})$$

En este caso, no se supone que $1 + \beta = \beta$ como en la derivación de la ecuación (5.6). Si se hiciera la suposición de que $1 + \beta = \beta$, entonces el término I_B estaría ausente del paréntesis. Sustituyendo la ecuación (5.8) para I_B, se tiene

$$V_{BB} - V_{BE} = (R_B + R_E)(I_{CQ}/\beta - I_{CBO}) + I_{CQ}R_E$$

Resolviendo para I_{CQ}, se obtiene

$$I_{CQ} = \frac{V_{BB} - V_{BE} + (R_B + R_E)I_{CBO}}{(R_B + R_E)/\beta + R_E} \tag{5.9}$$

y tomando la derivada parcial,

$$\delta_I = \frac{\partial I_{CQ}}{\partial I_{CBO}} = \frac{R_B + R_E}{(R_B + R_E)/\beta + R_E} = \frac{1}{1/\beta + R_E/(R_E + R_B)} \tag{5.10}$$

Si $R_B = 0.1\beta R_E$ y β es grande, se puede suponer que $R_B \gg R_E$. Bajo estas condiciones, δ_I está dado aproximadamente por

$$\delta_I = \frac{\beta}{1 + \beta R_E/R_B} \tag{5.11}$$

Se evalúa ahora la constante de variación para β. Aunque β varía con la temperatura, la variación predominante se debe a factores externos. El intervalo de valores suele incluirse en la hoja de especificaciones. El valor de β utilizado en las siguientes ecuaciones por lo general es el valor medio del intervalo dado.

Se comienza con la ecuación para la corriente de colector, ecuación (5.9), derivándola con respecto a β. Con un poco de álgebra se obtiene

$$\frac{\partial I_{CQ}}{\partial \beta} = \frac{(R_B + R_E)[V_{BB} - V_{BE} + (R_B + R_E)I_{CBO}]}{(R_B + R_E + \beta R_E)^2}$$

Si se pueden hacer las suposiciones: $R_B \gg R_E$, $\beta R_E \gg R_B$ y $R_B I_{CBO} \ll (V_{BB} - V_{BE})$, la ecuación se reduce a la siguiente forma:

$$\delta_\beta = \frac{\partial I_{CQ}}{\partial \beta} = \frac{R_B(V_{BB} - V_{BE})}{\beta^2 R_E^2} \tag{5.12}$$

Por último, la constante de variación asociada con los cambios en la fuente de alimentación V_{CC} se encuentra de la ecuación del lazo colector a emisor.

$$I_{CQ} = \frac{V_{CC} - V_{CE}}{R_E + R_C}$$

$$\delta_{VCC} = \frac{\partial I_{CQ}}{\partial V_{CC}} = \frac{1}{R_E + R_C} = \frac{1}{R_{cd}} \tag{5.13}$$

Colocando juntas todas estas relaciones, se encuentra que el cambio total en I_{CQ} es, de la ecuación (5.3),

$$\Delta I_{CQ} = \left[\frac{-1}{R_E + R_B/\beta}\right] \Delta V_{BE} + \left[\frac{\beta}{1 + \beta R_E/R_B}\right] \Delta I_{CBO} + \frac{R_B(V_{BB} - V_{BE})}{\beta^2 R_E^2} \Delta\beta + \frac{\Delta V_{CC}}{R_{cd}} \tag{5.14}$$

Esta ecuación se aplica a varios ejemplos para encontrar la variación que se produce en I_{CQ} cuando la temperatura aumenta o disminuye. Utilizando esta ecuación, se pueden precisar los términos que provocan los mayores cambios en I_{CQ}. Si la variación total es demasiado grande para aplicar el amplificador, la atención se centra en el término que provoca la mayor variación en I_{CQ}. Con base en la revisión de esta ecuación, se determina si el valor de un parámetro se debe elevar o bajar. Por ejemplo, si el segundo término es el mayor, quizá sea necesario seleccionar un transistor que tenga la menor corriente de fuga entre colector y base (I_{CBO}) o cambiar el diseño reduciendo R_B. Para temperaturas menores que la ambiente, todos los términos en la ecuación (5.14) se vuelven negativos; por tanto, provocan que I_{CQ} se vuelva más pequeña.

5.2.2 Configuración ES

El amplificador ES se muestra en la figura 5.6. La técnica de polarización para este amplificador es la misma que la del EC excepto porque el resistor de colector, R_C, es igual a cero. Entonces, la derivación está basada en la misma ecuación de polarización:

$$I_{CQ} = \frac{V_{BB} - V_{BE}}{R_B/\beta + R_E}$$

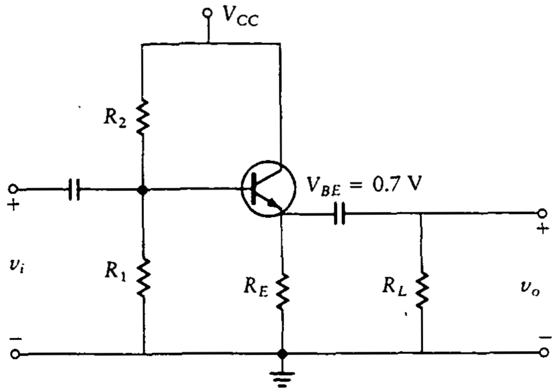


Figura 5.6
El amplificador ES.

Las constantes de variación son entonces iguales que las del emisor común excepto porque R_{cd} es simplemente igual a R_E en vez de $(R_E + R_C)$. Se utiliza otra vez la ecuación (5.14) para encontrar la variación en la corriente de colector estática.

5.3 EJEMPLOS DE VARIACIÓN DE PARÁMETROS

Ejemplo 5.1 Amplificador EC

Diséñese un amplificador EC con $A_v = -8$ y $R_L = 2$ kΩ. Determínese la máxima excursión no distorsionada en la tensión de salida si la temperatura cambia de 25°C a 85°C y $V_{CC} = 10$ V.

El transistor tiene una $I_{CBO} = 1$ μA a 25°C y β varía entre 150 y 250.

SOLUCIÓN Remítase a la sección 3.3 para el procedimiento de diseño, y sea

$$R_C = R_L = 2 \text{ k}\Omega$$

Las ecuaciones de diseño se pueden revisar en la tabla 3.1. Siguiendo la forma corta de estas ecuaciones, se encuentra

$$A_v = \frac{-(R_L \parallel R_C)}{R_E} = -8$$

Entonces

$$R'_E = \frac{(R_L \parallel R_C)}{8} = 125\ \Omega$$

$$R_L \parallel R_C = 1000\ \Omega$$
$$R_{ca} = R'_E + R_L \parallel R_C = 1125\ \Omega$$
$$R_{cd} = R'_E + R_C = 2125\ \Omega$$
$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{10}{125 + 2125} = 3.08\ \text{mA}$$
$$h_{ib} = \frac{26\ \text{mV}}{|I_{CQ}|} = \frac{26\ \text{mV}}{3.08\ \text{mA}} = 8.44\ \Omega$$

Se verifica que $h_{ib} \leq 0.1\,R_E$, por lo que se utilizan las ecuaciones simplificadas.

$$R_B = 0.1\beta R_E = 0.1(200)(125) = 2.5\ \text{k}\Omega$$
$$V_{BB} = I_{CQ}\left(\frac{R_B}{\beta} + R_E\right) + V_{BE}$$
$$= (3.08 \times 10^{-3})\left(\frac{2500}{200} + 125\right) + 0.7 = 1.12\ \text{V}$$

Ahora que el diseño está completo, se examinan las variaciones en los distintos parámetros. Utilizando la ecuación (5.4), se encuentra

$$\Delta V_{BE} = -2\Delta T = -2(60) = -120\ \text{mV}$$

De la ecuación (5.5), se tiene

$$\Delta I_{CBO} = I_{CBO1}(2^{60/10} - 1) = (1 \times 10^{-6})(63) = 63\ \mu\text{A}$$

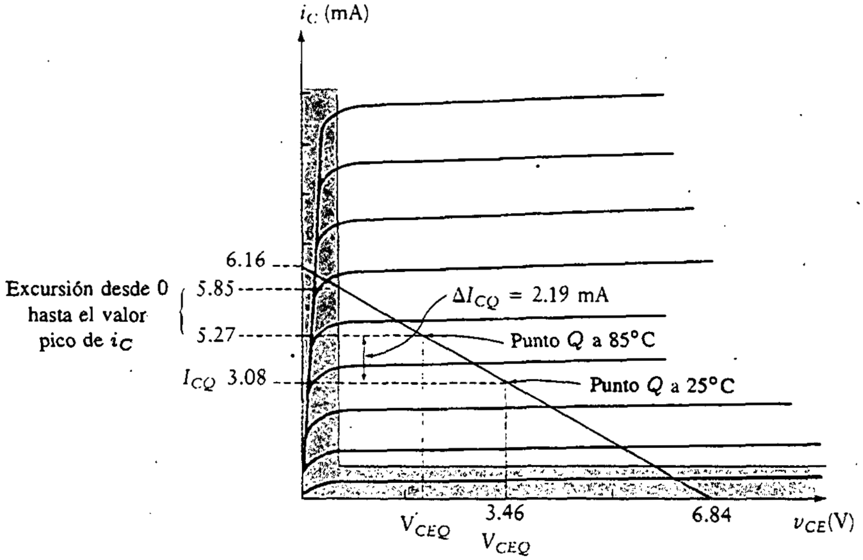
De la información dada, se tiene (no se menciona variación en V_{CC})

$$\Delta\beta = 100$$
$$\Delta V_{CC} = 0$$

De la ecuación (5.14), se obtiene la variación en I_{CQ}:

$$\Delta I_{CQ} = \left[\frac{-1}{125 + 2500/200}\right](-0.12)$$
$$+ \left[\frac{200}{1 + 200(125)/2500}\right](63 \times 10^{-6}) + \left[\frac{2500(1.12 - 0.7)}{200^2 125^2}\right]100$$
$$= 0.87\ \text{mA} + 1.15\ \text{mA} + 0.17\ \text{mA} = 2.19\ \text{mA}$$

Figura 5.7
Línea de carga del ejemplo 5.1.



El nuevo punto Q está, por tanto, en

$$I_{CQ} = 3.08 + 2.19 = 5.27 \text{ mA}$$

La figura 5.7, donde se ilustra la línea de carga, se puede utilizar para determinar cómo se reduce la excursión libre de distorsión al incrementar I_{CQ}. Se observa que la máxima amplitud no distorsionada de i_C es

$$(95\%)(6.16) = 5.85 \text{ mA}$$

La excursión total de corriente pico a pico sin distorsión es entonces

$$2(5.85 - 5.27) \text{ mA} = 1.16 \text{ mA}$$

La excursión total de tensión pico a pico es

$$1.16 \text{ mA} \times 1000 = 1.16 \text{ V}$$

La variación de los parámetros ha reducido la excursión pico a pico en la tensión de salida de 5.5 a 1.16 V. Más adelante en este capítulo se analizan métodos para disminuir estos cambios. Esta es una reducción extrema, y sería probablemente inaceptable en un diseño práctico.

Si se examina la ecuación para ΔI_{CQ}, se encuentra que el término que aporta el mayor cambio en I_{CQ} es ΔI_{CBO}. Si el cambio de 2.19 mA en I_{CQ} es más de lo que se puede tolerar, se debe reducir el término de 1.15 mA ya que es el principal

causante del cambio en I_{CQ}. Se pueden llevar a cabo varias acciones para reducir este valor. Por ejemplo, es posible seleccionar un transistor diferente con una I_{CBO} menor. De forma alterna, se puede reducir el cambio total de temperatura en el amplificador reduciendo, por tanto, el término ΔI_{CBO}. También es posible reducir aún más R_B o aumentar R_E. Estas acciones cambian la ganancia de corriente y la impedancia de entrada, pero como la especificación del diseño no dice nada acerca de la impedancia de entrada y la ganancia de corriente, esto se puede ver como una opción viable.

Ejemplo 5.2 Amplificador ES

Diséñese un amplificador ES (véase Fig. 5.6) con $A_i = 10$, $I_{CBO1} = 10\ \mu A$ a 25°C, $V_{BE} = 0.7$ V a 25°C, y $R_L = 200\ \Omega$. La temperatura varía entre 25°C y 85°C, mientras que β lo hace entre 80 y 120. La fuente de tensión varía entre 17.5 y 18.5 V.

SOLUCIÓN Remítase al capítulo 3 y a la tabla 3.1 para las ecuaciones de diseño necesarias. Se inicia con

$$R_E = R_L = 200\ \Omega.$$

Entonces

$$A_i = \frac{R_B}{R_L} = 10$$

que da lo siguiente:

$$R_B = 2\ \text{k}\Omega$$

$$R_{ca} = R_E \parallel R_L = 100\ \Omega$$

$$R_{cd} = R_E = 200\ \Omega$$

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{18}{100 + 200} = 60\ \text{mA}$$

$$h_{ib} = \frac{26\ \text{mV}}{|I_{CQ}|} = \frac{26\ \text{mV}}{60\ \text{mA}} = 0.43\ \Omega$$

Para justificar la utilización de la forma corta para la expresión de A_i, se deben verificar dos condiciones:

$$h_{ib} \leq 0.1R_E$$
$$R_B \leq 0.1\beta(R_E \parallel R_L)$$

La primera de estas dos condiciones se cumple, no así la segunda. Por tanto, la expresión en forma corta *no* es válida. Se utilizará entonces la forma larga. Se justifica, sin embargo, la omisión de h_{ib} de la expresión.

$$A_i = 10 = \frac{R_B}{R_B/\beta + R_E \parallel R_L} \times \frac{R_E}{R_E + R_L}$$

entonces

$$R_B = 2.5\ \text{k}\Omega$$
$$V_{BB} = V_{BE} + I_{CQ}(R_B/\beta + R_E)$$
$$= 0.7 + (60 \times 10^{-3})\left(\frac{2500}{100} + 200\right) = 14.2\ \text{V}$$

El cálculo de las variaciones de parámetros basado en las condiciones dadas produce

$$\Delta V_{BE} = -2\Delta T = -2(60) = -120\ \text{mV}$$
$$\Delta I_{CBO} = I_{CBO1}(2^{(T_2 - 25°\text{C})/10} - 1)$$
$$= (10 \times 10^{-6})(2^{60/10} - 1) = 0.63\ \text{mA}$$
$$\Delta\beta = 40$$
$$\Delta V_{CC} = 1$$

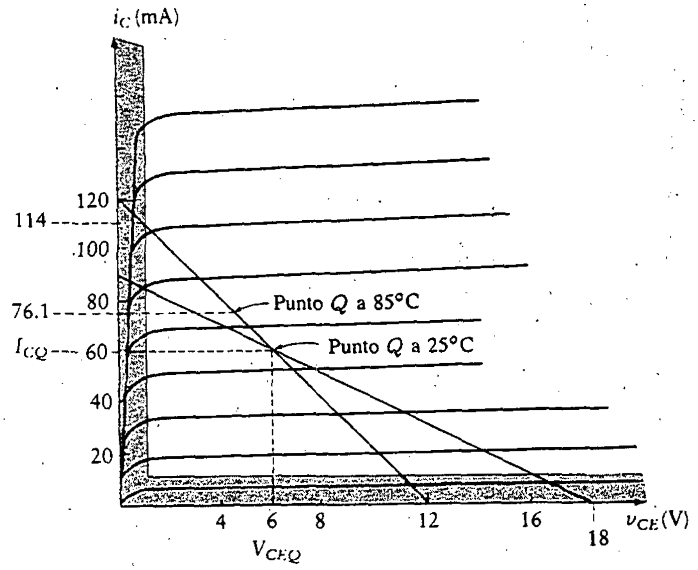
Se encuentra ΔI_{CQ} utilizando la ecuación (5.14), donde se utiliza el valor β promedio de 100.

$$\Delta I_{CQ} = \frac{-1}{200 + 2500/100}(-0.12) + \frac{100}{1 + 100(200)/2500}(0.63 \times 10^{-3})$$
$$+ \frac{2500(13.5)}{100^2 200^2}(40) + \frac{1}{200}(1)$$
$$= 0.53\ \text{mA} + 7\ \text{mA} + 3.38\ \text{mA} + 5\ \text{mA} = 15.9\ \text{mA}$$

Este cambio en I_{CQ} se muestra en la figura 5.8. Se encuentra que la máxima excursión de corriente de cero al pico es

$$i_{C_p} = 120 \times 0.95 - (60 + 15.9) = 38.1\ \text{mA}$$

Figura 5.8
Línea de carga para el ejemplo 5.2.



y la máxima excursión no distorsionada en la tensión de la carga de salida es

$$2(38.1)(100) = 7.62 \text{ V pico a pico}$$

Esto representa una reducción en la excursión de la tensión de salida de 10.8 a 7.62 V.

Ejemplo 5.3 Amplificador EC

Diséñese un amplificador EC (véase Fig. 5.4) con $A_v = -10$, $R_L = 1$ kΩ y $V_{CC} =$ 12 V. La temperatura varía entre −50°C y +65°C. El transistor seleccionado tiene $V_{BE} = 0.7$ V e $I_{CBO1} = 1.5$ μA a 25°C y una β que varía entre 300 y 400. ¿Cuál es la máxima excursión no distorsionada en la corriente de colector?

SOLUCIÓN Se comienza el diseño haciendo

$$R_C = R_L = 1 \text{ k}\Omega$$

Se utilizan nuevamente las ecuaciones en forma corta resumidas en la tabla 3.1.

$$A_v \frac{-(R_L \parallel R_C)}{R_E} = -10$$

entonces

$$R_E = 50\ \Omega$$

$$R_{ca} = R_E + R_C \parallel R_L = 550\ \Omega$$

$$R_{cd} = R_C + R_E = 1050\ \Omega$$

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{12}{550 + 1050} = 7.5\ \text{mA}$$

$$h_{ib} = \frac{26\ \text{mV}}{|I_{CQ}|} = \frac{26\ \text{mV}}{7.5\ \text{mV}} = 3.47\ \Omega$$

Como $h_{ib} \leq 0.1R_E$, se justifica la utilización de las ecuaciones en forma corta, por lo que se continúa con el diseño haciendo $R'_E = R_E = 50\ \Omega$.

$$R_B = 0.1\ \beta R_E = 0.1(350)(50) = 1.75\ \text{k}\Omega$$

$$V_{BB} = I_{CQ}(R_B/\beta + R_E) + V_{BE}$$

$$= (7.5 \times 10^{-3})\left(\frac{1750}{350} + 50\right) + 0.7 = 1.11\ \text{V}$$

Como la temperatura varía de abajo de 25°C hacia arriba, el análisis se debe dividir en dos partes. Para el cambio de temperatura de 25° a 65°C, en primer lugar se encuentran las variaciones dependientes de la temperatura en I_{CBO} y V_{BE}.

$$\Delta T = 40°\text{C}$$

$$\Delta I_{CBO} = I_{CBO1}(2^{40/10} - 1) = (1.5 \times 10^{-6})(15) = 22.5\ \mu\text{A}$$

$$\Delta V_{BE} = -2(40) = -80\ \text{mV}$$

La variación en β es

$$\Delta\beta = 100$$

Como el problema no dice nada acerca de variaciones en V_{CC}, se supone que

$$\Delta V_{CC} = 0$$

El cambio en I_{CQ} se encuentra ahora de la ecuación (5.14).

$$\Delta I_{CQ} = \frac{-1}{50 + 1750/350}(-0.08) + \frac{350}{1 + 350(50)/1750}(22.5 \times 10^{-6}) + \frac{1750(1.11 - 0.7)}{350^2 50^2}(100)$$

$$\Delta I_{CQ} = 1.45 \text{ mA} + 0.72 \text{ mA} + 0.23 \text{ mA} = 2.4 \text{ mA}$$

Para el cambio de temperatura de 25° a −50°C,

$$\Delta T = -75°\text{C}$$

$$\Delta I_{CBO} = I_{CBO1}(2^{-75/10} - 1)$$

$$= (1.5 \times 10^{-6})(-0.99) = -1.49\ \mu\text{A}$$

$$\Delta V_{BE} = -2(-50 - 25) = 150 \text{ mV}$$

El cambio en I_{CQ} es entonces

$$\Delta I_{CQ} = \frac{-1}{50 + 1750/350}(0.15) + \frac{350}{1 + 350(50)/1750}(-1.49 \times 10^{-6}) + \frac{1750(1.11 - 0.7)}{350^2 50^2}(100)$$

$$= -2.73 \text{ mA} - 0.05 \text{ mA} + 0.23 \text{ mA} = -2.25 \text{ mA}$$

Ahora que se han calculado las variaciones en ambas direcciones, es necesario encontrar la nueva excursión simétrica máxima en la corriente de colector. El cambio en la corriente de colector estática en la dirección positiva es 2.4 mA, mientras que el cambio negativo es 2.55 mA. Así, con el punto Q original en el centro de la línea de carga, el cambio negativo mueve el punto más cerca de la región no lineal que el cambio positivo. La excursión negativa es, por tanto, el factor limitante para la máxima excursión simétrica. Después del movimiento en la dirección negativa, el nuevo punto Q está en

$$I_{CQ} = (7.5 - 2.55) \text{ mA} = 4.95 \text{ mA}$$

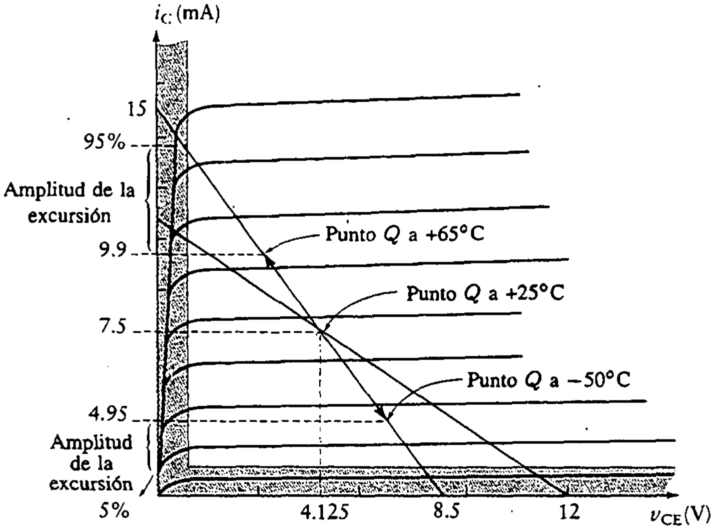
Si se evita el 5% de la parte baja de la línea de carga debido a las no linealidades, la máxima amplitud en la excursión de corriente es

$$(4.95 - 5\% \times 15) \text{ mA} = 4.2 \text{ mA}$$

Por tanto, la excursión total pico a pico tiene el doble de esta cantidad, u 8.4 mA. Ésta es la máxima corriente de colector pico a pico para una salida libre de distorsión y se ilustra en la figura 5.9. La máxima excursión en la tensión de salida se reduce de 6.75 V a 4.2 V.

En este diseño, el primer término de la ecuación de ΔI_{CQ} es el mayor. Por tanto, el efecto de la temperatura en V_{BE} provoca el mayor cambio en I_{CQ}. Si la cantidad de reducción en la excursión simétrica de la salida no fuera aceptable, una

Figura 5.9
Línea de carga del ejemplo 5.3.



solución sería tratar de reducir el primer término de la expresión. Esto se puede lograr colocando el amplificador en un lugar más frío o propiciando la eliminación de calor del transistor.

Ejercicios

D5.4 Determínese la variación en I_{CQ} para un amplificador E_C que se diseñó utilizando los siguientes criterios: $A_v = -10$, $R_L = 4$ kΩ, $R_{en} = 5$ kΩ e $I_{CBO} =$ 0.1 μA a 25°C. El valor de β varía de 100 a 300 y la temperatura cambia de 25° a 85°C (véase Fig. 5.4).

Resp.: I_{CQ} comienza en 1.56 mA y aumenta a 2.58 mA a 85°C

D5.5 ¿Cuál es la máxima excursión simétrica no distorsionada en la tensión de salida para el amplificador del ejercicio D5.4?

Resp.: 1.54 V pico a pico

D5.6 Si el amplificador del ejercicio D5.4 se diseñara para operar de −25°C a +25°C, ¿cuál sería la variación en I_{CQ}?

Resp.: I_{CQ} disminuye en 0.757 mA

D5.7 ¿Cuál es la máxima excursión simétrica sin distorsión en la tensión de salida para el amplificador del ejercicio D5.6?

Resp.: 2.57 V pico a pico

D5.8 Diséñese un amplificador ES para $R_L = 50\ \Omega$, $A_i = 15$, $V_{CC} = 15$ V, $V_{BE} = 0.7$ V e $I_{CBO1}(25°C) = 2\ \mu A$. β varía de 75 a 125 y la fuente de tensión varía en ± 1 V. El amplificador está diseñado para operar a 100°C. ¿Cuánto vale I_{CQ} a 100°C y a 25°C?

Resp.: $I_{CQ}(25°C) = 200$ mA; $I_{CQ}(100°C) = 275$ mA

D5.9 ¿Cuál es la máxima excursión simétrica no distorsionada en la tensión para el amplificador del ejercicio D5.8 si la temperatura es de 100°C?

Resp.: 5.25 V pico a pico

5.4 COMPENSACIÓN POR DIODO

Los ejemplos de la sección anterior muestran que los cambios en la temperatura pueden afectar bastante la ubicación del punto Q. La *compensación por diodo* es una técnica útil para reducir los efectos en I_{CQ} por cambios en la temperatura. Se selecciona un diodo que tenga características de temperatura similares a las del transistor. Puede, de hecho, ser la unión de un transistor idéntico. Este diodo se conecta en el circuito, como se muestra en la figura 5.10.

La adición de este diodo en el circuito de la base compensa los cambios debidos a la variación en la temperatura, ya que V_γ varía de la misma forma que V_{BE}. R_f es la resistencia en directo del diodo. Cuando la característica del diodo y la de la unión base-emisor son iguales, entonces, si la temperatura cambia, tanto V_γ como V_{BE} cambian al mismo ritmo. Con una selección adecuada del diodo, se reducen los efectos de la variación en V_{BE}. La nueva ecuación de polarización para la tensión base a tierra es

$$V_B = V_\gamma + I_D R_f = V_{BE} + I_{CQ} R_E$$

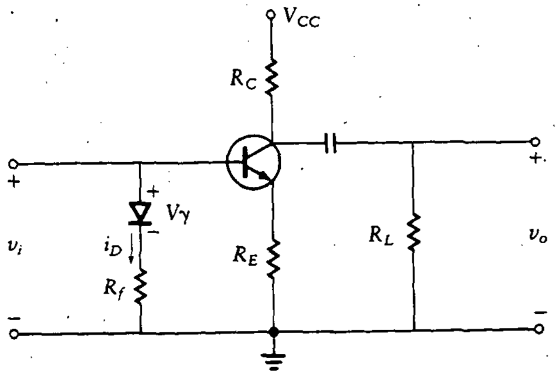


Figura 5.10
Compensación por diodo simple.

Resolviendo para I_{CQ}, se tiene

$$I_{CQ} = \frac{(V_\gamma - V_{BE} + I_D R_f)}{R_E}$$

La temperatura afecta tanto a V_γ como a V_{BE}. Se desprecia el término $I_D R_f$ ya que es mucho menor que $(V_\gamma - V_{BE})$ y la variación de I_D es pequeña. La variación de I_{CQ} con la temperatura se encuentra tomando la derivada parcial como sigue:

$$\frac{\partial I_C Q}{\partial T} \doteq \frac{\partial V_\gamma/\partial T - \partial V_{BE}/\partial T}{R_E} \tag{5.15}$$

Si

$$\frac{\partial V_\gamma}{\partial T} = \frac{\partial V_{BE}}{\partial T}$$

entonces

$$\frac{\partial I_{CQ}}{\partial T} = 0$$

Por tanto, I_{CQ} es esencialmente independiente de los cambios en la temperatura.

Se hará un análisis similar para el ejemplo mostrado en la figura 5.11(a). Este circuito está polarizado de una manera diferente de la del circuito anterior. Se comienza el análisis encontrando el equivalente de Thévenin para el circuito de polarización. En la figura 5.11(b) se ilustra el circuito conectado a la base del transistor. Para encontrar la tensión de circuito abierto de la base a tierra, primero se encuentra la corriente del diodo.

$$I_D = \frac{V_{CC} - V_\gamma}{R_1 + R_2 + R_f}$$

La tensión de Thévenin, V_{TH}, está dada entonces por

$$\begin{aligned} V_{TH} &= I_D R_1 + V_\gamma + I_D R_f \\ &= \frac{V_{CC}(R_1 + R_f) + V_\gamma R_2}{R_1 + R_2 + R_f} \end{aligned}$$

y si $R_f \ll R_1$,

$$= \frac{V_{CC} R_1 + V_\gamma R_2}{R_1 + R_2}$$

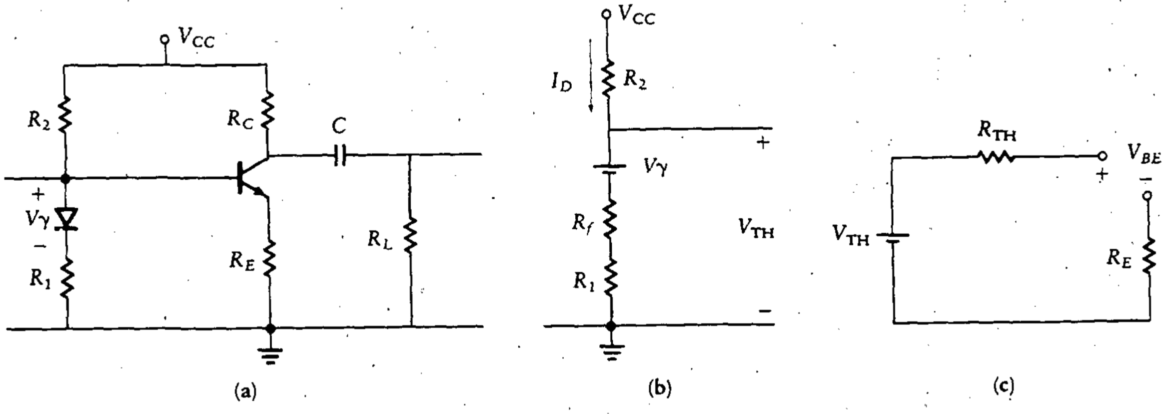


Figura 5.11 Compensación por diodo.

La resistencia de Thévenin es la combinación en paralelo de R_2 con R_1.

$$R_{TH} = R_2 \parallel R_1$$

El equivalente del circuito de polarización se muestra en la figura 5.11(c). La corriente de base estática se encuentra como sigue:

$$I_{BQ} = \frac{V_{TH} - V_{BE}}{R_{TH} + \beta R_E}$$

La corriente de colector estática se encuentra multiplicando la corriente de base por β. Con la sustitución de las expresiones anteriores, se obtiene

$$I_{CQ} = \frac{V_{TH} - V_{BE}}{R_{TH} /\beta + R_E}$$
$$= \frac{[V_{CC}R_1 + V_\gamma R_2]/(R_1 + R_2) - V_{BE}}{R_{TH}/\beta + R_E}$$

La sensibilidad de este circuito a variaciones de la temperatura se encuentra formando la derivada parcial, $\partial I_{CQ}/\partial T$ como sigue:

$$\frac{\partial I_{CQ}}{\partial T} = \frac{[R_2/(R_1 + R_2)]\partial V_\gamma/\partial T - \partial V_{BE}/\partial T}{R_{TH} /\beta + R_E}$$

Ahora, si $R_2 \gg R_1$, esto se simplifica para tener

$$\frac{\partial I_{CQ}}{\partial T} \approx \left(\frac{\partial V_\gamma}{\partial T} - \frac{\partial V_{BE}}{\partial T}\right)\left(\frac{1}{R_{TH}/\beta} + R_E\right) \quad (5.16)$$

Esto muestra que si la característica de temperatura del diodo es similar a la característica de temperatura base-emisor, I_{CQ} es esencialmente independiente de cambios con la temperatura.

5.4.1 Compensación por doble diodo

En el *compensador por diodo simple* de la figura 5.10, la corriente en el diodo no es necesariamente igual a la corriente en la unión del transistor. Por tanto, aunque las características del diodo podrían ser similares a las de la unión base-emisor, no es seguro que las condiciones de operación sean idénticas. Si se utilizan dos diodos, como se muestra en la figura 5.12, se elimina este problema y se logra una mejor compensación. Se llega al circuito equivalente en dos pasos, como se muestra en la figura 5.12(b) y (c). La primera simplificación se realiza encontrando el equivalente de Thévenin para el circuito de polarización. La segunda simplificación requiere encontrar un segundo equivalente de Thévenin, donde cada diodo se reemplaza por una fuente de cd de V_γ volts. Al hacer esta sustitución se supone que las dos resistencias en directo de los diodos están incluidas en un resistor adicional, R_D. La tensión de Thévenin se encuentra utilizando la superposición como sigue:

$$V_{TH} = \frac{2V_\gamma R_B + R_D V_{BB}}{R_B + R_D}$$

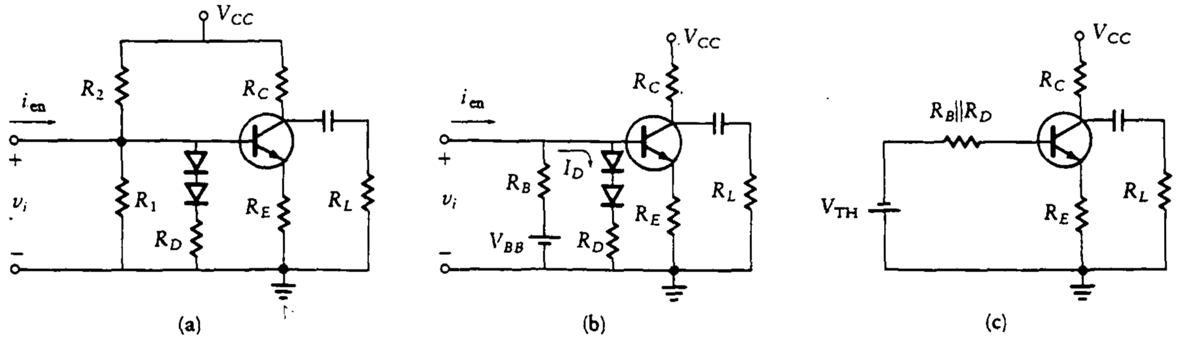
La resistencia de Thévenin es R_B en paralelo con R_D.

$$R_{TH} = R_B \parallel R_D$$

La ecuación del lazo base-emisor da

$$I_{CQ} = \frac{V_{TH} - V_{BE}}{R_E + (R_B \parallel R_D)/\beta}$$

Figura 5.12 Compensación por diodo doble.



Si $(R_B \parallel R_D)/\beta \ll R_E$, entonces I_{CQ} está dada aproximadamente por

$$I_{CQ} = \frac{V_{\mathrm{TH}} - V_{BE}}{R_E}$$

Sustituyendo la expresión para V_{TH}, se tiene

$$I_{CQ} = \frac{\dfrac{2V_\gamma R_B + R_D V_{BB}}{R_B + R_D} - V_{BE}}{R_E}$$

y la variación con la temperatura está dada por

$$\frac{\partial I_{CQ}}{\partial T} = \frac{\partial V_\gamma}{\partial T}\frac{2R_B}{(R_B + R_D)R_E} - \frac{\partial V_{BE}}{\partial T}\frac{1}{R_E} \tag{5.17}$$

Si se hace $R_B = R_D$, entonces la ecuación (5.17) se convierte en

$$\frac{\partial I_{CQ}}{\partial T} = \frac{1}{R_E}\left[\frac{\partial V_\gamma}{\partial T} - \frac{\partial V_{BE}}{\partial T}\right]$$

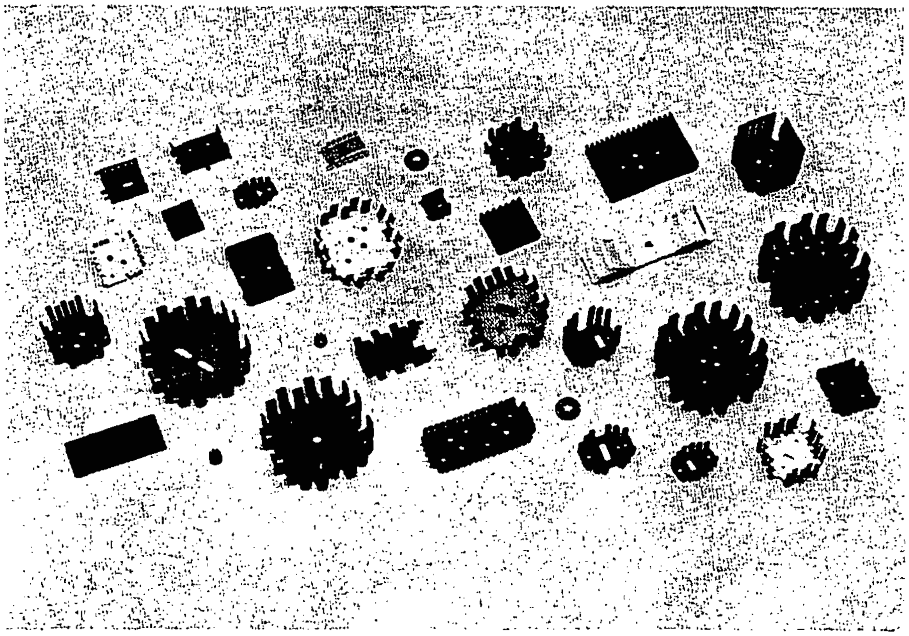
Si la característica del diodo es similar a la de la unión base-emisor, esta expresión se reduce a cero y se alcanza una compensación de temperatura más precisa. Para asegurar que las características sean similares, los diodos y el transistor se pueden fabricar en el mismo circuito integrado.

5.5 REDUCCIÓN DE LAS VARIACIONES EN LA TEMPERATURA

Cambiar la temperatura de cualquier dispositivo electrónico cambia sus características de operación. Un aumento en la temperatura puede inclusive hacer que el dispositivo falle. Por tanto, es importante para el diseñador considerar la temperatura de operación de los dispositivos utilizados en un sistema.

Para los BJT, un aumento de la temperatura en la unión provoca un aumento de I_{CQ}, reduciendo por tanto la máxima excursión en la tensión de salida.

Los aumentos en la temperatura pueden estar provocados ya sea por calor externo o interno que se genera al operar el dispositivo a niveles altos de corriente. La capacidad del transistor está limitada por la temperatura permisible en la unión especificada por el fabricante. Es responsabilidad suya como diseñador asegurar que su diseño no permita que la temperatura de la unión no exceda el valor máximo especificado, o el desempeño se verá deteriorado. También es importante que



Disipadores de calor. Cortesía de International Electronic Research Corporation, Burbank, California

su diseño no permita que el dispositivo opere cerca de la temperatura máxima permitida, o la confiabilidad del dispositivo se reducirá.

Algunos transistores tienen características de disipación de potencia o niveles de corriente que no se pueden alcanzar manteniendo la temperatura de la unión dentro de los límites permitidos. Existen dos formas de evitar que la temperatura se eleve demasiado: enfriamiento activo y pasivo. El *enfriamiento activo* implica el uso de ventiladores o acondicionadores. Dichos sistemas son caros y voluminosos pero son necesarios cuando se requiere la disipación de grandes cantidades de calor. La técnica más barata es utilizar disipadores de *enfriamiento pasivo* que emplean superficies metálicas para conducir, y a veces radiar, el calor al medio ambiente. Para aumentar la disipación de calor, se pueden añadir aletas al disipador metálico para aumentar el área en contacto con el medio ambiente. A veces se utiliza un chasis metálico como soporte para los componentes electrónicos a manera de un disipador económico y efectivo. Si el problema es el frío y no el calor, se pueden obtener resultados similares utilizando calentadores.

Los transistores de potencia y otros dispositivos de alta corriente requieren de la disipación de grandes cantidades de calor. Estos dispositivos de alta potencia se empaquetan de tal forma que se permita el contacto entre una superficie metálica y un disipador externo de calor. En muchos casos, la superficie metálica del dispositivo está conectada a alguna terminal. Por ejemplo, los transistores de potencia tienen sus empaques conectados al colector. Para transistores de silicio en empaque metálico, la temperatura de la unión es generalmente 200°C. Cuando los transistores tienen empaque de plástico, la temperatura de la unión es de 150°C.

Para determinar si un disipador en particular es adecuado para utilizarlo en su diseño, son necesarios algunos cálculos simples. Se utiliza la información de las hojas de especificación para el transistor y el disipador seleccionado. Ejemplos de disipadores comunes se muestran en la foto. La resistencia térmica, θ, que se define como la elevación de calor dividida entre la potencia transferida, es una constante independiente de la temperatura. Depende solamente de las propiedades mecánicas de la unión. Cuando se tienen varias uniones en serie, la resistencia térmica total es la suma de las resistencias individuales. Nótese que a menor resistencia térmica, mejor es la transferencia de calor. Cuando se coloca un disipador a un transistor, la resistencia térmica total del sistema es la suma de la resistencia térmica de la unión al empaque del transistor, θ_{jc}; la resistencia térmica del empaque al disipador, θ_{cs}; y la resistencia térmica del disipador al medio ambiente, θ_{sa}. Por tanto, la temperatura de la unión del transistor se puede determinar a través de la siguiente fórmula:

$$T_j = T_a + (\theta_{jc} + \theta_{cs} + \theta_{sa})P$$

donde T_a es la temperatura del transistor en grados Celsius y P es la potencia disipada por el transistor. El disipador de calor se debe elegir para evitar la operación del transistor cerca de la máxima temperatura de operación de la unión, ya que la vida del transistor decrece rápidamente cuando las temperaturas de operación están cerca del máximo.

Ejemplo

Determine si un disipador con θ_{sa} de 3.3°C/W (de las especificaciones del disipador) mantendrá la temperatura por debajo del máximo permitido cuando el transistor opera en un medio con temperatura de 60°C. La resistencia térmica de la unión al empaque, θ_{jc}, es 1.5°C/W, la máxima temperatura de la unión es 200°C, y el transistor está en un empaque TO-3 (véanse las especificaciones del fabricante). El empaque TO-3 tiene una θ_{cs} de 0.3°C/W cuando el transistor está montado con una mica aislante y un compuesto conductor de calor entre el empaque y el disipador de calor (de las especificaciones del empaque). La potencia del transistor, $P_{(\text{transistor})}$, operando en este circuito es 21 W.

SOLUCIÓN Utilizando la ecuación anterior, se obtiene

$$T_j = 60 + (1.5 + 0.3 + 3.3)21 = 167°\text{C}$$

Por tanto, este disipador de calor es adecuado para mantener la temperatura de la unión por debajo del máximo permitido.

5.6 DISEÑO PARA LA ESTABILIDAD DE LA POLARIZACIÓN DE AMPLIFICADORES CON BJT

Para reducir los efectos de las variaciones de parámetros en la localización del punto Q, la atención se debe concentrar en la reducción de cada término de la ecuación (5.14). El método de diseño para conseguir este objetivo está delineado por los cuatro pasos siguientes.

1. Utilizar compensación por diodo para eliminar los cambios que se producen en V_{BE} por cambios en la temperatura. Los cambios en V_{BE} son a menudo significativos y provocan un gran cambio en I_{CQ}. Al utilizar compensación por diodo es importante que las características de los diodos sean similares a las de la V_{BE} del transistor.
2. Seleccionar un transistor con baja I_{CBO} de manera que el cambio en la temperatura no afecte de forma significativa a I_{CQ}.
3. Asegurarse de que el diseño reduce el efecto de los cambios en β. Por ejemplo, con polarización por divisor de tensión, R_B debe ser menor que $0.1\beta R_E$. Esto reduce el efecto de cambios en β, como se puede ver en el tercer término de la ecuación (5.14).
4. Utilizar una fuente de alimentación bien regulada para reducir el cambio en V_{CC}.

5.7 EFECTOS DE LA TEMPERATURA EN FET

Los cambios de temperatura provocan grandes variaciones en el punto de polarización de los BJT. Afortunadamente, la inestabilidad por temperatura no es un gran problema en amplificadores con FET. Sin embargo, la corriente de drenaje se afecta un poco por las variaciones en la temperatura. Los aumentos en la temperatura provocan que se incremente la corriente de fuga de compuerta a fuente de un FET, duplicándose por cada 10°C de aumento en la temperatura.

El aumento en la temperatura de un amplificador con FET tiende a disminuir la movilidad de los portadores de carga en el canal del FET. El efecto de un menor número de portadores de carga es reducir la corriente de drenaje. Sin embargo, el aumento de temperatura también adelgaza la región desértica, lo cual tiende a aumentar la corriente de drenaje. Estos dos efectos se oponen entre sí, dando por tanto al FET su coeficiente de temperatura relativamente bajo.

Para algunos tipos de FET, el fabricante especifica una corriente de drenaje estática, la cual, cuando se utiliza, da un coeficiente de temperatura cercano a cero. Esto resulta por la conductividad disminuida del canal.

Como el coeficiente de temperatura no es cero, es una buena práctica considerar la estabilidad de la polarización en todo diseño de circuitos. Un método simple es

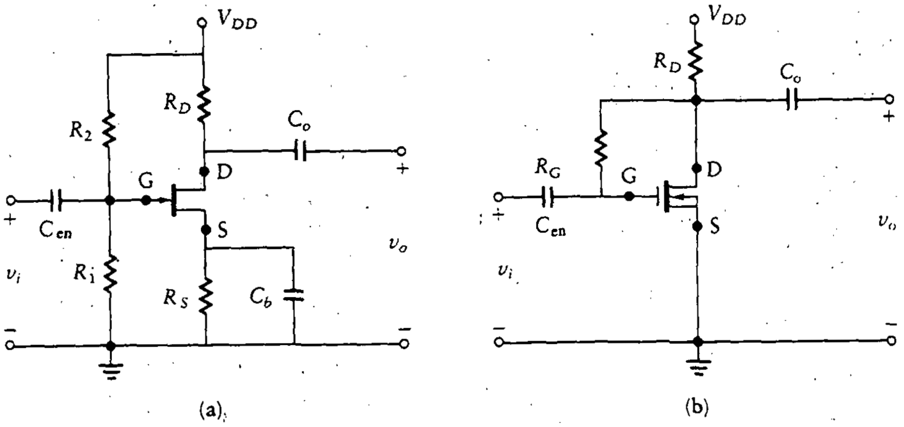


Figura 5.13
Amplificador FET.

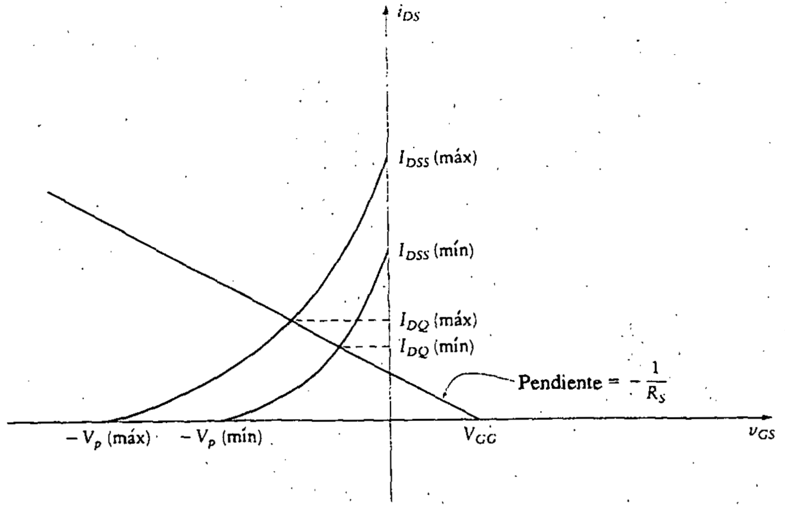


Figura 5.14
Curvas de operación del FET.

utilizar un resistor de fuente, que provoca una retroalimentación negativa. Esto se muestra en la figura 5.13(a). Cuando la corriente de drenaje aumenta, v_s se vuelve más positiva, provocando que v_{GS} se torne más negativa. Por tanto, conforme i_D aumenta, v_{GS} se vuelve más negativa. Esto tiende a disminuir i_D. El resultado es que la cantidad de cambio en i_D se reduce. Esto se ilustra de forma gráfica en la figura 5.14. En general, el fabricante proporciona un intervalo de valores de V_p e I_{DSS}. Como se muestra en la figura 5.14, la curva $v_{GS} - i_D$ se utiliza para tomar en cuenta los dos extremos de estos valores. Nótese que si el valor del resistor de fuente aumenta, la variación en i_D disminuye. Esto permite diseñar el amplificador para reducir los efectos de cambios en la corriente de drenaje. Un valor típico para R_S que proporciona una desviación razonable en I_{DQ} es 10% del valor de R_D ([34], Sec. 11.17).

La estabilidad de la polarización en los MOSFET se proporciona de la misma manera. Sin embargo, se puede utilizar un circuito más simple, como se muestra en la figura 5.13(b). Un aumento en i_D provoca que v_{DS} disminuya. Reduciendo

v_{DS} disminuye v_{GS}, y por tanto la tendencia es a disminuir el aumento original en i_D. Ésta es una forma de retroalimentación negativa ([51], Sec. 4.5).

Ejemplo 5.4

Determínense los resistores de fuente y drenaje para un amplificador JFET (véase Fig. 4.15(a)) que sólo permita un 10% de variación en I_{DQ} para las siguientes especificaciones:

- V_p varía de 5 V a 8 V
- I_{DSS} varía de 7 mA a 10 mA
- El valor nominal de I_{DQ} es 5 mA
- $V_{DD} = 12$ V
- $V_{DSQ} = 4$ V

SOLUCIÓN Una variación de 10% en I_{DQ} es de 4.5 mA a un máximo de 5.5 mA. Las intersecciones de estos valores en las curvas de la figura 5.14 muestran que

v_{GS} varía de 0.7 V a 1.3 V

Entonces la resistencia de fuente está dada por

$$R_S = \frac{\Delta v_{GS}}{I_{DQ\,\text{máx}} - I_{DQ\,\text{mín}}} = \frac{1.3 - 0.7}{5.5\text{ mA} - 4.5\text{ mA}} = 600\ \Omega$$

La línea que pasa a través de estos puntos interseca el eje v_{GS}, dando por resultado un valor de V_{GG} de 2.1 V:

$$\begin{aligned} V_{GSQ} &= V_{GG} - 5\text{ mA}(600\ \Omega) \\ &= -0.9\text{ V} \\ V_{DD} &= V_{DSQ} + (R_S + R_D)I_{DQ} \\ R_D + R_S &= \frac{V_{DD} - V_{DSQ}}{I_{DQ}} = \frac{12 - 4}{5\text{ mA}} = 1.6\text{ k}\Omega \end{aligned}$$

Entonces

$$R_D = 1.6\text{ k}\Omega - R_S = 1\text{ k}\Omega$$

Por la selección de

$$R_S = 600\ \Omega$$

se puede asegurar que I_{DQ} no se alterará más del 10% para cualquier variación de los parámetros del transistor, V_p e I_{DSS}, dentro del intervalo especificado.

PROBLEMAS

5.1 Pruébese que $V_{CC} = V_{BB}$ para el circuito mostrado en la figura 5.1. Utilícense las ecuaciones derivadas en el capítulo 2.

5.2 En el circuito de la figura 5.1, sea $R_C = 1\ \text{k}\Omega$, $V_{CC} = 10$ V y $A_v = -8$. Determínense los valores de R_B y R_E que hagan al amplificador lo menos susceptible a cambios grandes en β. Supóngase que $V_{BE} = 0.7$ V y $\beta = 150$.

5.3 Para un amplificador del tipo mostrado en la figura 5.2, determínense los valores de R_F y R_E que hagan que el amplificador opere de forma consistente con grandes variaciones en β. Sean $V_{CC} = 10$ V, $R_L = 1\ \text{k}\Omega$, $A_v = -10$, $V_{BE} = 0.7$ V y $\beta = 100$.

5.4 Diséñese un amplificador ES para alimentar una carga de 15 Ω cuando $\beta = 60$, $V_{BE} = 0.7$ V, $I_{CBO}(25°\text{C}) = 1\ \mu\text{A}$, $V_{CC} = 20$ V y $A_i = 8$. Si ahora cambia la temperatura de 25° a 85°C, determínese la excursión pico a pico en la tensión de salida a 85°C. Utilícese el circuito de la figura 5.6.

5.5 Diséñese un amplificador EC como el de la figura P5.1 para obtener una ganancia de tensión de −8. No se exceda el límite de potencia del transistor, $P_{\text{máx}} = 50$ mW. Si la temperatura cambia de 25° a 85°C e $I_{CBO}(25°\text{C}) = 0.4\ \mu\text{A}$, ¿cuál es la tensión de salida pico a pico sin distorsión a 85°C cuando $V_{CC} = 12$ V?

5.6 Diséñese un amplificador ES para alimentar una carga de 8 Ω, como se muestra en la figura P5.2. Hágase la ganancia de corriente $A_i = 10$. Determínese la excursión pico a pico en la tensión de salida si la temperatura se eleva a 75°C. Supóngase que $I_{CBO}(25°\text{C}) = 0.5\ \mu\text{A}$, $V_{CC} = 24$ V, y que β varía de 60 a 100.

5.7 Para el diseño del problema 5.5, determínese la máxima tensión pico a pico en la salida si β varía de 250 a 350 y la fuente de alimentación lo hace de 11.5 a 12.5 V.

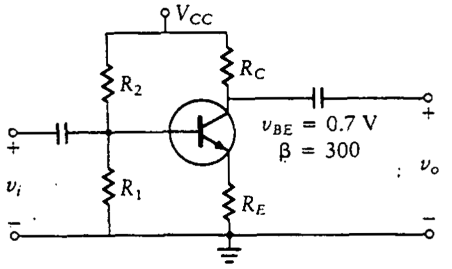


Figura P5.1

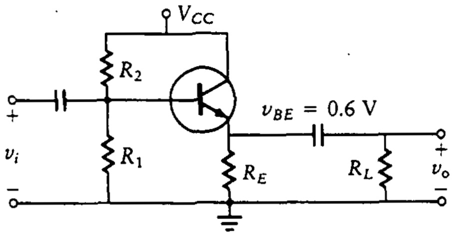


Figura P5.2

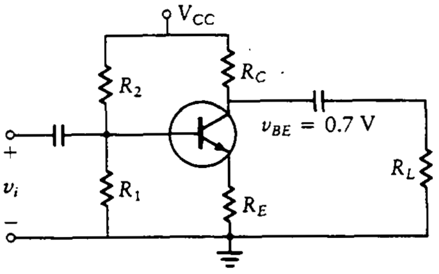


Figura P5.3

5.8 Para el circuito de la figura P5.2, determínese la máxima excursión pico a pico en la tensión de salida si β varía de 40 a 80 y la fuente de alimentación varía de 19 a 21 V con la temperatura a 85°C. Supóngase que $I_{CBO}(25°C) = 2\ \mu A$, $R_L = 200\ \Omega$ y $A_i = 8.8$.

5.9 Diséñese un amplificador EC para que tenga una ganancia de 8 y alimente una carga de 750 Ω. Utilícese la configuración de la figura P5.3 con un transistor que tiene $\beta = 300$ e $I_{CBO}(25°C) = 10\ \mu A$. Determínese la máxima excursión pico a pico en la tensión de salida cuando la temperatura se eleva a 85°C. β varía de 250 a 350 y $V_{CC} = 24$ V.

5.10 El amplificador mostrado en la figura P5.3 se diseña para operar a una temperatura de −25°C. Encuéntrese la máxima excursión pico a pico en la tensión de salida a −25°C si todos los parámetros son los mismos que en el problema 5.9 excepto que β varía de 200 a 350.

5.11 Se está diseñando un amplificador similar al mostrado en la figura P5.2. Se requiere que tenga una ganancia de corriente de 10 y alimente una carga de 20 Ω utilizando una fuente de energía regulada de 24 V ± 2%. El transistor seleccionado tiene una variación en β de 60 a 100, $V_{BE} = 0.7$ V e $I_{CBO}(25°C) = 1\ \mu A$. ¿Cuál es la máxima excursión en la tensión de salida que se puede obtener a −30°C y a 80°C? Sea $V_{CC} = 24$ V.

5.12 Utilizando el factor de estabilidad, δ_β, encuéntrese el valor de R_E para un amplificador del tipo mostrado en la figura P5.1. Utilícese un transistor de

silicio diseñado de tal forma que la tensión a través de R_C no varíe más de ±0.5 V. Supóngase que la fuente de alimentación es 20 V, V_{BE} = 0.7 V, I_{CQ} = 10 mA, y que β varía de 50 a 100.

5.13 Un amplificador similar al mostrado en la figura P5.3 se diseña para utilizarse donde la temperatura varía de 80° a −50°C. La batería fuente es de 24 V, el transistor seleccionado tiene una variación en β de 200 a 300, e $I_{CBO}(25°C)$ = 2 μA. ¿Cuál es la máxima excursión en la tensión de salida para una ganancia de tensión de 10 si la carga es de 1 kΩ?

5.14 En el amplificador descrito en el problema 5.13, cámbiese la temperatura mayor de 80°C a 50°C. ¿Cuál es la máxima excursión en la tensión de salida para el amplificador después de esta modificación?

5.15 Para el amplificador descrito en el problema 5.13, el transistor que se pensó utilizar originalmente quedó fuera de producción y el único disponible que cumple con los requerimientos tiene una $I_{CBO}(25°C)$ de 5 μA y una variación en β de 300 a 500. ¿Cuál es la máxima excursión en la tensión de salida con el cambio de temperatura de −50°C a 50°C?

5.16 Un amplificador como el de la figura P5.2 requiere una ganancia de corriente de 10 en una carga de 50 Ω. La especificación requiere que el amplificador opere de −75° a 50°C. El transistor seleccionado tiene una $I_{CBO}(25°C)$ = 5 μA y una variación en β de 200 a 300. Sea V_{CC} = 25 V. Encuéntrese la máxima excursión de salida del amplificador.

5.17 En el problema 5.16, cámbiese la temperatura superior a 100°C. Con este cambio, ¿cuál es la máxima excursión en la tensión de salida?

PROBLEMAS ADICIONALES

PA5.1 Determine si un disipador con θ_{sa} de 3.3°C/W mantendrá la temperatura por debajo de la temperatura máxima de operación de la unión cuando el transistor opera en un medio a 80°C con una potencia de 15 W. Suponga que θ_{jc} = 20°C/W y θ_{cs} = 0.5°C/W. La temperatura máxima de la unión es 180°C.

PA5.2 Para el ejemplo de la sección 5.5, determine si la temperatura de operación de la unión será excedida si se utiliza un disipador con θ_{sa} = 4.5°C/W. ¿Cuánto tendría que reducirse la potencia de salida para mantener la temperatura de la unión un 10% por debajo del máximo permitido?

6

AMPLIFICADORES DE POTENCIA Y FUENTES DE ALIMENTACIÓN

6.0 INTRODUCCIÓN

En este capítulo se considera el diseño de amplificadores de potencia. El propósito del amplificador de potencia es proporcionar una tensión de salida con máxima excursión simétrica sin distorsión a una baja resistencia de carga. En la práctica, un sistema puede consistir en varias etapas de amplificación, la última de las cuales suele ser un amplificador de potencia. La carga alimentada por este amplificador de potencia puede ser un altavoz, un excitador, un solenoide o algún otro dispositivo analógico. La entrada al sistema es una señal pequeña que se amplifica a través de etapas de ganancia de tensión. La salida de las etapas de ganancia de tensión tiene la suficiente amplitud para alimentar el amplificador de potencia de la salida.

El capítulo se inicia con la presentación de las diferentes técnicas de polarización que conducen a la operación en Clase A, Clase B, Clase AB y Clase C. En seguida se analizan los circuitos amplificadores específicos y los efectos de las diferentes configuraciones de acoplamiento. En particular, se estudian los amplificadores con acoplamiento inductivo, capacitivo y por transformador, y se proporcionan diferentes ejemplos de diseño.

El análisis de la fuente regulada con diodo Zener del capítulo 1 se extiende para incluir la utilización de transistores de potencia. Esto permite la regulación sobre un intervalo más amplio de entradas y salidas. También se analiza brevemente el regulador de CI.

El capítulo concluye con un análisis detallado de los circuitos amplificadores de potencia Clase B.

6.1 CLASES DE AMPLIFICADORES

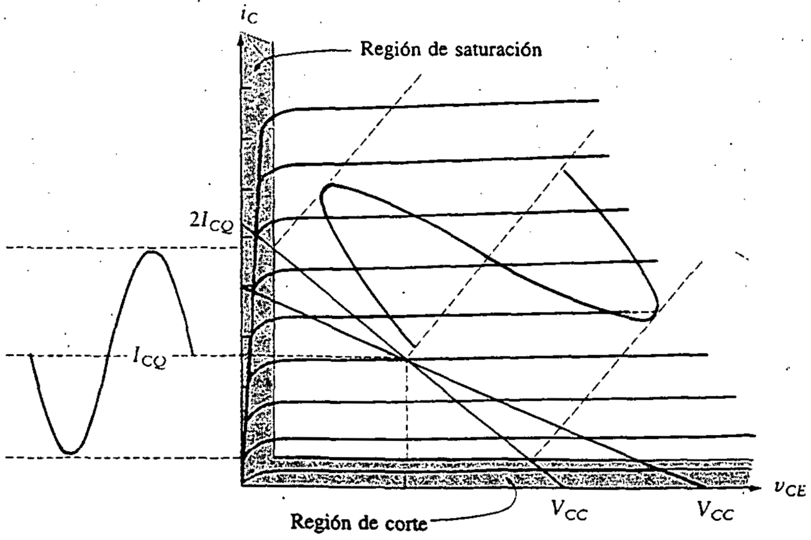
Los amplificadores de potencia se clasifican de acuerdo con el porcentaje de tiempo que la corriente de colector es diferente de cero. Existen cuatro clasificaciones principales: clase A, clase B, clase AB y clase C. En los siguientes apartados se analiza cada una de ellas.

6.1.1 Operación en clase A

La *clase A* es el tipo de operación considerado en los amplificadores de los capítulos 2, 3 y 4. En la operación en clase A, el amplificador reproduce totalmente la señal de entrada. La corriente de colector es distinta de cero todo el tiempo. Este tipo de operación es ineficiente ya que, aun sin señal de entrada, I_{CQ} es diferente de cero y el transistor disipa potencia. Esto es, el transistor disipa potencia en condición estática o de reposo.

En la figura 6.1 se ilustran curvas características típicas para la operación en clase A. La corriente, I_{CQ}, se sitúa por lo general en el centro de la línea de carga de ca. En la figura se muestran un ejemplo de entrada senoidal y la corriente de colector resultante en la salida. Nótese que la entrada senoidal se dibuja con la ordenada alineada con la línea de carga. Entonces se varía v_{CE} como función del tiempo, moviendo hacia arriba y abajo la línea de carga. Las variaciones en v_{CE} provocan variaciones proporcionales en la corriente de colector, las cuales se leen proyectando el valor de v_{CE} a la línea de carga y luego en forma horizontal al eje i_C. Nótese que si se evitan las porciones no lineales de las curvas de operación (las regiones sombreadas del diagrama), una entrada senoidal provoca una salida senoidal.

Figura 6.1
Operación en clase A.



6.1.2 Operación en clase B

En la operación en *clase B,* se utiliza un amplificador para amplificar el semiciclo positivo de la señal de entrada, mientras que un segundo amplificador amplifica el semiciclo negativo. La configuración de este amplificador se conoce como *push-pull* o *de simetría complementaria.* Los circuitos *push-pull* se presentan en la sección 6.3; en la presente sección sólo interesa el concepto.

Como un transistor puede responder sólo a medio ciclo, se requieren dos transistores para producir la onda completa. Cada uno de los transistores se polariza en el corte en lugar del punto medio del intervalo de operación, como es el caso para la operación en clase A. Cada transistor opera la mitad del tiempo, de modo que la corriente de colector de cada uno es diferente de cero el 50% del tiempo.

La ventaja de la operación en clase B es que la corriente de colector es cero cuando la señal de entrada al amplificador es cero. Por tanto, el transistor no disipa potencia en condición de reposo.

Entre las desventajas del amplificador clase B está la inclusión de la región no lineal de corte en el intervalo de operación. Esto es, a diferencia de la situación en clase A, no es posible eliminar el 5% de la región de operación sombreada en la parte inferior de la figura 6.1. Por tanto, la distorsión que se produce cerca del punto Q se incluye en la señal de salida.

En la figura 6.2 se ilustra una curva característica típica para un par de transistores en la configuración *push-pull.* Esta figura sólo es para fines conceptuales, ya que más adelante se analiza el amplificador con mayor detalle. Como dos transistores están conectados, con el colector de uno de ellos a continuación del emisor del otro, se repiten las curvas para el segundo transistor, pero se invierten los signos de la corriente de colector y la tensión colector a emisor. Esto es, las dos cantidades aumentan hacia abajo y a la izquierda, respectivamente, para las características del segundo transistor. En la porción superior izquierda de la figura se representa al primer transistor, que conduce sólo durante el semiciclo positivo de la entrada. En la porción inferior derecha se representa al segundo transistor, que está configurado para conducir sólo en el semiciclo negativo. En la figura 6.3 se muestra una típica forma de onda de salida. Nótese que el primer transistor produce la parte positiva de la salida y el segundo la parte negativa. Nótese también que la figura 6.3(a) y (b) muestra alguna distorsión cerca del punto $i_C = 0$. Cuando estas dos curvas se suman, se produce la salida mostrada en la figura 6.3(c). Ésta recuerda la entrada senoidal, aunque la forma de onda está distorsionada cerca del cruce del eje.

Es importante que los dos transistores en configuración *push-pull* sean iguales. De esta forma, las porciones positiva y negativa de la entrada se amplifican en la misma proporción.

6.1.3 Operación en clase AB

La operación en clase A tiene la ventaja de contar con una pequeña distorsión, mientras que en clase B tiene la de una mayor eficiencia. *La operación en clase AB* se encuentra entre estos dos extremos. El punto Q se sitúa ligeramente por arriba

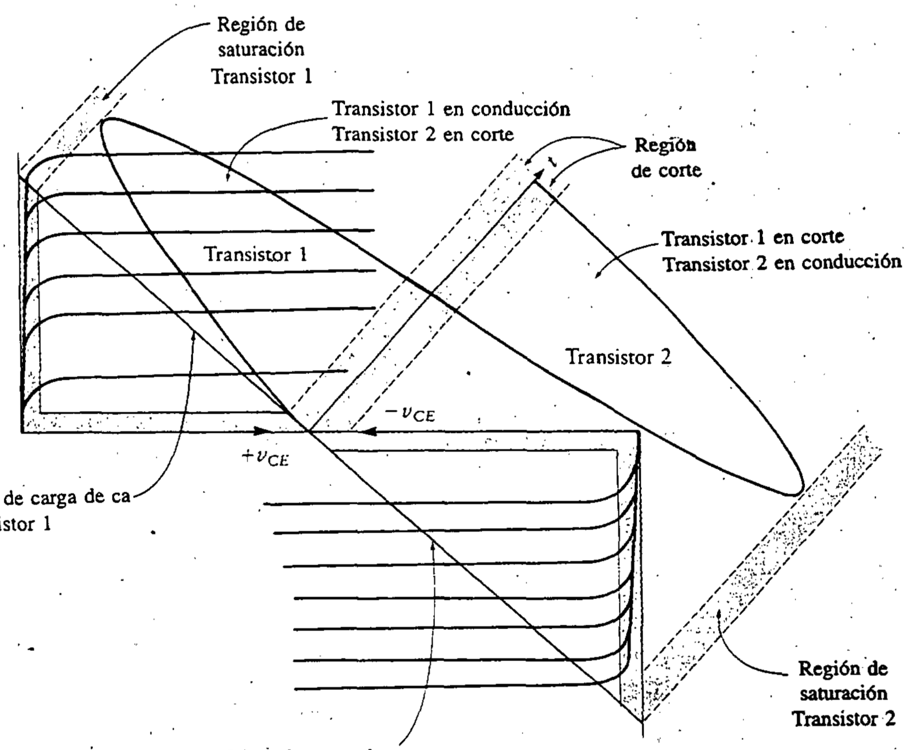


Figura 6.2
Operación en clase B.

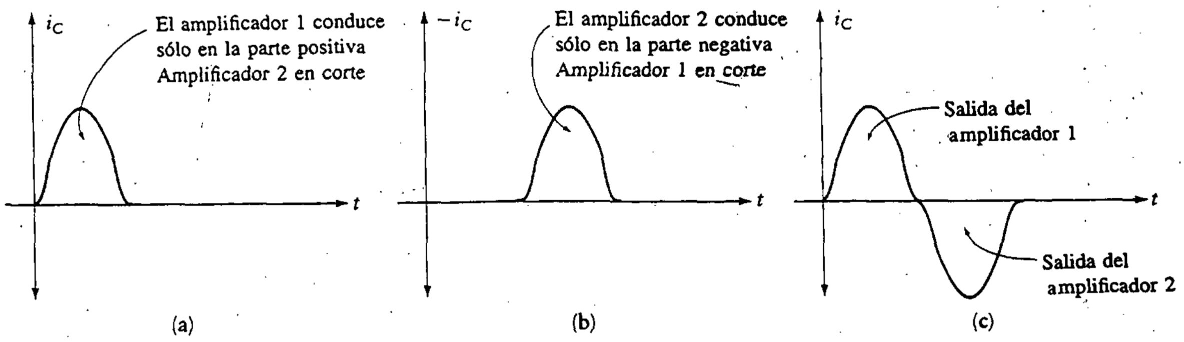
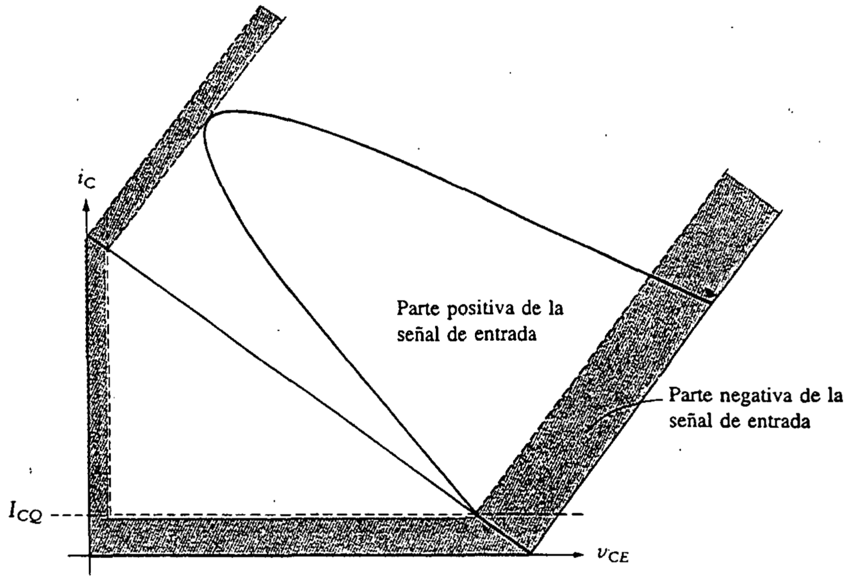


Figura 6.3 Forma de onda en la salida de un *push-pull*.

del valor de corte, por lo que se halla en el límite inferior de la porción lineal (sin distorsión) de las curvas de operación. El transistor soporta entonces una corriente de colector diferente de cero un poco más del 50% del tiempo.

En la figura 6.4 se ilustra la curva de operación para una entrada senoidal y una operación en clase AB. Nótese que con un solo transistor, si la entrada es una sinusoide, el amplificador distorsiona bastante la porción negativa de la onda. El

Figura 6.4
Operación en clase AB.



amplificador en clase AB es adecuado sólo para la parte positiva de la onda de entrada. Se deberá condicionar que la entrada nunca sea negativa o será necesario un arreglo *push-pull.*

6.1.4 Operación en clase C

La línea de carga de un amplificador en *clase C* se muestra en la figura 6.5, donde V_{BEQ} se sitúa en un valor negativo. El transistor se polariza con una V_{BB} negativa. Por tanto, sólo conduce cuando la señal de entrada se encuentra arriba de un valor positivo específico. La salida es inferior a un medio de una sinusoide y la corriente de colector es diferente de cero menos del 50% del tiempo.

Si una sinusoide es la entrada a un amplificador clase C, la salida consiste en "picos" a la frecuencia de entrada. Esto se muestra a la izquierda de la figura 6.5. Como ésta es una señal periódica, contiene un componente a la frecuencia fundamental más armónicos de frecuencias mayores. Si esta señal se pasa a través de un circuito sintonizado inductor-capacitor (LC) que sea resonante a la frecuencia fundamental, la salida es una señal senoidal a la misma frecuencia que la entrada. Este método se utiliza a menudo si la señal por amplificar es ya sea una sinusoide pura o bien una señal más general con un intervalo limitado de frecuencias.

Los amplificadores clase C son capaces de proporcionar grandes cantidades de potencia. Se utilizan a menudo para etapas de potencia de transmisores, donde se incluye un circuito sintonizado para eliminar los armónicos mayores en la señal de salida.

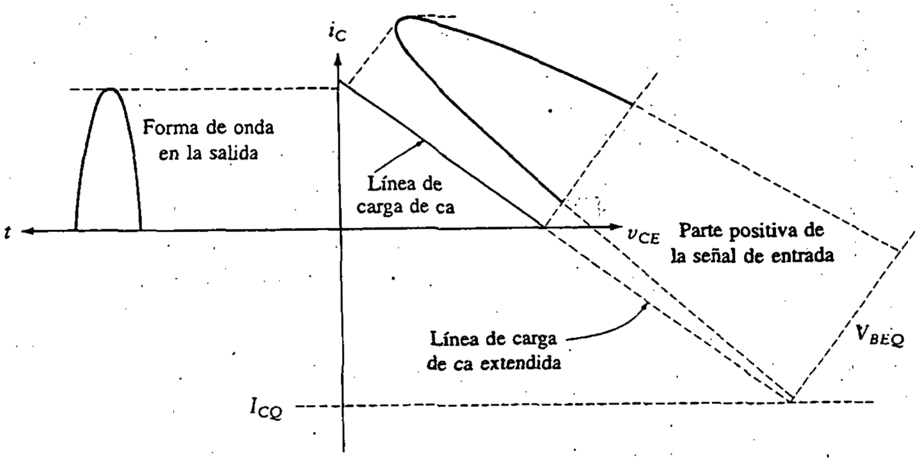


Figura 6.5
Operación en clase C.

6.2 CIRCUITOS AMPLIFICADORES DE POTENCIA. OPERACIÓN EN CLASE A

En general, los circuitos amplificadores de potencia contienen transistores capaces de manejar alta potencia. Estos operan normalmente a tensiones mayores que los transistores de baja potencia, y por tanto requieren a menudo una fuente de alimentación separada. Por ejemplo, las tensiones de los transistores de potencia pueden exceder los 450 V. Las capacidades de corriente también son elevadas, con frecuencia superiores a 10 A de corriente continua. Como estos transistores necesitan disipar potencias elevadas, se diseñan en forma diferente de los transistores de baja potencia, y pueden incluir circuitos de protección para limitar la corriente. También se hacen esfuerzos adicionales para disipar el calor que se produce durante la operación.

En esta sección se analizan las configuraciones circuitales para amplificadores de potencia. Estos se clasifican de acuerdo con el tipo de acoplamiento.

6.2.1 Amplificador acoplado en forma inductiva

Se requiere alta ganancia de corriente para obtener potencia en la carga de la salida. La excursión en la tensión de salida se puede aumentar utilizando un inductor en vez de un resistor para el elemento del colector. Se verá también que esto aumenta la eficiencia del circuito. El inductor se selecciona de manera que se aproxime a un circuito abierto para la frecuencia de entrada, pero a un cortocircuito para cd. En otras palabras,

$$wL \gg R_L$$

a la frecuencia más baja,

$$R_{\text{ind}} \ll R_L$$

y

$$R_{\text{ind}} \ll R_E.$$

En la figura 6.6 se ilustra el amplificador acoplado por inductor y las líneas de carga.

Se elige el punto Q para máxima excursión en la salida. La corriente, I_{CQ}, está dada entonces por la ecuación (2.29), que se desarrolló en el capítulo 2.

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}}$$

La resistencia en ca es simplemente R_L, ya que el inductor se aproxima a un circuito abierto para ca y los capacitores son cortocircuitos. La resistencia en cd es R_E, siempre que se pueda despreciar la resistencia del inductor. Por tanto,

$$I_{CQ} = \frac{V_{CC}}{R_L + R_E}$$

Cómo las líneas de carga en cd y ca cruzan el punto Q, la ecuación de la línea de carga de ca da

$$I_{CQ} = \frac{V_{CEQ}}{R_L}$$

Igualando estas dos expresiones para I_{CQ}, se obtiene la ecuación (6.1):

$$V_{CEQ} = \frac{V_{CC}}{1 + R_E/R_L} \tag{6.1}$$

Supóngase que $R_E \ll R_L$. Entonces, de la ecuación (6.1) se ve que $V_{CEQ} \approx V_{CC}$ y la línea de carga de ca interseca el eje v_{CE} más o menos en $2V_{CC}$. La utilización del dispositivo de almacenamiento (inductor) produce una excursión en tensión que efectivamente equivale a doblar la fuente de alimentación. El campo del inductor almacena energía durante el ciclo de conducción, actuando entonces como una segunda fuente de V_{CC} en serie con la fuente de cd.

El amplificador acoplado por inductor posee una eficiencia mayor que la del amplificador que contiene una resistencia de colector. Para probar esto, se debe calcular primero la eficiencia de este amplificador. Esto se realiza suponiendo señales de entrada senoidales.

La potencia proporcionada por la fuente de tensión es

$$P_{\text{proporcionada}} = V_{CC}I_{CQ} = \frac{V_{CC}^2}{R_L}$$

donde se supone que $R_E \ll R_L$; por tanto, se ignora R_E en la ecuación. La potencia proporcionada a la carga bajo la suposición de que la entrada es una sinusoide con amplitud, $I_{L\ máx}$, es

$$P_{carga} = I^2_{L\ máx}\frac{R_L}{2}$$

En la figura 6.6 se observa que la máxima excursión en la corriente del colector tiene una amplitud I_{CQ} (se ignoran la saturación y el corte). Como el inductor es casi un circuito abierto para ca, ésta es también la máxima excursión en la corriente de la carga. Por tanto, la máxima potencia hacia la carga es

$$P_{carga} = \frac{I^2_{CQ}R_L}{2} = \frac{V^2_{CC}}{2R_L}$$

La *eficiencia de conversión* se define como la razón de la potencia en ca de la carga a la potencia proporcionada por la fuente. Esta medida de la eficiencia depende por tanto de la potencia disipada en los circuitos de polarización y en R_E. A fin de derivar un valor máximo para la eficiencia, se supone que la potencia disipada en el circuito de polarización y en R_E y R_{ind} es despreciable. La máxima eficiencia de conversión (con un máximo en la excursión de salida) está dada entonces por

$$\eta = \frac{V^2_{CC}/2R_L}{V^2_{CC}/R_L} = 50\%$$

El circuito con un resistor en el colector se examinó en el apartado 2.6.1, donde se derivaron varias relaciones de potencia. Éstas se pueden utilizar para mostrar que la máxima eficiencia del amplificador con resistencia en el colector es del 25%, o un medio de la eficiencia encontrada para el amplificador acoplado por inductor. Esto es razonable ya que, en el circuito con resistencia en el colector, la carga vista por el transistor es la combinación en paralelo de la resistencia de colector

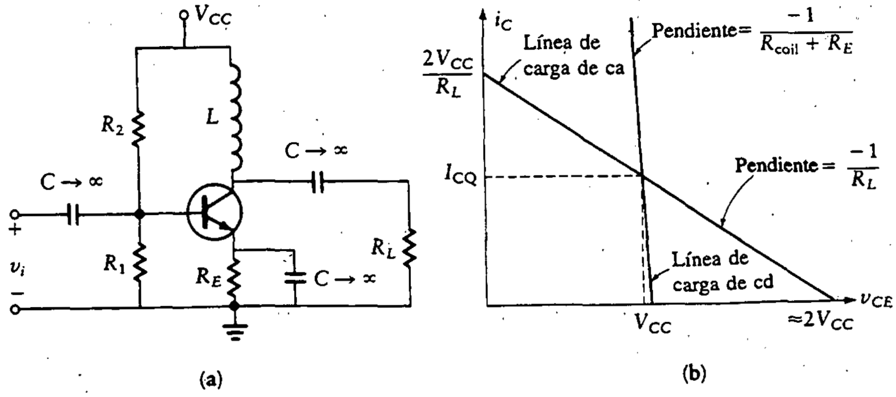


Figura 6.6
Amplificador acoplado por inductor.

y la resistencia de carga. La máxima potencia proporcionada por el transistor se comparte entre estas dos resistencias.

6.2.2 Amplificador de potencia acoplado por transformador

En el capítulo 3 se presenta el amplificador acoplado por transformador y se desarrollan las relaciones básicas ([51], Sec. 5.2). Este circuito se examina con más detalle en la presente sección, ya que tiene útiles aplicaciones a los amplificadores de potencia. En la figura 6.7 se ilustra el amplificador de potencia CC (ES) acoplado por transformador. También se muestran en la figura las líneas de carga. Nótese que la pendiente de la línea de carga de cd depende de la resistencia del embobinado primario del transformador. Esta resistencia suele ser muy pequeña. La pendiente de la línea de carga de ca depende de la resistencia de carga reflejada.

Si se desea máxima excursión en la tensión de salida, se resuelven las ecuaciones de diseño (Ec. (6.2)) para colocar el punto Q en el centro de la línea de carga. Nótese que la resistencia de carga reflejada por el transformador es:

$$\begin{aligned} R_{\text{trans}} &= a^2 R_L \\ I_{CQ} &= \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{V_{CC}}{a^2 R_L} \end{aligned} \tag{6.2}$$

Se supuso que la resistencia del primario del transformador es despreciable y, por tanto, que $R_{cd} = 0$.

En el diseño de amplificadores EC se selecciona la resistencia de base, R_B, de la ecuación de diseño de estabilidad de la polarización,

$$R_B = 0.1\,\beta R_E$$

En el diseño de amplificadores CC se utiliza un criterio diferente. La resistencia de base es restringida por la ganancia de corriente deseada, A_i, o por la especificación de la resistencia de entrada, R_{en}. La ganancia de tensión de este amplificador se acerca a la unidad.

El resto del diseño sigue las ecuaciones desarrolladas en el capítulo 3. Éstas se revisan en los ejemplos que siguen.

Se encuentra la máxima eficiencia de conversión del amplificador de potencia acoplado por transformador. La potencia suministrada por la fuente de tensión es

$$P_{\text{proporcionada}} = I_{CQ} V_{CC}$$

y de la figura 6.7(b), se ve que es aproximadamente igual a

$$P_{\text{proporcionada}} = \frac{V_{CC}^2}{a^2 R_L}$$

Se supuso que la potencia hacia el circuito de polarización es despreciable y que la pendiente de la línea de carga es $-1/(a^2 R_L)$.

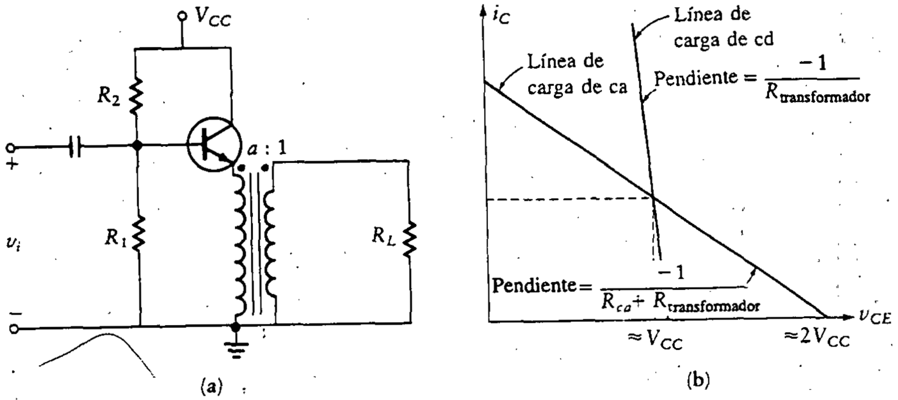


Figura 6.7
Amplificador de potencia acoplado por transformador.

La máxima potencia transferida a la carga, suponiendo una entrada senoidal a máxima amplitud e ignorando efectos de saturación, es

$$P_{\text{carga}} = \frac{V_{\text{L máx}}^2}{2R_L} = \frac{V_{CC}^2}{2a^2 R_L} \tag{6.3}$$

La máxima eficiencia de conversión de potencia está dada entonces por

$$\eta = \frac{V_{CC}^2/2a^2 R_L}{V_{CC}^2/a^2 R_L} = 50\%$$

Por tanto, el amplificador acoplado por transformador tiene características similares a las del amplificador acoplado por inductor. La máxima eficiencia de conversión de ambos circuitos es del 50% y, aunque el ES tiene una ganancia de tensión cercana a la unidad, la razón de vueltas del transformador determina la ganancia de tensión para la carga. El amplificador acoplado por transformador posee la ventaja adicional de proporcionar acoplamiento de impedancia, como se comenta en el capítulo 3.

Ejemplo 6.1 Amplificador acoplado por inductor

Diséñese un amplificador EC acoplado por inductor con las especificaciones dadas. Determínense la potencia suministrada a la carga, la potencia requerida de la fuente de cd y la máxima excursión simétrica sin distorsión en la tensión de salida.

$$A_v = \frac{v_o}{v_i} = -10 \qquad A_i = \frac{i_o}{i_{en}} = -30$$

$$R_L = 4\ \text{k}\Omega; \quad V_{CC} = 16\ \text{V}; \qquad \beta = 200; \quad V_{BE} = 0.7\ \text{V}$$

SOLUCIÓN Se utiliza el circuito de la figura 6.6 quitando el capacitor en paralelo con el resistor del emisor. Se utilizan también las ecuaciones de ganancia de tensión en forma corta (remítase a la Tabla 3.1) para el amplificador EC observando que supuestamente la impedancia del inductor es infinita para la operación en ca. Entonces

$$R_E = -\frac{R_L}{A_v} = \frac{-4000}{-10} = 4000\ \Omega$$

Se utiliza la ecuación de diseño para I_{CQ}, donde

$$R_{ca} = R_L + R_E = 4.4\ \ k\Omega$$
$$R_{cd} = R_E = 400\ \Omega$$

Entonces

$$I_{CQ} = \frac{V_{CC}}{R_{ac} + R_{dc}} = \frac{16}{4400 + 400} = 3.33\ \ mA$$
$$h_{ib} = \frac{26\ \ mV}{3.33\ \ mA} = 7.8\ \Omega$$

Nótese que $h_{ib} < 0.1R_E$, por lo que se justifica la ecuación en forma corta. Utilizando la ecuación en forma corta para la ganancia de corriente, para este amplificador acoplado por inductor.

$$A_i = -\frac{R_B}{R_E}$$

Se despeja la resistencia de base,

$$R_B = -A_i R_E = 30 \times 400 = 12\ \ k\Omega$$

La condición que permite utilizar la ecuación en forma corta es que

$$R_B \ll \beta R_E$$

o, sustituyendo valores,

$$12\ \ k\Omega \ll 80\ \ k\Omega$$

Como 12 no es mucho menor que 80, se recalcula R_B utilizando la ecuación en forma larga

$$A_i = \frac{-R_B}{R_B/\beta + R_E} = \frac{-R_B}{R_B/200 + 400} = -30$$

Despejando R_B se obtiene $R_B = 14.1\ \text{k}\Omega$, que representa un cambio del 17.5% del valor encontrado a partir de las ecuaciones en forma corta. Como esto es más que la tolerancia del resistor promedio utilizado en estos circuitos, se justifica el rechazo al valor de 12 kΩ encontrado con las ecuaciones en forma corta. Si el cambio hubiese sido de sólo 3 ó 4%, el esfuerzo adicional no estaría justificado puesto que la mayoría de los resistores que no son de precisión tienen tolerancias superiores a este valor (por ejemplo, un resistor de tolerancia 12 kΩ ± 5% podría tener una resistencia real entre 11.4 kΩ y 12.6 kΩ).

Se utilizan las ecuaciones de polarización para encontrar los valores de los resistores de polarización:

$$V_{BB} = V_{BE} + I_{CQ}\left(\frac{R_B}{\beta} + R_E\right)$$

$$= 0.7 + (3.33 \times 10^{-3})\left[\frac{14.1 \times 10^3}{200} + 400\right] = 2.27\ \text{V}$$

Despejando entonces R_1 y R_2, se tiene

$$R_1 = \frac{R_B}{1 - V_{BB}/V_{CC}}$$

$$= \frac{14{,}100}{1 - 2.27/16} = 16.4\ \text{k}\Omega$$

$$R_2 = \frac{V_{CC}R_B}{V_{BB}}$$

$$= (14.1\ \text{k}\Omega)\frac{16}{2.27} = 99.4\ \text{k}\Omega$$

El diseño del circuito está completo, y se calculan la eficiencia de potencia y la máxima excursión sin distorsión en la tensión de salida. Debido a que $I_{C\text{máx}} = I_{CQ}$, la potencia de salida está dada por

$$P_o = (0.95 I_{CQ})^2 \frac{R_L}{2} = (0.95)^2 \frac{(3.33\ \text{mA})^2 \times 4\ \text{k}\Omega}{2} = 20.02\ \text{mW}$$

Nótese que la operación se ha restringido a la región lineal mediante la eliminación del 5% de la máxima excursión cercana al corte y la saturación. La potencia suministrada por la fuente es

$$P_{VCC} = I_{CQ}V_{CC} + \frac{V_{CC}^2}{R_1 + R_2}$$

$$= 3.33\ \text{mA}(16\ \text{V}) + \frac{16^2}{16.4\ \text{k}\Omega + 99.4\ \text{k}\Omega} = 55.2\ \text{mW}$$

La eficiencia del amplificador está dada por la relación

$$\eta = \frac{20.02}{55.2} = 0.36, \quad \text{o} \quad 36\%$$

La máxima excursión simétrica sin distorsión en la tensión de salida es

$$v_o = 1.8(3.33 \text{ mA})(4 \text{ k}\Omega) = 24 \text{ V}$$

Nótese que esta excursión de tensión es mayor que la fuente de alimentación. Esto es posible debido a la capacidad del inductor de almacenar energía.

Ejemplo 6.2 Amplificador acoplado por transformador

Diséñese un amplificador acoplado por transformador (véase Fig. 6.8) para una ganancia de corriente de A_i = 80. Encuéntrense la potencia proporcionada a la carga y la potencia requerida de la fuente.

SOLUCIÓN En primer lugar, se utiliza la ecuación de diseño para encontrar la ubicación del punto Q para máxima excursión en la salida:

$$I_{CQ} = \frac{V_{CC}}{R_{ac} + R_{dc}}$$

$$= \frac{12}{a^2 R_L} = \frac{12}{8^2 \times 8} = 23.4 \text{ mA}$$

Como la especificación del problema requiere una ganancia de corriente de 80, el amplificador debe tener una ganancia de corriente de 10 porque el transformador proporciona una ganancia adicional de 8. Se utilizan las ecuaciones de la tabla 3.1 para encontrar la resistencia de base, R_B:

$$A_i = \frac{R_B}{R_B/\beta + h_{ib} + R_E} = 10$$

donde

$$R_E = a^2 R_L = 512 \ \Omega$$

Se supone que h_{ib} es lo suficientemente pequeña para despreciarse. Entonces, al despejar R_B se tiene

$$R_B = 5.69 \text{ k}\Omega$$

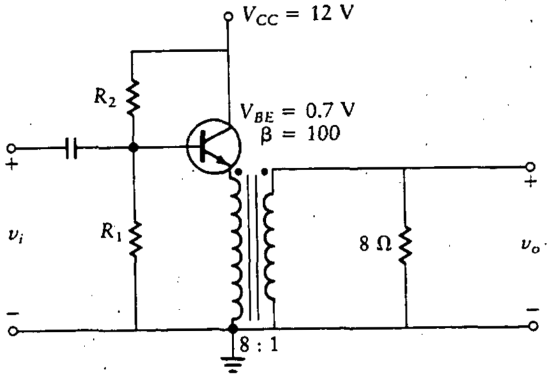


Figura 6.8
Amplificador acoplado por transformador para el ejemplo 6.2.

$$V_{BB} = \frac{I_{CQ}R_B}{\beta} + V_{BE}$$

$$= (23.4 \times 10^{-3})\left(\frac{5690}{100}\right) + 0.7 = 2.031\ V$$

Despejando ahora los resistores de polarización,

$$R_1 = \frac{R_B}{1 - V_{BB}/V_{CC}} = \frac{5690}{1 - 2.031/12} = 6.8\ \text{k}\Omega$$

$$R_2 = \frac{V_{CC}R_B}{V_{BB}} = \frac{12(5690)}{2.031} = 33.6\ \text{k}\Omega$$

Ahora el diseño está completo. La potencia proporcionada por la fuente está dada por

$$P_{VCC} = V_{CC}I_{CQ} + \frac{V_{CC}^2}{R_1 + R_2} = 284\ \text{mW}$$

La potencia disipada en la carga es

$$P_L = \frac{(0.95a\,I_{CQ})^2 R_L}{2} = 126.5\ \text{mW}$$

La operación se restringe nuevamente a la región lineal eliminando el 5% de la máxima excursión cercana al corte y la saturación. La eficiencia es la razón entre la potencia de la carga y la potencia de la fuente.

$$\eta = \frac{126.5}{284} = 0.45, \quad \text{o} \quad 45\%$$

Ejercicios

D6.1 Diséñese un amplificador EC acoplado por inductor con $A_v = -10$, $R_{en} = 4\ \text{k}\Omega$, $R_L = 2\ \text{k}\Omega$, $V_{CC} = 12$ V, $\beta = 200$ y $V_{BE} = 0.7$ V. Determínense A_i, la potencia proporcionada a la carga y la máxima excursión simétrica sin distorsión en la tensión de salida.

Resp. $R_E = 195\ \Omega$; $R_1 = 5.2\ \text{k}\Omega$;
$R_2 = 29.8\ \text{k}\Omega$; $A_i = -20$;
$P_o = 20.25$ mW; $v_{o(p-p)} = 18$ V

D6.2 Diséñese un amplificador ES acoplado por transformador para excitar una carga de 8 Ω si $V_{CC} = 20$ V, $V_{BE} = 0.7$ V, $\beta = 100$, $R_{en} = 2\ \text{k}\Omega$ y el transformador tiene una razón de vueltas de 10:1. Determínense la ganancia de corriente, A_i, la potencia de salida, y la máxima excursión sin distorsión en la tensión de salida.

Resp. $R_1 = 2.1\ \text{k}\Omega$; $R_2 = 33.8\ \text{k}\Omega$;
$A_i = 250$; $P_o = 202.5$ mW;
$v_{o(p-p)} = 3.6$ V

6.3 CIRCUITOS AMPLIFICADORES DE POTENCIA. OPERACIÓN EN CLASE B

Un amplificador de audio en clase B utiliza un transistor para amplificar la porción positiva de la señal de entrada y otro transistor para amplificar la porción negativa de la señal de entrada.

6.3.1 Circuitos EC *push-pull*

En la figura 6.9 se muestra un circuito EC *push-pull*. Las señales de entrada a las bases, que son iguales y con 180° de desfasamiento entre ellas, se toman de un transformador con derivación central. En forma alterna, se pueden tomar de un divisor de fase, como se muestra en la figura.

La operación del circuito se analiza viendo uno de los transistores, como se muestra en la figura 6.10. Las líneas de carga se muestran en la figura 6.10(b). La corriente, I_{CQ}, se coloca en cero de manera tal que el transistor conduce sólo para una señal de entrada positiva. La línea de carga de ca se especifica por la ecuación

$$V_{CC} = v_{CE} + i_C(a^2 R_L)$$

Nótese que cuando $v_{CE} = 0$,

$$i_C = \frac{V_{CC}}{a^2 R_L}$$

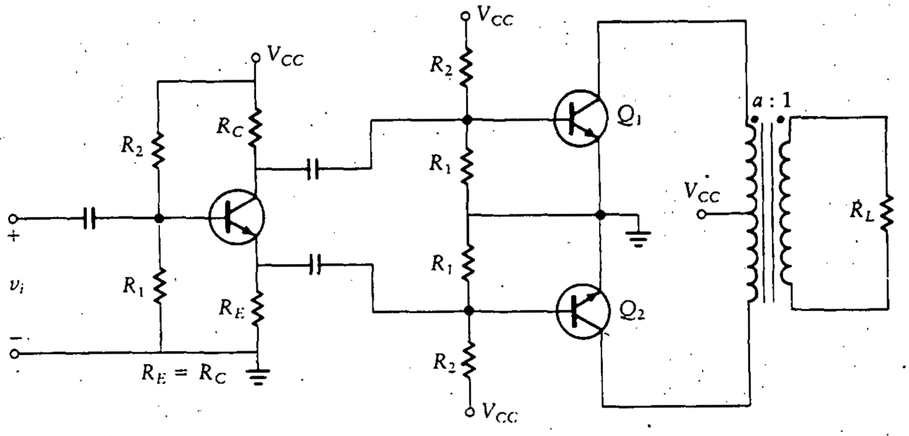


Figura 6.9
Amplificador EC *push-pull.*

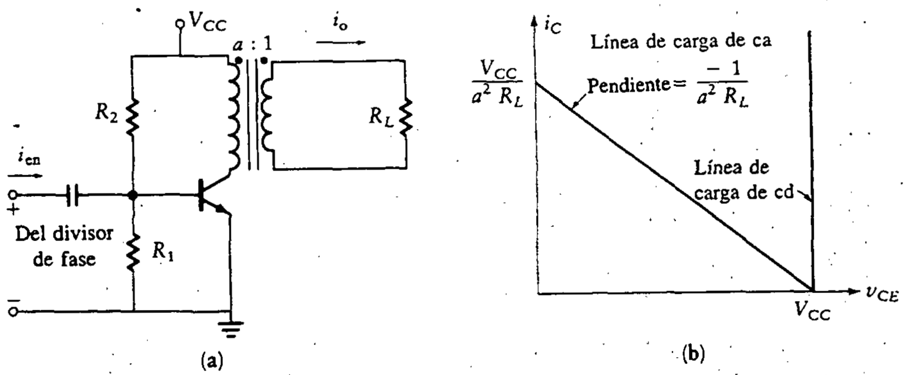


Figura 6.10
Amplificador de un solo transistor de la figura 6.9.

La ganancia de corriente está dada por

$$A_i = \frac{-i_{en}\beta a R_B/(R_B + h_{ie})}{i_{en}} = -a\beta$$

Se desprecia h_{ie}, ya que es mucho menor que R_B.

La potencia disipada en el circuito *push-pull* es

$$P_{VCC} = V_{CC}\frac{1}{T}\int_{-T/2}^{T/2}\left[i_{C1}(t) + i_{C2}(t)\right]dt \tag{6.4}$$

Se desprecia la potencia disipada en los resistores de polarización. El integrando de la ecuación (6.4) es la suma de las dos corrientes de colector. Si la entrada es senoidal, cada una de estas corrientes es una versión rectificada de media onda de una onda senoidal. Durante el primer semiciclo de la onda de entrada, el transistor

superior conduce y el inferior se encuentra en corte. Durante el segundo semiciclo, ocurre la situación inversa. Por tanto, la suma de las dos corrientes es una senoidal rectificada de onda completa. Suponiendo que se utiliza la excursión total (es decir, no se elimina el 5% de cada terminal, como se hizo antes para evitar la distorsión), la máxima corriente está dada por

$$I_{C\,\text{máx}} = \frac{V_{CC}}{R_L a^2}$$

Entonces la potencia es

$$P_{VCC} = \frac{V_{CC}^2}{R_L a^2} \frac{1}{T} \int_{-T/2}^{T/2} \left| \operatorname{sen} \frac{2\pi t}{T} \right| dt = \frac{2}{\pi} \frac{V_{CC}^2}{a^2 R_L}$$

6.3.2 Amplificador de potencia clase B con simetría complementaria

Se puede diseñar un amplificador de potencia *push-pull* sin utilizar transformadores o divisores de fase si se recurre a un transistor *pnp* y uno *npn* con características simétricas. El circuito es como se muestra en la figura 6.11. Este circuito se llama comúnmente *amplificador de potencia con simetría complementaria.* Debido a que se utilizan dos fuentes de energía de polaridad opuesta, la tensión en cd en la unión entre los dos emisores es cero.

Si se revisa el circuito para aislar la carga con un capacitor, se puede utilizar una fuente de energía simple. Este circuito se muestra en la figura 6.12. El capacitor bloquea la cd ($V_{CC}/2$) de la carga. El capacitor también proporciona la tensión de suministro a Q_2 cuando Q_1 no conduce. Esto es, el capacitor se carga al valor en cd de $V_{CC}/2$ en la unión de los dos emisores.

La línea de carga de cd es aún vertical, ya que el capacitor actúa como circuito abierto para cd. Dado que el amplificador opera en clase B, I_{CQ} se coloca en cero.

Como en el caso del amplificador de potencia acoplado por transformador, R_B se determina de la ecuación de ganancia de corriente o de la ecuación de resistencia de entrada. La resistencia de entrada, R_{en}, se determina como sigue ($h_{ib} = 0$):

$$R_{en} = R_B \parallel (\beta R_L) = \frac{R_B R_L}{R_B/\beta + R_L}$$

La resistencia de base equivalente, R_B, ya no es igual a $R_1 \parallel R_2$. En vez de esto, es $R_2 \parallel R_2$ o $R_2/2$, ya que los dos capacitores de entrada cortan ambos resistores R_1 para operar en ca. Con este valor para R_B, se encuentra que R_{en} es

$$R_{en} = \frac{R_L R_2/2}{R_2/2\beta + R_L} = \frac{R_2 R_L}{R_2/\beta + 2R_L} \tag{6.5}$$

Figura 6.11
Simetría complementaria utilizando dos fuentes de potencia.

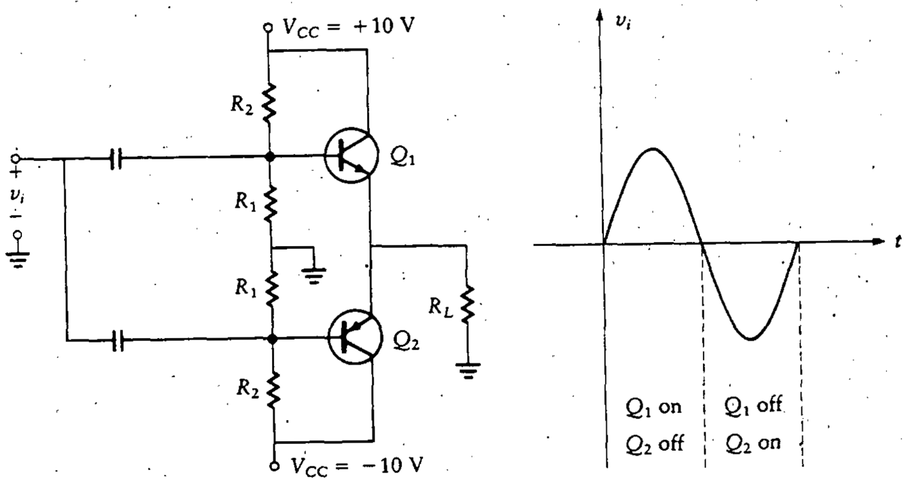
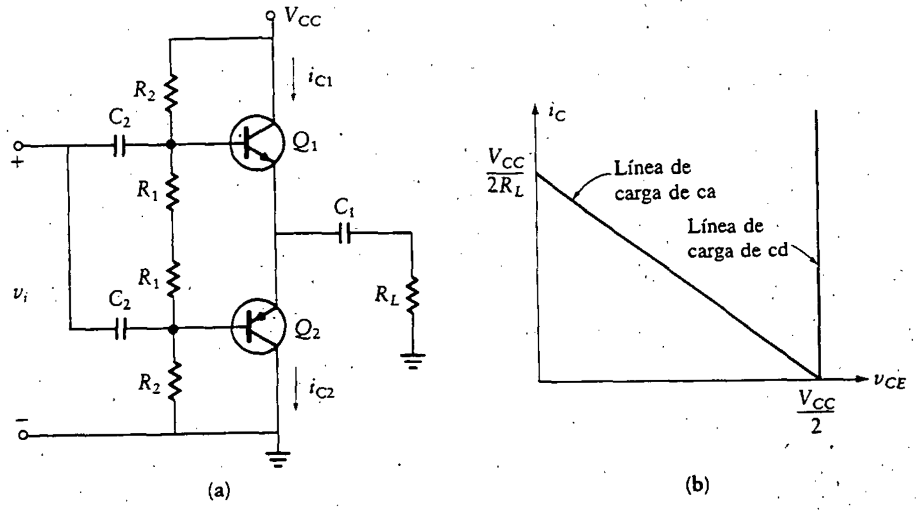


Figura 6.12
Simetría complementaria utilizando una fuente de alimentación.



$$A_i = \frac{\beta R_B}{R_B + \beta R_L}$$

pero

$$R_B = \frac{R_2}{2}$$

luego

$$A_i = \frac{R_2}{R_2/\beta + 2R_L}$$

Como ahora se tiene el valor de R_2, se determina el valor de R_1 utilizando la ecuación en cd:

$$V_{BB} = \frac{R_1}{R_1 + R_2} \frac{V_{CC}}{2} \quad \text{pero} \quad V_{BB} = V_{BE}$$

luego

$$R_1 = \frac{2R_2 V_{BE}}{V_{CC} - 2V_{BE}}$$

Para evitar la región de operación no lineal cercana al corte y, por tanto, para obtener una operación más simétrica, se pueden quitar los dos resistores R_1 y reemplazarlos con un resistor variable, R_3, como se muestra en la figura 6.13. Este resistor permite que I_{CQ} se eleve por encima de cero para compensar la distorsión que se produce al operar cerca del corte, como se muestra en la figura 6.3. Esto cumple con la operación en clase AB.

En los circuitos de las figuras 6.12 y 6.13, se utiliza un capacitor para aislar la carga. El capacitor forma parte de la trayectoria de la corriente para un transistor cuando el otro está en corte. Por tanto, el capacitor se carga durante la conducción de Q_1 y se descarga durante la conducción de Q_2.

Con la capacitancia presente, el circuito se vuelve dependiente de la frecuencia. La respuesta de la etapa en baja frecuencia se determina por la red RC mostrada en la figura 6.14(a). Conforme disminuye la frecuencia de la señal, aumenta la tensión a través del capacitor en serie y disminuye la tensión a través de R_L. Este efecto reduce la señal desarrollada a través de R_L, y por tanto disminuye la ganancia del amplificador.

El punto de *media potencia,* o de 3 *dB*, especifica la frecuencia más baja de corte. Esta es la frecuencia que provoca una caída de 3 dB ($1/\sqrt{2}$) en la amplitud de salida. El punto está especificado por

$$R_L = \left| \frac{1}{j\omega C_1} \right|$$

o

$$\omega = \frac{1}{R_L C_1}$$

En la figura 6.14(b) se muestra la respuesta en amplitud de la red RC. Nótese que a la frecuencia de media potencia, la amplitud cae por un factor de $1/\sqrt{2}$ de su valor pico. Esta frecuencia es la frecuencia en radianes más baja y, por lo común, representa la frecuencia más baja que puede ser procesada de manera efectiva por el amplificador. Esto es, conforme disminuye la frecuencia, la salida disminuye. En algún punto, la amplitud en la salida es muy pequeña para ser de utilidad. Por ejemplo, se podría tolerar sólo un 1% de caída en la tensión de salida. El punto

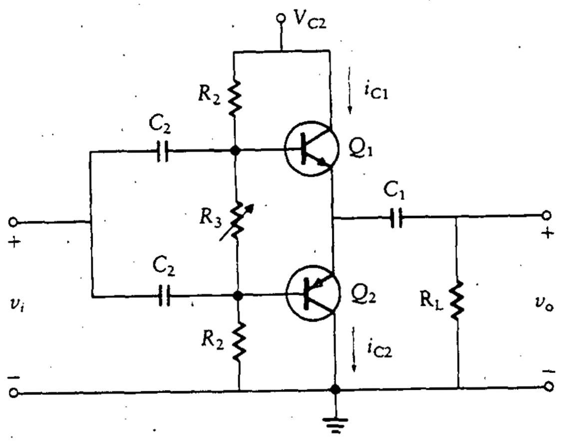


Figura 6.13
Simetría complementaria utilizando una fuente de alimentación.

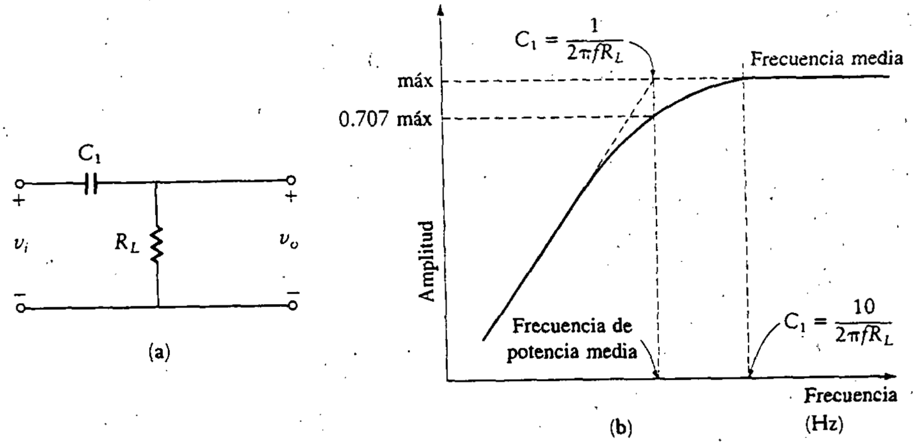


Figura 6.14
Red RC.

de media potencia representa cerca del 30% de caída en la tensión o corriente de salida (es decir, $1/\sqrt{2} = 0.707$), lo cual puede ser más de lo que se puede tolerar para la aplicación dada. Sin embargo, el punto de media potencia se acepta, en general, como la frecuencia límite.

Con referencia a la figura 6.15, se ve que si C_1 es grande, la impedancia es pequeña y v_L es casi igual a v'_L. Por tanto, la potencia de salida está aproximadamente en su máximo valor. Por otra parte, si C_1 es relativamente pequeña, v_L es casi igual a cero y la potencia de salida es pequeña. La impedancia de C_1 determina la amplitud de salida, y su impedancia depende de la frecuencia. La impedancia de un capacitor fijo disminuye con el aumento de la frecuencia, de manera que el peor caso se produce a la frecuencia de operación más baja. Supóngase que la frecuencia más baja (es decir, la frecuencia de corte) es f_{baja} hertz. Entonces el

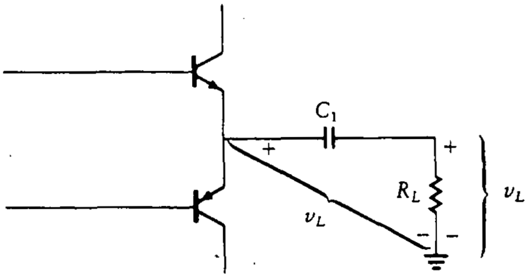


Figura 6.15
Divisor de tensión en la salida a la frecuencia más baja.

valor de C_1 se encuentra de la ecuación para el punto de media potencia como sigue:

$$C_1 = \frac{1}{2\pi f_{\text{baja}} R_L}$$

Para este valor de C_1, la tensión de salida (en notación de operadores) está dada por

$$V_L = \frac{R_L V_L'}{\sqrt{X_{C1}^2 + R_l^2}} = \frac{V_L'}{\sqrt{2}} \tag{6.6}$$

Por tanto, siempre que se opere por encima de la frecuencia de corte, V_L será mayor que el valor mostrado en la ecuación (6.6).

Es posible mejorar aún más la operación del circuito. Las fluctuaciones de V_{BE} con la temperatura se pueden reducir reemplazando los dos resistores R_1 con diodos. Estos diodos deben tener características similares a las del transistor y se deben montar en el mismo disipador de calor. Esta forma de compensación se analiza en la sección 5.4 y se ilustra en la figura 6.16.

En el diseño de cualquier amplificador de simetría complementaria, deben tenerse presentes tres áreas de interés. Una es la distorsión de cruce por cero presentada en la sección 6.1.2. Esta distorsión se puede reducir fácilmente colocando pequeños resistores en serie con los diodos para hacer que I_{CQ} se encuentre ligeramente por encima de cero. Esto, a su vez, provoca que ambos amplificadores amplifiquen la señal de entrada en ca de manera simultánea en la región de paso, compensando así la baja amplificación individual en esa región. La segunda área de interés es la posibilidad de *falla térmica,* que puede producirse si los dos transistores complementarios no tienen las mismas características o si una V_{BE} descompensada se reduce por las altas temperaturas. Esto conduciría a una corriente de colector mayor, que originaría disipación de potencia y calentamiento adicionales. Este proceso continúa hasta que el transistor se sobrecalienta y falla. Este problema se reduce colocando pequeños resistores en serie con el emisor para aumentar el nivel

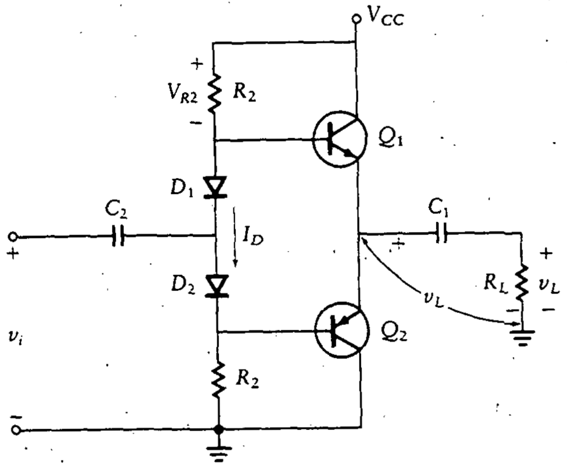


Figura 6.16 Simetría complementaria con compensación por diodo.

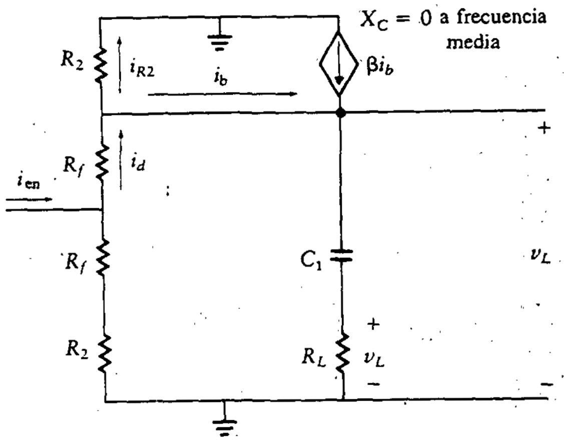


Figura 6.17 Circuito equivalente a la base.

de polarización. Con una carga de cuatro a ocho ohms, las resistencias necesarias son de aproximadamente 0.47 Ω. El tercer punto de interés es mantener los diodos de polarización en conducción todo el tiempo para evitar la distorsión.

El diseño del amplificador de potencia mostrado en la figura 6.16 requiere conocer la resistencia del diodo en directo, que suele ser inferior a 100 Ω. También es importante que la corriente de polarización del diodo sea bastante grande para mantener los diodos en la porción lineal de su región de polarización directa para todas las tensiones de entrada. La máxima corriente pico negativa a través del diodo debe ser menor que la corriente de polarización en directo. Esto es, el componente de cd de corriente debe ser mayor que el de ca, de modo que cuando se añade al componente de cd, la corriente resultante no se vuelva negativa. Si esto no fuese cierto, el diodo se polarizaría inversamente. Esta restricción se establece como

$$I_D > |i_{dp}| \tag{6.7}$$

donde i_{dp} es la amplitud del componente de ca de la corriente del diodo.

El circuito equivalente en ca se muestra en la figura 6.17, donde i_b es la corriente en ca de la base del transistor y v'_L es la tensión en ca a través de la carga, $R_L + jX_{CI}$, a baja frecuencia.

La siguiente ecuación proporciona la corriente directa, I_D, a través del diodo.

$$I_D = \frac{V_{CC}/2 - 0.7}{R_2}$$

La señal de corriente *pico* a través del diodo en dirección inversa, i_{dp}, es (véase Fig. 6.17)

$$
\begin{aligned}
i_{dp} &= i_{bp} + i_{R_2p} \\
&= i_{bp} + \frac{v'_{Lp}}{R_2}
\end{aligned} \tag{6.8}
$$

La ecuación (6.8) se deriva notando que la ganancia de tensión es unitaria para el amplificador ES. Esto es, la tensión en ca a través de R_2 es igual que la tensión del emisor a tierra, v'_L.

Igualando I_D con i_{dp}, se encuentra la condición limitante para la operación del diodo en la región de polarización directa (véase Ec. (6.7)). A partir de esto, R_2 se puede encontrar como sigue:

$$\frac{V_{CC}/2 - 0.7}{R_2} = i_{bp} + \frac{v'_{Lp}}{R_2}$$

entonces

$$R_2 = \frac{V_{CC}/2 - 0.7 - v'_{Lp}}{i_{bp}}$$

Como el amplificador es un ES, $v_i \approx v'_L$. A frecuencias medias, la tensión a través de C_1 es cero, por lo que la tensión completa, v_L, aparece a través de R_L. Por tanto, $v'_L = v_L$. A la frecuencia de corte baja (3 dB), la potencia de salida cae a 1/2 de la potencia a frecuencias medias, y la tensión a través de R_L es igual a la tensión a través de C_1. Cada una de estas tensiones es igual a $v_L/\sqrt{2}$. La magnitud pico de la tensión a través de la combinación en serie de R_L y C_1 es

$$|v'_{Lp}| = \sqrt{\left(\frac{v_L}{\sqrt{2}}\right)^2 + \left(\frac{v_L}{\sqrt{2}}\right)^2} = v_L$$

Por tanto, el valor de v'_{Lp} en la ecuación (6.9) se puede escribir como

$$v'_{Lp} = R_L \beta i_{bp} = R_L i_{Cp} \tag{6.10}$$

La resistencia de entrada se determina del circuito equivalente mostrado en la figura 6.18 para la condición de $Z_L = R_L$ a frecuencias medias del amplificador donde $X_{C1} = 0$.

Se supone que el capacitor es un cortocircuito para operación a frecuencias medias. Nótese que R_L se refleja como βR_L. El diodo tiene una resistencia en directo, R_f, y otra inversa, R_r.

La resistencia de entrada se encuentra de la figura 6.18 como sigue:

$$R_{en} = (R_f + R_2) \parallel \left[R_f + (R_2 \parallel \beta R_L)\right] \tag{6.11}$$

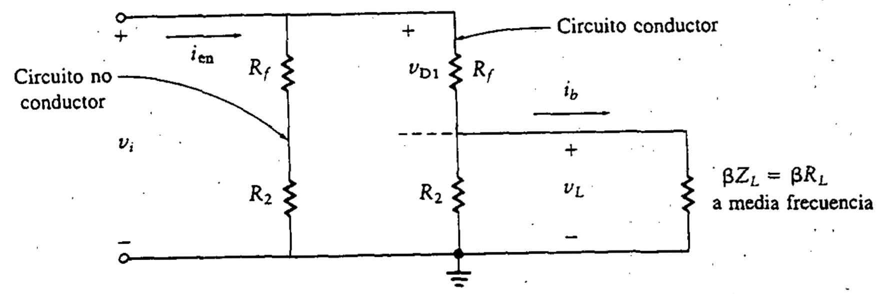


Figura 6.18 Circuito equivalente a la entrada.

La ganancia de corriente se encuentra utilizando división de corriente. La tensión a través de D_1 con Q_1 en conducción es

$$v_{D1} = R_f\left(i_{bp} + \frac{v_L}{R_2}\right)$$

$$i_{D2} = \frac{v_{D1} + v_L}{R_f + R_2}$$

$$i_{en} = \frac{v_{D1} + v_L}{R_f + R_2} + i_{bp} + \frac{v_L}{R_2} \tag{6.12}$$

$$A_i = \beta\frac{i_b}{i_{en}} \tag{6.13}$$

Se incluye un subíndice adicional, p, para indicar que se está utilizando el valor pico de la variable (por ejemplo, i_{bp}).

6.3.3 Cálculos de potencia para el amplificador *push-pull* clase B

La potencia desarrollada por la fuente de cd se divide entre el transistor y los resistores del circuito de polarización. La señal de la fuente de ca añade una cantidad de potencia adicional insignificante, ya que las corrientes de base son pequeñas en relación con las corrientes de colector. Parte de la potencia dirigida al transistor va a la carga, y la otra parte se disipa en el transistor mismo. Las siguientes ecuaciones especifican varias de las relaciones de potencia en el circuito.

La potencia de entrada es

$$P_{VCC} = V_{CC}I_{DC}$$

donde I_{DC} es la corriente promedio extraída de la fuente de poder por la parte del transistor en el circuito. La corriente, I_{DC}, se determina promediando un periodo completo. Se utiliza la ecuación

$$I_{DC} = \frac{1}{T}\int_0^{t/2} i_{C1}(t)\,dt = \frac{1}{\pi}I_{C\ \text{máx}}$$

Este resultado requiere de un examen más cuidadoso. Durante el primer semiciclo de la entrada, la corriente fluye a través del transistor superior en el capacitor y el resistor de carga. El segundo transistor se halla en corte. La potencia durante este primer semiciclo se desarrolla a través del transistor superior, la carga, y a través de la energía almacenada en el capacitor. Durante el segundo semiciclo, el transistor superior está en corte. Por tanto, la fuente V_{CC} *no suministra ninguna potencia* durante este semiciclo. En lugar de ello, la energía almacenada en el capacitor se devuelve a la carga y al transistor inferior.

$$P_{VCC}(\text{transferido al circuito transistor}) = \frac{V_{CC} I_{C\ \text{máx}}}{\pi} \tag{6.14}$$

El valor máximo de la corriente de colector es

$$I_{C\ \text{máx}} = \frac{V_{CC}}{2R_L}$$

La máxima potencia transferida al transistor es

$$P_{VCC} = (\text{máx transferido transistor}) = \frac{V_{CC}^2}{2\pi R_L}$$

La potencia de salida en ca, suponiendo que la entrada sea senoidal, es

$$P_{o(ac)} = \frac{I_{C\ \text{máx}}^2 R_L}{2} \tag{6.15}$$

y la máxima potencia de salida en ca se encuentra sustituyendo $I_{C\ \text{máx}}$ para obtener

$$\text{máx}P_{o(ac)} = \frac{1}{2}\left(\frac{V_{CC}}{2R_L}\right)^2 R_L = \frac{V_{CC}^2}{8R_L}$$

La potencia total en cd proporcionada a la etapa es la suma de la potencia en el transistor y la potencia en el circuito de polarización y compensación:

$$P_{VCC} = \frac{V_{CC} I_{C\ \text{máx}}}{\pi} + \frac{V_{CC}^2}{2R_f + 2R_2} \tag{6.16}$$

Si se resta la potencia en la carga de la potencia de la ecuación (6.14), se encuentra la potencia que se disipa en los transistores. Como esta potencia se comparte en forma equitativa entre los dos transistores, la potencia disipada por un solo transistor es un medio de este valor. Entonces,

$$P_{\text{transistor}} = \frac{1}{2}\left[\frac{V_{CC} I_{C\ \text{máx}}}{\pi} - \frac{I_{C\ \text{máx}}^2 R_L}{2}\right] \tag{6.17}$$

Se está suponiendo que la corriente de base es despreciable. La máxima eficiencia del amplificador *push-pull* clase B es la relación de la potencia de salida a la potencia suministrada al transistor. Entonces, cuando se desprecia la potencia disipada por el circuito de polarización ([34], Cap. 18):

$$\eta = \frac{V_{CC}^2/8R_L}{V_{CC}^2/2\pi R_L} = \frac{\pi}{4} = 0.785, \quad \text{o} \quad 78.5\%$$

Este amplificador es más eficiente que un amplificador clase A.

El diseñador de este amplificador debe especificar el manejo de potencia del transistor. Es decir, es importante conocer la máxima potencia disipada por un solo transistor. Este parámetro se encuentra derivando la ecuación (6.17) con respecto a $I_{C\,\text{máx}}$ con el fin de encontrar el valor que produce la máxima disipación de potencia. Por tanto,

$$\frac{dP}{dI_{C\,\text{máx}}} = 0 = \frac{1}{2}\left[\frac{V_{CC}}{\pi} - I_{C\,\text{máx}}R_L\right] \tag{6.18}$$

y despejando $I_{C\,\text{máx}}$ se obtiene

$$I_{C\,\text{máx}} = \frac{V_{CC}}{\pi R_L} \tag{6.19}$$

Se sustituye ahora este valor en la ecuación (6.17) para encontrar la máxima potencia:

$$P_{\text{máx}} = \frac{1}{2}\left[\frac{V_{CC}{}^2}{\pi^2 R_L} - \frac{V_{CC}{}^2}{2\pi^2 R_L}\right]$$

$$= \frac{V_{CC}^2}{4\pi^2 R_L} \tag{6.20}$$

Como la ecuación (6.20) representa la máxima potencia disipada en cada transistor, es equivalente al valor mínimo de manejo de potencia del transistor. Esto es, al elegir el transistor es importante que el manejo de potencia sea igual o mayor que este número.

Ejemplo 6.3 Amplificador *push-pull* clase B (diseño)

Diséñese un circuito con simetría complementaria compensado por diodos (Fig. 6.16) para un amplificador de audio con una respuesta en frecuencia de 60 Hz a 20 kHz y una potencia de salida de $\frac{1}{2}$ W en un altavoz de 8 Ω. Utilícense transistores de silicio con $\beta = 60$ y compensación por diodos. Los diodos tienen

una resistencia en directo de 8 Ω. Utilícese una fuente de alimentación de 12 V y determínese la ganancia de corriente, la potencia proporcionada al amplificador y el manejo de potencia de los transistores.

SOLUCIÓN En primer lugar, se determina el valor de $I_{C\,\text{máx}}$ necesario para lograr la potencia especificada en la carga:

$$P_L = \frac{I^2_{C\,\text{máx}} R_L}{2} = \frac{1}{2}\ \text{W}$$

$$I_{C\,\text{máx}} = \sqrt{\frac{1}{R_L}} = \sqrt{\frac{1}{8}} = 0.354\ \text{A}$$

La máxima corriente de base es

$$I_{bp} = \frac{I_{C\,\text{máx}}}{\beta} = \frac{0.354}{60} = 5.9\ \text{mA}$$

La frecuencia inferior, 60 Hz, representa la frecuencia de media potencia utilizada para encontrar C_1. A esta frecuencia,

$$R_L = \frac{1}{\omega C_1}$$

y

$$C_1 = \frac{1}{\omega R_L} = \frac{1}{60 \times 2\pi \times 8} = 331\ \mu\text{F}$$

A 60 Hz, la impedancia del circuito R_C es $Z'_L = 8\sqrt{2} = 11.3\ \Omega$. Entonces Z_L, vista desde la base, es $Z_L = 60(11.0) = 678\ \Omega$. Utilizando la ecuación (6.10), se encuentra, a frecuencias medias

$$v'_{Lp} = 0.354 \times 8 = 2.83\ \text{V}$$

Se utiliza la ecuación (6.9) para encontrar R_2.

$$R_2 = \frac{6 - 0.7 - 2.83}{5.9} = 419\ \Omega$$

R_{en} y A_i a frecuencias medias se determinan como sigue:

$$V_D = R_f\left(i_{bp} + \frac{V_L}{R_2}\right) = 8\left(5.9 \times 10^{-3} + \frac{2.83}{419}\right)$$
$$= 0.1\ \text{V}$$

Utilizando la ecuación (6.12), se encuentra

$$i_{\text{en}} = \frac{0.1 + 2.83}{427} + 5.9 \times 10^{-3} + \frac{2.83}{419} = 19.8 \text{ mA}$$

Utilizando la ecuación (6.11), se encuentra R_{en}:

$$R_{\text{en}} = (8 + 419) \parallel [8 + (419 \parallel 480)] = 150 \ \Omega$$

Se utiliza entonces la ecuación (6.13) para evaluar A_i:

$$A_i = \frac{60(5.9)}{19.8} = 17.9$$

La potencia proporcionada al amplificador, incluyendo el circuito de polarización, está dada por la ecuación (6.16):

$$P_{VCC} = \frac{12(0.354)}{\pi} + \frac{12^2}{2(8 + 419)} = 1.52 \text{ W}$$

La máxima potencia disipada por cada transistor está dada por la ecuación (6.20):

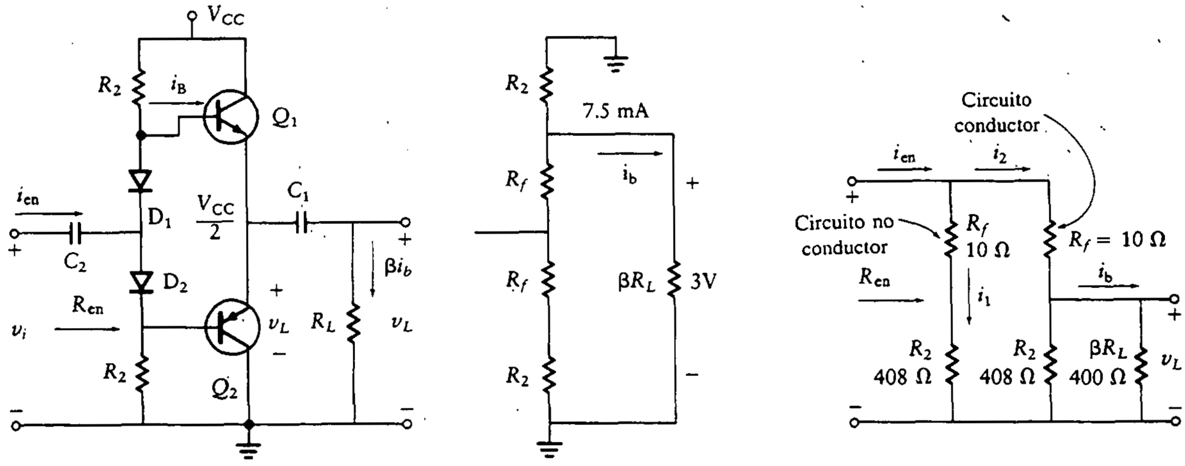
$$P_{\text{trans}} = \frac{V_{CC}^2}{4\pi^2 R_L} = 0.456 \text{ W}$$

Ejemplo 6.4 Amplificador *push-pull* clase B (diseño)

Diséñese un amplificador *push-pull* clase B con simetría complementaria compensado por diodos (véase Fig. 6.19) para excitar una carga de 4 Ω a ± 3 V para un intervalo de frecuencias de 50 a 20 000 Hz. Utilícense transistores *npn* y *pnp* con una $\beta = 100$ para cada uno y $V_{BE} = \pm 0.7$ V. Los diodos tienen resistencia en directo, $R_f = 10 \ \Omega$. Determínense todas las tensiones y corrientes en reposo para $V_{CC} = 16$ V. Calcúlese la máxima potencia que se extrae de la fuente de alimentación, la potencia desarrollada en la carga y el manejo de potencia de los transistores por utilizar.

SOLUCIÓN Elíjase C_1 tal que la frecuencia a media potencia sea de 50 Hz. Por tanto, a esta frecuencia se tiene

$$C_1 = \frac{1}{2\pi f_L R_L} = 796 \ \mu\text{F} \approx 800 \ \mu\text{F}$$



(a) Circuito amplificador (b) Circuito equivalente (intervalo medio) (b) Circuito equivalente desde la entrada

Figura 6.19 Circuito para el ejemplo 6.4.

En la sección 4.8 se analizó la selección de componentes. Algunos de los puntos de esa sección ameritan repetirse aquí. En muchos diseños del texto se especifica el valor de los componentes hasta tres dígitos significativos. En la mayoría de los diseños prácticos, esta precisión es mucho mayor que la necesaria. Por ejemplo, al trabajar con resistores comunes (no de precisión) la tolerancia suele ser de ± 5%. Así, se puede esperar que un resistor que está marcado como 100 Ω tenga una resistencia exacta entre 95 y 105 Ω. Por tanto, si se está utilizando un resistor de ± 5%, no tiene mucho sentido para el ingeniero de diseño especificar una resistencia de valor de 101.5936 Ω. Esto también es cierto para los capacitores. La cantidad de redondeo que se permite en un diseño depende de la precisión de los componentes por utilizar y en la confianza que tenga el diseñador en los parámetros del diseño (por ejemplo β). A mayor precisión, más caros son los componentes. Como no se ha especificado ningún nivel particular de precisión, se mantendrán varias de las respuestas hasta tres dígitos significativos. El redondeo de los números en los pasos de cálculo intermedios puede propagar errores.

A pesar de todo esto, se cree justificado redondear el valor de C_1 encontrado a 800 μF. Esto representa un cambio de sólo $\frac{1}{2}$%.

Las máximas corrientes de colector y de base están relacionadas a través de β. Por tanto,

$$i_{bp} = \frac{i_{Cp}}{\beta}$$

pero como $V_{L\,\text{máx}}$ está dada como 3, se encuentra

$$i_{Cp} = \frac{3}{4} = 750 \text{ mA}$$

Por tanto,

$$i_{bp} = 7.5 \ \text{mA}$$

y de la ecuación (6.9),

$$R_2 = \frac{8 - 0.7 - 3}{7.5 \ \text{mA}} = 573 \ \Omega$$

A frecuencias medias, de la ecuación (6.11) se encuentra que la resistencia de entrada es

$$R_{en} = (10 + 573) \parallel [10 + (573 \parallel 400)] = 173 \ \Omega$$

La potencia de la fuente está dada por la ecuación (6.16).

$$P_{prop} = \frac{V_{CC} I_{C \ \text{máx}}}{\pi} + \frac{V_{CC}^2}{2R_f + 2R_2}$$
$$= 3.82 + 0.22 = 4.04 \ \text{W}$$

La ecuación (6.15) proporciona la potencia de salida.

$$P_o = \frac{i_{C \ \text{máx}}^2 R_L}{2} = 1.13 \ \text{W}$$

Por último, la ecuación (6.20) se utiliza para encontrar el manejo de potencia requerido por cada transistor:

$$P_{trans} = \frac{V_{CC}^2}{4\pi^2 R_L} = \frac{16^2}{4\pi^2 4} = 1.62 \ \text{W}$$

La ganancia de corriente, A_i, se encuentra con base en la figura 6.19(c):

$$i_b = \frac{R_2 i_2}{R_2 + \beta R_L} = \frac{573 i_2}{973}$$

Por tanto,

$$i_2 = \frac{973 i_b}{573} = 12.7 \ \text{mA}$$

e i_2 e i_{en} se relacionan por

$$i_2 = \frac{(R_f + R_2) i_{en}}{(R_f + R_2 + R_f + R_2 \parallel \beta R_L)} = \frac{583 i_{en}}{828}$$

Entonces,

$$i_{en} = \frac{828(12.7 \text{ mA})}{583} = 18 \text{ mA}$$

Por último,

$$A_i = \frac{\beta i_b}{i_{en}} = \frac{7.5 \times 100}{18} = 41.7$$

Ejercicios

D6.3 Diséñese un amplificador clase B de simetría complementaria compensado por diodos para excitar una carga de 4 Ω con potencia de 1 W para un intervalo de frecuencia de 20 a 20000 Hz. Utilícense transistores *npn* y *pnp* complementarios con $\beta = 100$ y $V_{BE} = \pm 0.7$ V con diodos de características equivalentes que tengan $R_f = 50\ \Omega$. Sea $V_{CC} = 12$ V. Determínense R_2, R_{en}, C_1, P_{trans} y $A_i = i_o/i_{en}$.

Resp.: $R_2 = 350\ \Omega$; $C_1 = 2000\ \mu$F;
$P_{trans} = 0.91$ W;
$A_i = 29$; $R_{en} = 149\ \Omega$

D6.4 Diséñese un amplificador de potencia clase B de simetría complementaria compensado por diodos para proporcionar 2 W a una carga de 10 Ω sobre un intervalo de 30 Hz a 30 kHz. Utilícese un par de transistores complementarios *npn* y *pnp* de $\beta = 100$ y $V_{BE} = \pm 0.7$ V con diodos de características equivalentes que tengan $R_f = 5\ \Omega$. Determínense R_2, C_1, R_{en} y A_i cuando $V_{CC} = 16$ V.

Resp.: $C_1 = 530\ \mu$F; $R_2 = 154\ \Omega$;
$R_{en} = 74\ \Omega$; $A_i = 7.1$

6.4 CIRCUITO DARLINGTON

En la figura 6.20 se ilustra un *circuito Darlington.* Dicho circuito es una configuración compuesta de dos transistores en cascada. Esta combinación de transistores posee algunas características deseables que la hacen más útil que un solo transistor en ciertas aplicaciones. Por ejemplo, el circuito tiene alta impedancia de entrada, baja impedancia de salida y alta ganancia de corriente. Una desventaja del par

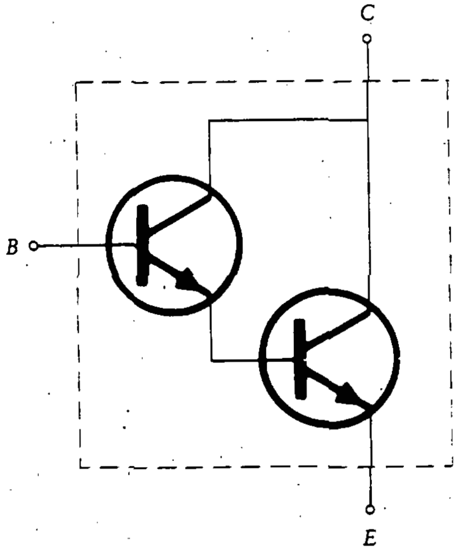
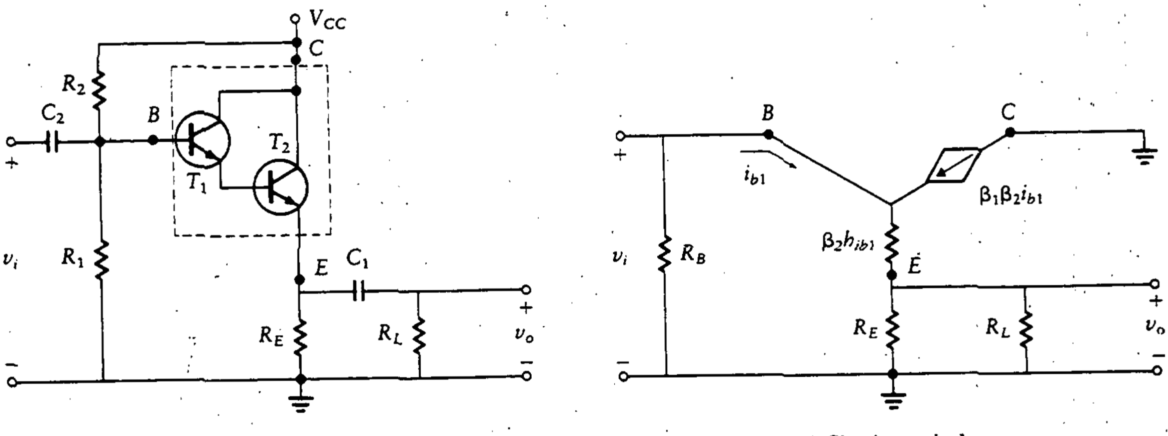


Figura 6.20
Par Darlington.



(a) Amplificador ES

(b) Circuito equivalente en ca (h_{ib2} se puede ignorar)

Figura 6.21 Amplificador ES utilizando un par Darlington.

Darlington es que la corriente de fuga del primer transistor es amplificada por el segundo.

Si los dos transistores se conectan de la manera mostrada en la figura 6.21, las betas de los dos transistores se multiplican, formando una combinación que parece un solo transistor de β alta. El par Darlington se puede utilizar en configuraciones EC o ES. La h_{ie} de ambos transistores no es la misma, ya que el punto de operación del primer transistor es diferente del segundo. Esto se debe a que la carga equivalente en el primer transistor es $\beta_2(R_L \parallel R_E)$, mientras que la carga en el segundo transistor es sólo $R_E \parallel R_L$. En la práctica, el primer transistor puede

tener un manejo de potencia menor que el segundo. La resistencia de entrada del segundo transistor constituye la carga del emisor del primer transistor.

A fin de determinar los parámetros de ca para el amplificador Darlington EC, véase el circuito equivalente, que se muestra en la figura 6.22(b). Se escribe la ecuación para R_{en} como sigue:

$$R_{en} = R_B \parallel (h_{ie1} + \beta_1 h_{ie2})$$

y

$$h_{ie1} = \beta_1 h_{ib1}$$
$$h_{ie2} = \beta_2 h_{ib2}$$

Entonces

$$R_{en} = R_B \parallel (\beta_1 h_{ib1} + \beta_1 \beta_2 h_{ib2})$$

pero

$$h_{ib2} = \frac{V_T}{I_{CQ2}}$$
$$h_{ib1} = \frac{V_T}{I_{CQ1}} = \frac{V_T}{I_{BQ2}} = \frac{\beta_2 V_T}{I_{CQ2}} = \beta_2 h_{ib2}$$

y

$$R_{en} = R_B \parallel (\beta_1 \beta_2 h_{ib2} + \beta_1 \beta_2 h_{ib2})$$
$$= R_B \parallel 2\beta_1 \beta_2 h_{ib2}$$

Utilizando división de corriente, se obtiene

$$i_{b1} = \frac{R_B}{R_B + h_{ie1} + \beta_1 h_{ie2}} i_{en} = \frac{R_B}{R_B + 2\beta_1 \beta_2 h_{ib2}} i_{en}$$
$$i_{en} = \frac{R_B + 2\beta_1 \beta_2 h_{ib2}}{R_B} i_{b1}$$
$$A_i = \frac{i_2}{i_{en}} = \frac{-\beta_1 \beta_2 i_{b1} R_C/(R_C + R_L)}{(R_B + 2\beta_1 \beta_2 h_{ib2}) i_{b1}/R_B}$$
$$= \frac{-\beta_1 \beta_2 R_B}{R_B + 2\beta_1 \beta_2 h_{ib2}} \frac{R_C}{R_C + R_L}$$
$$= \frac{-R_B}{R_B/\beta_1 \beta_2 + 2h_{ib2}} \frac{R_C}{R_C + R_L}$$

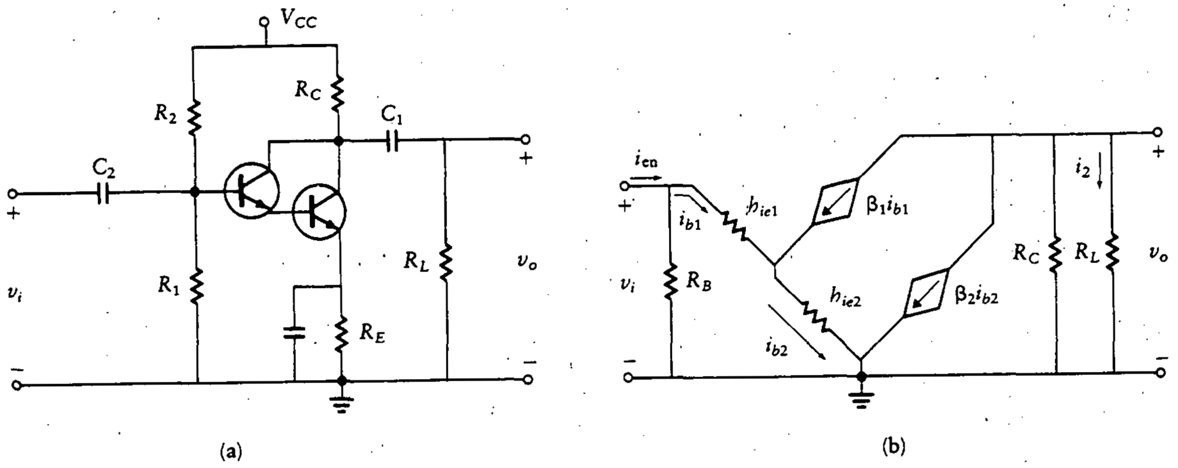


Figura 6.22 Amplificador Darlington EC.

Utilizando la fórmula de ganancia de impedancia, se tiene

$$A_v = A_i R_L / R_{en}$$

$$= \frac{-\beta_1\beta_2(R_C \parallel R_L)}{2\beta_1\beta_2 h_{ib2}} = \frac{-R_C \parallel R_L}{2h_{ib2}}$$

Aunque normalmente se considera que éste es un amplificador de ganancia de tensión, dicho amplificador puede proporcionar altas ganancias de corriente debido a su resistencia de entrada extremadamente grande. Varias configuraciones de amplificadores con la resistencia de emisor en cortocircuito tienen excelentes ganancias de tensión, pero baja resistencia de entrada, lo que redunda en una baja ganancia de corriente. Sin embargo, este amplificador proporciona no sólo buena ganancia de tensión, sino también excelente ganancia de corriente.

Algunos fabricantes empaquetan el par Darlington en un solo paquete con tres terminales externas únicamente. Los pares Darlington empacados en un circuito integrado están disponibles con betas de hasta 30 000 ([34], pág. 395).

Aunque el circuito Darlington se puede ver como un solo transistor, existen algunas diferencias potenciales importantes. Una de ellas es la velocidad de operación. Cambiar la tensión a través de la unión de un transistor requiere una cantidad finita de tiempo, ya que se deben mover electrones. De hecho, conforme aumenta la capacitancia, aumenta la constante de tiempo de cualquier combinación RC y disminuye la velocidad de operación. Como el circuito Darlington tiene dos uniones base-emisor en serie una con la otra, la combinación tiende a operar de forma más lenta que un solo transistor ([51], Sec. 7.6). Para acelerar la operación, se coloca un resistor entre el emisor del primer transistor y la base del segundo. Estos resistores tienen valores típicos de varios cientos de ohms para transistores de potencia y varios miles para transistores de señal. Además, como hay dos uniones base-emisor, en vez de 0.7 V se tiene una V_{BE} = 1.4 V en total.

El circuito equivalente del par Darlington utilizado en amplificadores ES se puede simplificar como se muestra en la figura 6.22(b). Los valores de R_{en} y A_i se determinan como sigue:

$$R_{en} = R_B \parallel [\beta_1\beta_2(2h_{ib2} + R_E \parallel R_L)]$$

La ganancia de corriente está dada por

$$A_i = \frac{\beta_1\beta_2 i_{b1}}{i_{en}} \doteq \frac{R_E}{R_E + R_L}$$

donde

$$i_{b1} = \frac{R_B}{R_B + (2h_{ib2} + R_E \parallel R_L)\beta_1\beta_2} i_{en}$$

y

$$i_{en} = \frac{R_B + (2h_{ib2} + R_E \parallel R_L)\beta_1\beta_2}{R_B} i_{b1}$$

por lo que se obtiene

$$A_i = \frac{R_B}{R_B/\beta_1\beta_2 + 2h_{ib2} + R_E \parallel R_L} \frac{R_E}{R_E + R_L}$$

De estas ecuaciones, se ve que R_B puede hacerse más grande que en el caso de un solo transistor. Como resultado, la resistencia de entrada y la ganancia de corriente son mucho más grandes para el par Darlington.

Ejemplo 6.5 El par Darlington en el amplificador clase A (diseño)

Diséñese un amplificador ES utilizando un par Darlington (Fig. 6.21) que posee una β combinada de 10 000 y una V_{BE} = 1.4 V. El amplificador debe excitar una carga de 20 Ω con R_{en} = 3 kΩ. Utilícense V_{CC} = 12 V, f_L = 20 Hz y determínense A_i y P_o.

SOLUCIÓN Sea $R_E = R_L$, ya que existe una ecuación menos que incógnitas. Se calcula R_B conociendo R_{en} como sigue:

$$R_{en} = R_B \parallel [\beta_1\beta_2(R_E \parallel R_L)]$$

$$3\ \text{k}\Omega = \frac{R_B(100000)}{R_B + 100000}$$

Se ignora h_{ib2} (ya que I_{CQ} es mayor) y se despeja R_B:

$$R_B = 3.09 \text{ k}\Omega$$

El punto Q está en

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cd}} = \frac{12}{10 + 20} = 400 \text{ mA}$$

Se utiliza la ecuación de polarización para encontrar V_{BB}.

$$\begin{aligned} V_{BB} &= V_{BE} + I_{CQ}\left(\frac{R_B}{\beta_1\beta_2} + R_E\right) \\ &= 1.4 + (400 \times 10^{-3})\left(\frac{3090}{10\,000} + 20\right) = 9.52 \text{ V} \end{aligned}$$

Los resistores de polarización están dados por

$$R_1 = \frac{3090}{1 - 9.52/12} = 15.0 \text{ k}\Omega$$

$$R_2 = \frac{3090 \times 12}{9.52} = 3.87 \text{ k}\Omega$$

La ganancia de corriente está dada por

$$A_i = \frac{3.09 \text{ k}\Omega}{3090/10000 + 10} \times \frac{1}{2} = 150$$

La potencia de salida es

$$P_o = \frac{1}{2}\left(\frac{I_{CQ}}{2}\right)^2 R_L = \frac{1}{2}\left(\frac{0.4}{2}\right)^2 20 = 0.4 \text{ W}$$

Se calcula C_1 notando que la resistencia total en el trayecto de descarga del capacitor es $(R_E + R_L)$, y entonces

$$C_1 = \frac{1}{2\pi f_L(R_E + R_L)} = 199 \ \mu\text{F}$$

El par Darlington proporciona un incremento mayor en la ganancia de corriente que un amplificador con un solo transistor. Además, brinda mayor resistencia de entrada que la que se puede obtener con un amplificador de un solo transistor.

Ejercicios

D6.5 Diséñese un amplificador ES utilizando un par Darlington (Fig. 6.21) para excitar una carga de 8 Ω con una β combinada de 20 000, $V_{BE} = 1.4$ V, $V_{CC} = 20$ V y $A_i = 500$. Diséñese el amplificador para un intervalo de frecuencia de 40 a 15 000 Hz. Encuéntrense R_E, R_1, R_2, C_1, R_{en} y P_o.

Resp.: $R_E = 8\ \Omega$; $R_1 = 17\ \text{k}\Omega$; $R_2 = 5.6\ \text{k}\Omega$;
$C_1 = 250\ \mu$F (para 3 dB);
$R_{en} = 4\ \text{k}\Omega$; $P_o = 2.79$ W

D6.6 Diséñese un amplificador ES utilizando un par Darlington (Fig. 6.21) con una β combinada de 5000, $V_{BE} = 1.4$ V, $V_{CC} = 20$ V, $R_{en} = 8\ \text{k}\Omega$ y $R_L = 10\ \Omega$. El intervalo de frecuencia es de 20 a 20000 Hz. Encuéntrense R_E, R_1, R_2, C_1, P_o y A_i.

Resp.: $R_E = 10\ \Omega$; $R_1 = 108\ \text{k}\Omega$; $R_2 = 13.2\ \text{k}\Omega$;
$C_1 = 398\ \mu$F (para 3 dB);
$A_i = 800$; $P_o = 1.8$ W

6.5 AMPLIFICADOR CLASE AB CUASICOMPLEMENTARIO CON PAR DARLINGTON

Se puede diseñar un amplificador de alta ganancia de corriente utilizando la conexión de un par Darlington y transistores ([6], Sec. 9.7). Dicho amplificador se ilustra en la figura 6.23. Esta configuración se conoce como *amplificador clase AB cuasicomplementario con par Darlington,* e incorpora un par Darlington con transistores *npn* y un par retroalimentado consistente en un transistor *npn* y uno *pnp*.

Los transistores Q_2 y Q_4 son transistores *npn* similares capaces de manejar alta potencia. Los transistores Q_1 y Q_3 son complementarios y no necesitan manejar alta potencia. La carga efectiva para Q_1 y Q_3 es βR_L (donde β es la ganancia de corriente del transistor de salida), que es grande comparada con R_L. Por tanto, el punto de operación para estos transistores es mucho menor en la línea de carga que el de los transistores Q_2 y Q_4.

La señal de entrada positiva provoca que Q_1 conduzca, pero Q_3 permanece en corte ya que se trata de un transistor *pnp*. Conforme la señal de entrada se hace negativa, Q_1 se corta y Q_3 conduce. Así, el circuito de entrada opera como el amplificador de potencia de simetría complementaria analizado antes. El resistor R_1 se puede ajustar para minimizar la distorsión de cruce por cero permitiendo que conduzcan tanto Q_1 como Q_2 cuando la señal de entrada está cercana a cero.

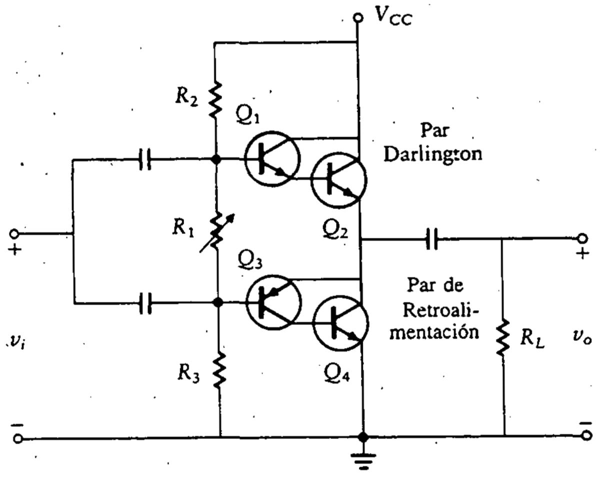


Figura 6.23
Amplificador *push-pull* cuasicomplementario.

6.6 FUENTE DE ALIMENTACIÓN UTILIZANDO TRANSISTORES DE POTENCIA

6.6.1 Fuente de alimentación utilizando componentes discretos

En el capítulo 1 se analizó la fuente de alimentación regulada utilizando un diodo Zener como dispositivo de control de tensión. A medida que el diodo Zener regula la tensión, cambia la corriente a través del diodo. Esto es, conforme aumenta la tensión de entrada, la corriente en el Zener también aumenta. Como el diodo tiene una resistencia distinta de cero, la tensión a través de él es una función de la corriente. Esto provoca una regulación pobre.

Para obtener mejor regulación, el diodo Zener se conecta al circuito de base de un transistor de potencia, como se muestra en la figura 6.24. Esta configuración reduce el flujo de corriente en el diodo. El transistor de potencia utilizado en esta configuración se conoce como transistor *de paso.* El propósito de C_L es asegurar que las variaciones en una de las cargas de la fuente regulada no alimenten otras cargas. Esto es, el capacitor constituye, en efecto, un cortocircuito para variaciones de alta frecuencia.

Debido a la propiedad de amplificación de corriente del transistor, la corriente en el diodo Zener es pequeña. Por tanto, existe una pequeña caída de tensión a través de la resistencia del diodo, y el Zener actúa como una fuente ideal de tensión.

La corriente en el resistor, R_i, es la corriente en el diodo Zener más la corriente de base del transistor. Las ecuaciones (1.13a) y (1.13b) se hacen iguales entre sí para obtener

$$R_i = \frac{V_{S\ \text{máx}} - V_Z}{I_{Z\ \text{máx}} - I_{L\ \text{mín}}/\beta} = \frac{V_{S\ \text{mín}} - V_Z}{I_{Z\ \text{mín}} - I_{L\ \text{máx}}/\beta} \tag{6.21}$$

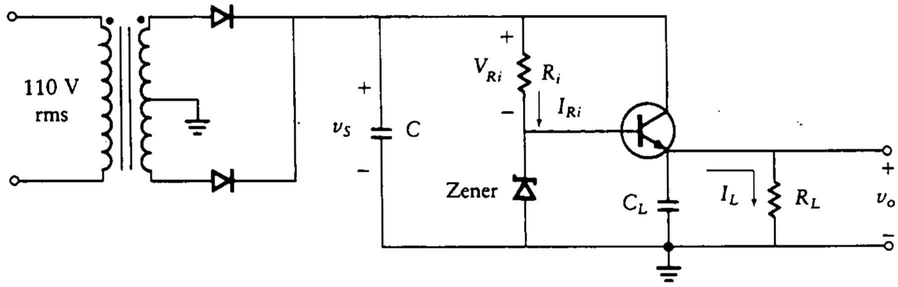


Figura 6.24
Fuente de alimentación regulada.

Entonces

$$(V_{S\ \text{máx}} - V_Z)(0.1I_{Z\ \text{máx}} - I_{L\ \text{máx}}/\beta) = (V_{S\ \text{mín}} - V_Z)(I_{Z\ \text{máx}} - I_{L\ \text{mín}}/\beta)$$
$$0.1I_{Z\ \text{máx}}(V_{S\ \text{máx}} - V_Z) + (I_{L\ \text{máx}}/\beta)(V_{S\ \text{máx}} - V_Z) =$$
$$I_{Z\ \text{máx}}(V_{S\ \text{mín}} - V_Z) + (I_{L\ \text{mín}}/\beta)(V_{S\ \text{mín}} - V_Z)$$

y, por último,

$$I_{Z\ \text{máx}} = \frac{I_{L\ \text{mín}}(V_Z - V_{S\ \text{mín}}) + I_{L\ \text{máx}}(V_{S\ \text{máx}} - V_Z)}{\beta(V_{S\ \text{mín}} - 0.1V_{S\ \text{máx}} - 0.9V_Z)} \tag{6.22}$$

La ecuación (6.22) es igual que la ecuación (1.14), excepto que la i_Z máxima es reducida por la β del transistor. El diseño se lleva a cabo como en la sección 1.6.1, excepto que se reduce el valor de $I_{Z\,\text{máx}}$. Se despeja la carga equivalente vista desde el capacitor, C_F,

$$R_L\ (\text{equivalente}) = R_i + R_z \parallel (h_{ie} + \beta R_L) \approx R_i \tag{6.23}$$

ya que $R_Z \ll R_i$.

Se sustituye la ecuación (6.23) en la (1.15) para estimar el tamaño del capacitor:

$$C_F = \frac{5(V_{S\ \text{máx}} - V_Z)}{\omega_p(V_{S\ \text{máx}} - V_{S\ \text{mín}})(R_i)} \tag{6.24}$$

El valor de ω_p es $2\pi f_p$ para el rectificador de media onda y $4\pi f_p$ para un rectificador de onda completa.

Como la ganancia de tensión de un amplificador ES es unitaria, la tensión de salida de la fuente regulada es

$$V_L = V_Z - V_{BE}$$

El porcentaje de regulación de la fuente de poder está dado por

$$\% \text{ reg} = \frac{V_{Z\ \text{máx}} - V_{S\ \text{mín}}}{V_Z} \times 100$$
$$= \frac{(V_Z + I_{Z\ \text{máx}} R_Z) - (V_Z + I_{Z\ \text{mín}} R_Z)}{V_Z} \times 100$$
$$= \frac{R_Z (I_{Z\ \text{máx}} - I_{Z\ \text{mín}})}{V_Z} \times 100 \quad (6.26)$$

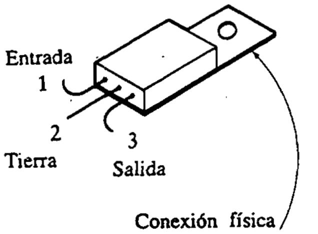
6.6.2 Fuente de alimentación utilizando un regulador de CI (regulador de tres terminales)

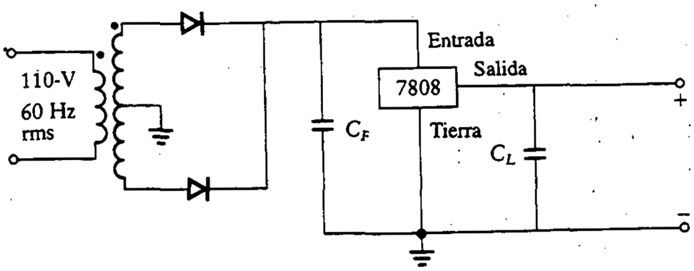
Para requerimientos de potencia relativamente bajos, el *regulador de CI* es mucho más económico que los componentes discretos necesarios para hacer una fuente regulada, y proporciona mejor regulación (±0.01%), protección de sobrecarga y confiabilidad. Por estas razones, es una alternativa atractiva a la del regulador por diodo Zener.

Como ejemplo, las series 7800 y 7900 de paquetes de reguladores en CI están disponibles de inmediato. Los últimos dos dígitos del número de parte del CI indican la tensión de salida del dispositivo. Así, por ejemplo, un CI 7808 produce una salida de 8 V regulados. La serie 7800 de reguladores en CI proporciona sólo tensiones reguladas positivas. La serie 7900 es el complemento de la 7800, pues ambas proporcionan tensiones reguladas negativas. Este paquete, aunque internamente resulta complejo, es económico y fácil de utilizar.

En la figura 6.25 se ilustran las conexiones para la serie 7800 de paquetes de reguladores en CI. El circuito externo es muy simple y se muestra en la figura 6.25(b). Nótese que el regulador en CI es un dispositivo de tres terminales. Los circuitos externos consisten en dos capacitores (C_L es opcional) y un rectificador de onda completa. Si las corrientes en el regulador exceden de aproximadamente $\frac{3}{4}$A, el CI se debe fijar a un disipador de calor.

Figura 6.25 Regulador de la serie 7800.





6.6.3 Fuente de alimentación utilizando un regulador ajustable de tres terminales

El *LM317* es un regulador ajustable de tensión positiva de tres terminales capaz de suministrar más de 1.5 A sobre un intervalo de tensiones de salida de 1.2 a 37 V. Es fácil de utilizar y requiere sólo dos resistores externos para fijar la tensión de salida. Tanto la regulación de carga como la de línea son mejores que en un regulador estándar de tensión fija. El LM317 se empaqueta en la forma de un transistor estándar.

El LM317 proporciona protección total de sobrecarga, incluyendo limitación de corriente y protección de sobrecarga térmica. En la figura 6.26(a) se muestra un diagrama de conexión para el LM317. El capacitor C_2 es opcional y, cuando se incluye, mejora la respuesta transitoria. Se utilizan comúnmente capacitores de salida en el intervalo de 1 a 100 μF (electrolíticos de tantalio o aluminio) para proporcionar mejor impedancia de salida y rechazo a los transitorios. El capacitor C_1 es necesario si el dispositivo se localiza físicamente lejos de los capacitores de filtrado.

En operación, el LM317 tiene una referencia de tensión interna de precisión que desarrolla una tensión nominal de 1.25 V, V_{REF}, entre la salida y la terminal de ajuste. La tensión de referencia aparece a través del *resistor programado,* R_1. Como V_{REF} es constante, existe una corriente constante, I_1, a través del resistor programado. La tensión de salida está dada entonces por

$$\begin{aligned} V_o &= V_{REF} + (I_1 + I_{ADJ})R_2 \\ &= V_{REF} + \frac{V_{REF}R_2}{R_1} + I_{ADJ}R_2 \\ &= V_{REF}\left(1 + \frac{R_2}{R_1}\right) + I_{ADJ}R_2 \end{aligned} \tag{6.27}$$

Nótese que si V_{REF}, R_1, R_2 e I_{ADJ} son constantes, entonces V_o también es una constante.

A menudo se utiliza un capacitor de paso de entrada. Para casi todas las aplicaciones, es adecuado un capacitor de disco de 0.1 μF o uno sólido de tantalio de 1 μF como capacitor de paso en la entrada. Este capacitor corta las variaciones de alta frecuencia que ocurren en los circuitos adjuntos.

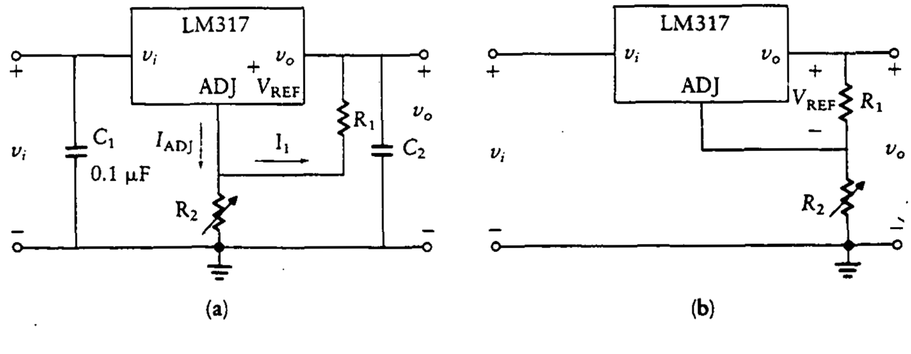


Figura 6.26
Regulador ajustable LM317.

Aunque el LM317 es estable sin capacitores de salida, como en cualquier circuito retroalimentado, ciertos valores de capacitancia externa pueden provocar oscilaciones excesivas conocidas como *timbrado*. Éste se produce con capacitancias entre 500 y 5000 μF. Un capacitor de tantalio sólido de 1 μF (o electrolítico de aluminio de 25 μF) en la salida reduce este efecto y asegura la estabilidad.

Ejemplo 6.6 Fuente de alimentación regulada utilizando componentes discretos (diseño)

Diséñese una fuente de tensión regulada de 11.3 V (véase Fig. 6.24) para una corriente de carga que varía de 400 a 500 mA. Supóngase una entrada de 120 V (rms) a 60 Hz en un transformador 3:1 con derivación central. Utilícese un Zener de 12 V con $R_z = 2\ \Omega$. El transistor tiene $V_{BE} = 0.7$ V y $\beta = 100$. Selecciónese C tal que $\Delta v_S = 10\%$.

SOLUCIÓN El diseño consiste en elegir valores para R_i y C_F. Primero se encuentra $V_{S\,\text{máx}}$ multiplicando por $\sqrt{2}$ para obtener 170 V. La salida del transformador en ambos lados de la derivación central es $\frac{1}{6}$ de la entrada, de modo que $V_{S\,\text{máx}}$ es 28.3 V. Como $\Delta v_S = 10\%$,

$$V_{S\,\text{mín}} = (0.9)(V_{S\,\text{máx}}) = 25.45\ \text{V}$$
$$I_{L\,\text{máx}} = 500\ \text{mA}$$
$$I_{L\,\text{mín}} = 400\ \text{mA}$$

y

$$V_Z = 12$$

Utilizando ahora la ecuación (6.22), se obtiene

$$\begin{aligned} I_{Z\,\text{máx}} &= \frac{0.4(12-25.45)+0.5(28.3-12)}{100(25.45-2.83-10.8)} \\ &= \frac{-5.38+8.15}{(100)11.82} \\ &= 2.3\ \text{mA} \end{aligned}$$

Nótese que el transistor mantuvo el valor de $I_{Z\,\text{máx}}$ muy pequeño ya que β aparece en el denominador de la ecuación (6.22). El valor de R_i se calcula de la ecuación (6.21).

$$R_i = \frac{V_{S\,\text{máx}} - V_Z}{I_{Z\,\text{máx}} + I_{L\,\text{mín}}/\beta} = \frac{28.3-12}{2.3+400/100} = 2.59\ \text{k}\Omega$$

El tamaño del capacitor se estima de la ecuación (6.24):

$$C_F = \frac{5(28.3 - 12)}{(2.83)4\pi(60)(2590)} = 14.75\ \mu\text{F}$$

La ecuación (6.26) se puede utilizar para evaluar el porcentaje de regulación en la carga.

$$\%\ \text{reg} = \frac{2(0.0023 - 0.00023)}{12} \times 100 = 0.0345\%$$

Ejemplo 6.7 Fuente de alimentación regulada utilizando CI (diseño)

Diséñese una fuente de alimentación regulada (véase Fig. 6.25(b)) utilizando el paquete de reguladores en CI 7808 para proporcionar una salida de 8 V. La corriente en la carga varía de 500 a 750 mA. La tensión de entrada al transformador 20:1 del circuito es de 120 V rms. Selecciónese C tal que $\Delta v_s = 10\%$.

SOLUCIÓN La máxima tensión de entrada se encuentra multiplicando por $\sqrt{2}$, lo cual da 17 V en la salida del transformador. Consúltese el apéndice D para las especificaciones del 7808. La tensión mínima hacia el regulador debe ser de al menos 4 V por arriba de la tensión regulada para asegurar una buena regulación sobre todo el intervalo o, en este caso, 8 + 4, o 12 V. Para evaluar el tamaño del capacitor de filtrado, C_F, se necesita el mínimo valor de R_L visto desde el capacitor. Esta resistencia equivalente se encuentra dividiendo la tensión mínima entre la corriente, donde ésta es la suma de la corriente en la carga y la corriente en el regulador. Se puede despreciar la corriente en el regulador y considerar sólo la corriente en la carga.

Para encontrar R_L, se utiliza la tensión de salida del regulador de tensión, V_{oR}, dividida entre $I_{L\,\text{máx}}$, o

$$R_L = \frac{V_{oR}}{I_{L\,\text{máx}}} = \frac{8\ \text{V}}{750\ \text{mA}} = 10.7\ \Omega$$

Para estimar el valor del capacitor, se utiliza una modificación de la ecuación (6.24), como sigue:

$$C_F = \frac{5(V_{S\,\text{máx}} - V_{oR})}{2\pi f_p(V_{S\,\text{máx}} - V_{S\,\text{mín}})R_L} = \frac{5(17 - 8)}{2\pi(120)(5)(10.7)}$$
$$= 1120\ \mu\text{F}$$

El valor del capacitor de carga, C_L, depende de las variaciones que se produzcan en la carga y de la distancia a la que se encuentren los elementos de la fuente de alimentación. Por lo general, se utiliza un capacitor electrolítico de alta calidad

de 1 μF. El capacitor se debe colocar físicamente cerca del regulador con el fin de aumentar la estabilidad y la respuesta transitoria.

Ejercicios

D6.7 Diséñese una fuente de tensión regulada de 7.3 V para una carga de 800 ±100 mA. La entrada es de 110 V rms a 60 Hz y se utiliza un transformador 4:1 con derivación central. $V_Z = 8$ V y $\Delta v_s = 10\%$. El transistor tiene $V_{BE} = 0.7$ y $\beta = 100$. Supóngase un rectificador de onda completa con $R_Z = 5\ \Omega$. Encuéntrense R_i, C_F y el porcentaje de regulación.

Resp.: $R_i = 2.88$ kΩ; $C_F = 18.3\ \mu$F;
0.21% de regulación

D6.8 Diséñese una fuente de tensión regulada de 12 V utilizando un regulador 7812 en CI para una carga de 500 mA. Utilícense el transformador y la fuente de entrada dados en el ejercicio D6.7.

Resp.: $C = 1004\ \mu$F

6.7 REGULADORES CONMUTADOS

Los reguladores en serie, ya sean del tipo discreto o de CI, se analizaron en las secciones anteriores. Estos reguladores en serie son útiles, aunque sufren de varias limitaciones serias. La dificultad más grave radica en el área de la potencia generada dentro del regulador. Estos reguladores en serie se basan en la caída de tensión variable a través de un resistor interno en serie, R_i, o a través de un transistor de potencia. La tensión de entrada debe ser mayor que la tensión de salida regulada. La diferencia cae a través de un componente interno. A mayor diferencia, mayor potencia se disipa dentro del regulador. Debido a la ineficiencia de los reguladores en serie, las fuentes de alimentación que generan altas corrientes de salida, superiores a 2 A, se basan en un regulador conmutado.

El diagrama de bloques de un regulador conmutado se muestra en la figura 6.27. Este sistema de retroalimentación compara una tensión de referencia, V_{REF}, con la tensión regulada de salida, V_{REG}. V_{REF} se obtiene de un regulador en serie de baja corriente de salida como el que se analizó en la sección 6.6.2. Como se requiere una corriente pequeña, tal vez de 20 mA, de dicho regulador de referencia en serie, éste disipa poca potencia interna y proporciona una tensión de referencia precisa. La tensión regulada de salida, V_{REG}, se compara con una fracción, $R_A/(R_A+R_F)$, de V_{REF}. El amplificador de error es un amplificador operacional que se analiza de manera más completa en los capítulos 8 y 9. Para propósitos inmediatos, la salida

Figura 6.27
Regulador conmutado.

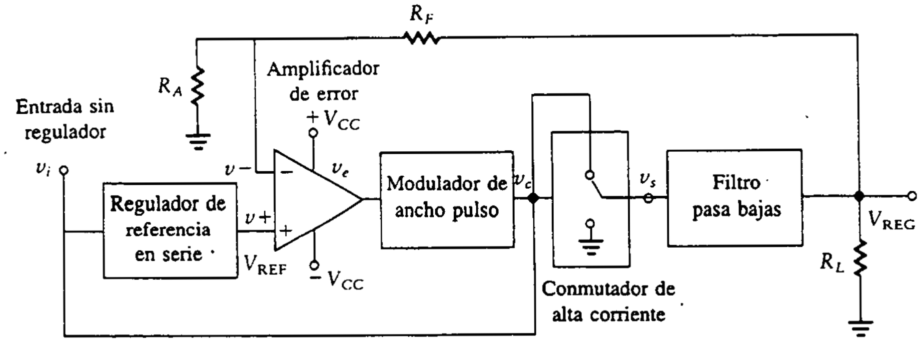
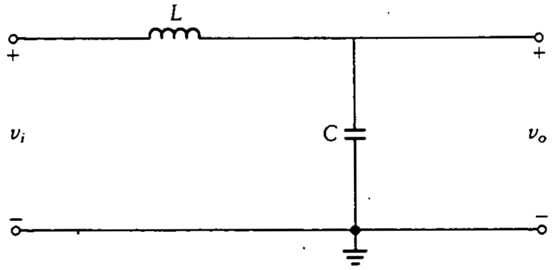


Figura 6.28
Filtro de paso-bajas para el regulador conmutado.



del amplificador de error, v_e, se aplica a un modulador de ancho de pulso. La salida del modulador de ancho de pulso, v_c, se utiliza para controlar el conmutador de alta corriente. Esta tensión de control, v_c, es una onda cuadrada de periodo T cuyo ciclo activo, σ, está dado por

$$\sigma = kv_c \tag{6.28}$$

El conmutador de alta corriente proporciona, de forma alterna, ya sea una tensión regulada o 0 V al filtro. Por tanto, la tensión en la entrada del filtro, v_s, es una onda cuadrada con periodo T y ciclo activo (al igual que la tensión de control, v_c) pero cuyo valor bajo es cero y su valor alto es v_i. La tensión, v_s, se pasa a través del filtro pasa-bajas para pasar la frecuencia fundamental, $2\pi/T$, y reducir los armónicos más altos en V_{REG}. El filtro pasa-bajas se muestra en la figura 6.28, donde $\sqrt{LC}$ se debe elegir mucho mayor que $T/2\pi$. Como resultado, el valor de V_{REG} es una constante y resulta igual al valor medio de v_s.

Un análisis de este circuito con amplificador operacional da las siguientes ecuaciones:

$$v_- = \frac{V_{REG}R_A}{R_A + R_F}$$

y

$$v_+ = V_{REF}$$

Entonces, como $v_+ = v_-$,

$$V_{\text{REG}} = V_{\text{REF}} \left(1 + \frac{R_F}{R_A}\right) \tag{6.29}$$

Por tanto, la tensión de salida regulada depende sólo de la precisión de V_{REF} y de la razón de resistores, R_F/R_A. La salida, V_{REG}, no varía como función de la tensión de entrada, v_i, o de la corriente de carga.

Ejemplo 6.8 Fuente conmutada regulada

Selecciónense valores de R_F y R_A para el regulador conmutado de la figura 6.27. V_{REG} debe ser 12 V y V_{REF} es 5 V.

SOLUCIÓN Se utiliza la ecuación (6.29) y se despeja la relación R_F/R_A como sigue:

$$\frac{R_F}{R_A} = \frac{V_{\text{REG}}}{R_{\text{REF}}} - 1 = \frac{12}{5} - 1 = 1.4$$

Ahora que se conoce la relación, se puede elegir el valor de R_A y despejar el de R_F. Si, por ejemplo, R_A es 1 kΩ, entonces R_F debe ser igual a 1.4 kΩ.

Se debe estar seguro de que $v_i > V_{\text{REG}}$, ya que V_{REG} es el valor medio de una señal muestreada cuyo valor máximo es v_i.

Algunas partes del circuito de la figura 6.27 se pueden reunir en un circuito integrado de CI. Éstas incluyen el regulador de referencia en serie, el amplificador de error y el modulador de ancho de pulso. Como resultado, el diseño de un regulador conmutado se concentra en los circuitos de salida, especialmente en el conmutador de alta corriente y el filtro pasa-bajas.

6.7.1 Eficiencia de los reguladores conmutados

La corriente de salida viene directamente de la tensión de entrada no regulada, v_i, a través del conmutador de alta corriente y el filtro inductivo, L, a la carga. Entonces, si se utiliza como conmutador un transistor con baja caída de tensión en estado activo y un inductor de bajas pérdidas, la eficiencia de la conversión puede ser alta (superior al 90%). El ahorro significativo en este regulador se basa más en la conmutación, o modulación, de la tensión de entrada con el conmutador de alta corriente que en la disipación de potencia a través de un resistor en serie o un transistor de paso.

PROBLEMAS

6.1 Determínese la potencia de salida de un amplificador acoplado en forma inductiva como se muestra en la figura 6.6(a). Sea V_{CC} = 12 V, V_{BE} = 0.7 V, R_E = 100 Ω, R_L = 1 kΩ y β = 60. Encuéntrense también R_1 y R_2, la potencia suministrada por la fuente de alimentación, la potencia disipada en el transistor y la máxima excursión en la tensión de salida.

6.2 Se diseña un amplificador acoplado en forma inductiva para una ganancia de corriente de $A_i = -15$. Determínese la potencia de salida cuando R_L = 2 kΩ, V_{CC} = 12 V, β = 200 y V_{BE} = 0.7 V. Determínense también la potencia suministrada por la fuente de alimentación, el manejo de potencia requerido por el transistor, R_1, R_2 y R_E. Utilícese el circuito de la figura 6.6(a), pero deséchese el capacitor de paso en el emisor.

6.3 Utilícese el circuito de la figura 6.6(a) para obtener una ganancia de corriente de −60. Si la fuente de alimentación es 15 V, R_L = 1 kΩ, V_{BE} = 0.7 V y β = 100, ¿puede el circuito proporcionar la ganancia requerida cuando R_E = 100 Ω? Encuéntrense el valor de los elementos del circuito, la potencia requerida de la fuente de poder, el manejo de potencia del transistor, R_1, R_2 y la máxima potencia disipada en el resistor de carga.

6.4 Diséñese un amplificador de potencia ES acoplado por transformador para excitar una carga de 10 Ω con A_i = 100 si V_{CC} = 12 V, V_{BE} = 0.7 V, la razón de vueltas del transformador es 10:1, β = 50. Determínense R_1, R_2, el manejo de potencia del transistor y la potencia disipada en la carga. Remítase al circuito de la figura 6.7(a).

6.5 ¿Qué cambios se requieren en los parámetros del amplificador del problema 6.4 si la resistencia del primario del transformador es 200 Ω?

6.6 Un amplificador de potencia clase A ES acoplado por transformador debe proporcionar una salida de $\frac{1}{2}$ W a un altavoz de 8 Ω. ¿Qué razón de transformación se necesita para proporcionar esta potencia si V_{CC} = 18 V? El transistor tiene β = 100 y V_{BE} = 0.7 V. Supóngase resistencia cero en el transformador. ¿Qué manejo de potencia es necesario en el transistor?

6.7 Diséñese un amplificador clase B de simetría complementaria para excitar una carga de 12 Ω. Remítase al circuito mostrado en la figura 6.12. Utilícense V_{CC} = 18 V, V_{BE} = 0.7 V y β = 60. Calcúlense la potencia total disipada en la carga, la resistencia de entrada y el manejo de potencia del transistor. Selecciónense valores para R_1, R_2 y C_1 para una respuesta en frecuencia de 20 Hz a 20 kHz y una ganancia de corriente de A_i = 20.

6.8 Diséñese un amplificador clase B de simetría complementaria para excitar una carga de 8 Ω utilizando β = 60, V_{BE} = ±0.7 V, V_{CC} = 12 V y un intervalo de frecuencia de 100 Hz a 15 kHz. Utilícese el circuito de la figura 6.12 con una ganancia de corriente de A_i = 20.

a. Encuéntrense las tensiones y corrientes estacionarias.
b. Encuéntrese la máxima potencia enuregada a la carga.
c. Selecciónense valores para R_1, R_2 y C_1.
d. Determínese R_{en}.

6.9 Diséñese un amplificador clase AB de simetría complementaria para excitar una carga de 8 Ω utilizando $\beta = 80$, $V_{BE} = \pm 0.7$ V, $V_{CC} = 16$ V y una respuesta en frecuencia de 20 Hz a 20 kHz. Utilícese el circuito de la figura 6.13.

a. Encuéntrense las tensiones y corrientes estacionarias.
b. Determínense R_2, R_3 y C_1 para una ganancia de corriente de $A_i = 40$.
c. Encuéntrese la máxima potencia entregada a la carga.
d. Determínense R_{en} y el manejo de potencia de los transistores.

6.10 Diséñese un amplificador clase B de simetría complementaria compensado por diodos para excitar una carga de 8 Ω. Supóngase $\beta = 80$; la tensión de salida pico a pico es 6 V, $R_f = 10$ Ω, $V_{CC} = 12$ V y $V_{BE} = 0.7$ V. Hágase $C \to \infty$. Utilícese el circuito de la figura 6.16.

a. Encuéntrense todas las tensiones y corrientes estacionarias a frecuencias medias.
b. Encuéntrese la máxima potencia entregada a la carga.
c. Determínense los valores de R_2 y R_{en}.

6.11 Diséñese un amplificador clase B de simetría complementaria compensado por diodos de $\frac{1}{2}$ W para excitar una carga de 8 Ω. Supóngase $\beta = 80$, $R_f = 4$ Ω, $V_{CC} = 12$ V, $V_{BE} = \pm 0.7$ V, y una respuesta en frecuencia de 50 Hz a 20 kHz. Utilícese el circuito de la figura 6.16.

a. Encuéntrense todas las tensiones y corrientes estacionarias a frecuencias medias.
b. Encuéntrese la máxima potencia suministrada por la fuente de alimentación.
c. Determínense R_2, C_1, A_i y R_{en}.

6.12 Diséñese un amplificador clase B de simetría complementaria compensado por diodos de 2 W para excitar una carga de 8 Ω. Supónganse $\beta = 80$, $R_f = 20$ Ω, $V_{CC} = 16$ V y $V_{BE} = \pm 0.7$ V, y una respuesta en frecuencia de 20 Hz a 20 kHz. Utilícese el circuito de la figura 6.16.

a. Encuéntrense todas las tensiones y corrientes estacionarias a frecuencias medias.
b. Encuéntrese la máxima potencia suministrada por la fuente de alimentación.
c. Encuéntrese el manejo de potencia de los transistores.
d. Determínense R_2, R_E, A_i y C_1.

6.13 Diséñese un amplificador de audio clase B de simetría complementaria de $\frac{1}{2}$ W para excitar un altavoz de 8 Ω. Utilícense $\beta = 60$, $V_{BE} = \pm 0.7$ V, $V_{CC} = 12$ V y una respuesta en frecuencia de 100 Hz a 20 kHz. Utilícese

el circuito de la figura 6.16. Los diodos tienen una resistencia en directo de 10 Ω y utilizan un capacitor con el punto de 3 dB a 100 Hz.

a. Determínese el manejo de potencia de los transistores a baja frecuencia.

b. Determínense R_2, R_{en} y C_1.

c. Determínese la ganancia de corriente.

6.14 Diséñese un amplificador clase A ES utilizando un par Darlington que tiene una β combinada de 8000 y V_{BE} = 1.4 V para una carga de 8 Ω con R_{en} = 5 kΩ. Determínese el valor de todos los componentes para una respuesta en frecuencia de 20 Hz a 20 kHz, y encuéntrense A_i y P_o cuando V_{CC} = 24 V. Utilícese el circuito de la figura 6.21.

6.15 Diséñese un amplificador clase A ES utilizando un par Darlington que tiene una β combinada de 6000 y V_{BE} = 1.4 V para excitar una carga de 10 Ω. El sistema requiere A_i = 500 para un intervalo de frecuencia de 500 Hz a 10 kHz. Utilícese el circuito de la figura 6.21 con V_{CC} = 12 V. Determínense los valores de todos los componentes para el amplificador y P_o.

6.16 Repítase el problema 6.13, pero utilizando un par Darlington con β = 6000 y V_{BE} = 1.4 V.

6.17 Diséñese un amplificador EC con un par Darlington como se muestra en la figura 6.22 para proporcionar una A_i de −4000 a una carga de 1 kΩ. Diséñese el amplificador para máxima excursión en la tensión de salida y determínese el valor de la máxima tensión de entrada requerida. β_1 = 100, β_2 = 200, V_{BE} para ambos transistores es 0.6 V, V_{CC} = 12 V.

6.18 Se requiere una fuente para alimentar un amplificador con 300 ± 50 mA de potencia regulada. Diséñese una fuente de poder (véase Fig. 6.24) que proporcione la potencia al amplificador si el transformador tiene una razón de vueltas de 8:1 a cada secundario y se utiliza un diodo Zener de 12 V. Supóngase que la tensión de entrada es 115 V a 60 Hz y que la resistencia de los diodos en directo es cero. Utilícense β = 50 y V_{BE} = 0.7 V. Selecciónese C_F tal que Δv_s = 10%. Determínense C_1, R_i y el manejo de potencia de los diodos.

6.19 Una fuente de poder alimentará un amplificador de audio con 500 ± 75 mA de corriente regulada. Diséñese una fuente de poder (véase Fig. 6.24) que utilice un Zener de 20 V y un transformador de relación 5:1 para cada secundario. La tensión de entrada es 110 V, 60 Hz, β = 100, V_{BE} = 0.7 V y Δv_s = 10%.

a. Determínense C_1 y R_i suponiendo una resistencia cero del diodo en directo.

b. Determínese el manejo de potencia del diodo Zener.

c. Determínese la variación de tensión en la carga si R_Z = 2 Ω.

PROBLEMAS ADICIONALES

PA6.1 Diseñe un amplificador clase B de simetría complementaria para alimentar una carga de 8 Ω utilizando $\beta = 80$, $V_{BE} = \pm 0.7$ V, $V_{CC} = 16$ V, $f_L = 20$ Hz y $R_f = 100\ \Omega$. Utilice el circuito de la figura 6.16 y 8 V pico a pico en la salida.

a. Encuentre todos los valores de tensión y corriente estáticos.

b. Determine R_2 y C_1.

c. Encuentre la máxima potencia transferida a la carga.

d. Determine R_{en} y la potencia de los transistores.

PA6.2 Diseñe un amplificador de 5 W de simetría complementaria clase B, compensado con diodo para alimentar una carga de 8 Ω. Suponga que $\beta = 80$, $R_f = 4\ \Omega$, $V_{CC} = 24$ V, $V_{BE} = \pm 0.7$ V y $f_L = 50$ Hz. Utilice el circuito de la figura 6.16.

a. Encuentre todos los valores de tensión y corriente estáticos a frecuencias medias.

b. Encuentre la máxima potencia suministrada por la fuente.

c. Determine R_2, C_1, C_2, A_i y R_{en}

PA6.3 Diseñe un amplificador de 8 W de simetría complementaria clase B, compensado con diodo para alimentar una carga de 8 Ω. Suponga que $\beta = 100$, $R_f = 20\ \Omega$, $V_{CC} = 32$ V, $V_{BE} = \pm 0.7$ V y $f_L = 20$ Hz. Utilice el circuito de la figura 6.16.

a. Encuentre todos los valores de tensión y corriente estáticos a frecuencias medias.

b. Encuentre la máxima potencia suministrada por la fuente.

c. Encuentre la potencia de los transistores.

d. Determine R_2, R_{en}, A_i, C_1 y C_2.

PA6.4 Diseñe un amplificador de 80 W de audio de simetría complementaria clase B, para alimentar una bocina de 8 Ω. Suponga que $\beta = 200$, $V_{BE} = \pm 0.7$ V, $V_{CC} = 80$ V y $f_L = 100$ Hz. Utilice el circuito de la figura 6.16. Los diodos tienen una resistencia en directo de 50 Ω y utilice un capacitor con el punto de 3 dB a 100 Hz.

a. Encuentre la potencia de los transistores a frecuencias bajas.

b. Determine R_2, R_{en}, C_1 y C_2.

c. Determine la ganancia en corriente.

PA6.5 Repita el problema anterior pero ahora utilice un par Darlington con $\beta = 6000$ y $V_{BE} = 1.4$ V.

PA6.6 Diseñe un amplificador EC Darlington, estable a la polarización, que proporcione alta impedancia de entrada con $Av = -20$ a una carga de 5 kΩ.

Determine el valor de todos los resistores, R_{en}, A_i y la máxima excursión en la tensión de salida. Suponga una β combinada de 30 000, que V_{BE} para ambos transistores es 0.6 V y que V_{CC} = 24 V.

PA6.7 Diseñe un amplificador EC usando pares Darlington para máxima excursión en la tensión de salida. Las necesidades son $A_v = -50$, $A_i = -80$, R_L = 5 kΩ y V_{CC} = 15 V. Suponga una β combinada de 25 000 y que V_{BE} = 1.2 V (global). Determine:

a. R_E, R_1, R_2 y R_{en}.

b. La potencia de la salida sin distorsión.

c. La máxima excursión sin distorsión en la tensión de salida.

d. La potencia de entrada en cd requerida.

PA6.8 Diseñe una fuente de alimentación regulada para obtener una salida de 11.3 V utilizando un transistor de potencia que tiene V_{BE} = 0.7 V y β = 100. La fuente de alimentación debe tener una entrada de 120 V rms, 60 Hz y un transformador con derivación central 4:1, y será necesario proporcionar una corriente a la carga de 500 mA a 1 A. Utilice un Zener de 12 V, $\frac{1}{4}$ W.

PA6.9 Diseñe una fuente de alimentación regulada para obtener una salida de 5.5 V a 500 ± 100 mA. Utilice un diodo Zener 1N753. ¿Cuáles son los valores de R_i, C_F y la potencia del transistor, que tiene V_{BE} = 0.7 V y β = 100? El transformador tiene una relación de 5:1 y una tensión de entrada de 110 V a 60 Hz.

PA6.10 Determine el tamaño del filtro necesario para una fuente de alimentación regulada que utiliza un MC7812, un rectificador de onda completa con un transformador 2:1 con derivación central y 1 A de salida. La entrada es de 110 a 120 V rms a 60 Hz.

PA6.11 Diseñe una fuente de alimentación regulada de 10 V utilizando un regulador MC7810. Seleccione la relación del transformador, a, y los valores de los capacitores utilizando una entrada de 120 V, 60 Hz y una salida de 1 A.

PA6.12 Determine los valores de R_F y R_A para el regulador conmutado que se muestra en la figura 6.27 cuando V_{REG} = 20 V y V_{REF} = 5 V.

7

CIRCUITOS INTEGRADOS: AMPLIFICADORES OPERACIONALES

7.0 INTRODUCCIÓN

La rápida expansión de requerimientos de circuitos más pequeños, livianos y complejos provocó la necesidad de colocar no uno sino *cientos* de transistores en una sola pastilla de silicio. Cuando se coloca más de un elemento en un circuito integrado, el dispositivo resultante se conoce como *circuito integrado* (CI).

El término sin modificar, CI, se utiliza para describir aquellos circuitos integrados compuestos de menos de 60 elementos. Si un circuito integrado contiene más de 60 pero menos de 300 elementos, se utiliza el término *escala de integración media* (MSI, *medium-scale integration*). Si el número de elememtos es mayor que 300 pero menor que 1000, el circuito es de *escala de integración grande* (LSI, *large-scale integration*). La *escala de integración muy grande* (VLSI, *very large scale integration*) se refiere a aquellos circuitos integrados con más de 1000 elementos.

Los circuitos integrados pueden ser lineales o no lineales, dependiendo de la relación entre las formas de onda en la salida y en la entrada. Los *circuitos integrados lineales* (CIL) se diseñan para reemplazar circuitos estándar y se utilizan como bloques para construir sistemas más complejos. Uno de los circuitos analógicos más utilizados es el *amplificador operacional* (amp-op). De manera ideal, este amplificador tiene ganancia infinita, impedancia de entrada infinita e impedancia de salida cero. Los amplificadores operacionales prácticos tienen características de desempeño que se acercan bastante a las de los amplificadores operacionales ideales.

En este capítulo se presentan las características internas del amplificador operacional. Se inicia con una exposición sobre técnicas para fabricar transistores,

resistores y capacitores en los CI. Luego se presenta un resumen de técnicas de fabricación de CI. En seguida se analiza el bloque básico de construcción, el amplificador de diferencia o diferencial. Se examinan muchas variaciones del amplificador básico, incluyendo la configuración con fuente de corriente constante y la configuración con entrada y salida simples. Se presentan varios tipos de fuentes de corriente como ejemplos de fuentes activas utilizadas para simular elementos circuitales en el circuito integrado.

El capítulo concluye con información acerca de las formas de empaques utilizados para amplificadores operacionales. Se incluye un análisis del amplificador operacional de propósito general 741.

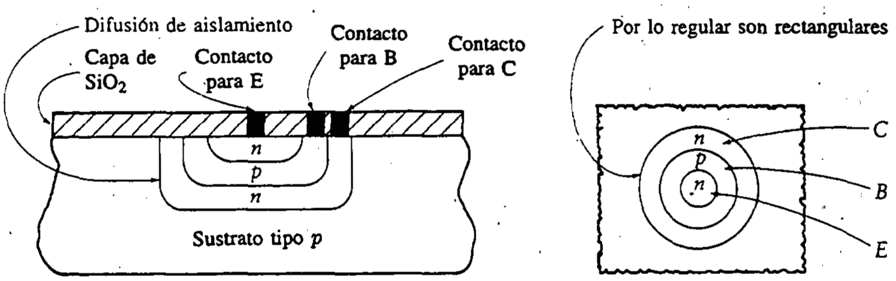
7.1 FABRICACIÓN DE CI

Se puede fabricar un circuito complejo en un circuito integrado simple de silicio. Tal circuito puede estar compuesto de transistores, resistores y capacitores, todos ellos lo bastante pequeños como para caber en el circuito integrado. En las secciones siguientes ([34], Cap. 4) se explica la fabricación de cada uno de estos elementos.

7.1.1 Transistores y diodos

Los *transistores* y los *diodos* de CI se fabrican en un sustrato de silicio. Si el transistor es *npn*, se utiliza un sustrato de material *p*. Esto aísla al transistor *npn* de los alrededores. En la figura 7.1 se muestra una sección transversal típica. El proceso comienza en una pequeña pastilla de silicio de alrededor de 0.1 a 0.2 mm de grosor y 25 a 125 mm de diámetro. El crecimiento de las diferentes capas se lleva a cabo ya sea por difusión o por crecimiento epitaxial. La *difusión* es el proceso por el cual una barra caliente de material *n* o *p* se expone a la formación de impurezas *p* o *n* en forma de vapor. La impureza se difunde lentamente en la superficie del material. Sin embargo, la velocidad de la difusión aumenta bastante al elevar la temperatura. El proceso *epitaxial* se lleva a cabo colocando la tableta de silicio en un horno a una temperatura de alrededor de 1200°C. Se pasa un vapor de H_2 y $SiCl_4$ sobre la tableta. Durante la reacción química resultante, se forma HCl y los átomos de silicio se depositan en la tableta. Estos átomos se organizan entre sí a lo largo del eje de la estructura cristalina de la tableta, provocando por tanto que crezcan nuevas capas de cristales de silicio simple. Introduciendo una impureza en el vapor, se hace que los átomos del contaminante se separen y acomoden en el cristal en crecimiento, formando así una capa con concentración uniforme de impurezas. El proceso epitaxial permite mayor flexibilidad en el control de la concentración de impurezas que el proceso de difusión. Los componentes del circuito integrado se separan por medio de material *p* o *n* para asegurar que los elementos estén aislados uno del otro.

Figura 7.1
Transistor *npn* en un CI.



Sección transversal de un transistor *npn* fabricado en un CI

Vista superior quitando la capa de SiO_2

Los diodos se fabrican en forma similar, pero sólo se necesitan capas de material *p* o *n* simples.

7.1.2 Resistores

Los *resistores* se producen en un CI al mismo tiempo que los transistores. En la ilustración de la figura 7.1, se utiliza un material de tipo *p* para producir el resistor. Éste se aísla por medio de una capa de material de tipo *n*. Se utiliza un canal delgado de material de tipo *p* para el resistor, y se difunde en el mismo paso de producción que la base del transistor. El valor de la resistencia se controla variando el grosor y el nivel de impureza del material. El ancho y la longitud del canal afectan el valor de la resistencia. De hecho, la resistencia es directamente proporcional a la longitud del canal (suponiendo un ancho constante). Si esta técnica de fabricación no proporciona una resistencia suficientemente grande, el canal se puede doblar sobre sí mismo varias veces, aumentando la longitud efectiva.

Debido a limitaciones en el tamaño físico, en general se evitan las resistencias superiores a 100 kΩ en los CI.

7.1.3 Capacitores

Existen dos tipos de capacitores utilizados en un circuito integrado de CI: el capacitor difundido y el capacitor MOS. El *capacitor difundido* aprovecha la capacitancia incremental de la unión *pn* polarizada inversamente.

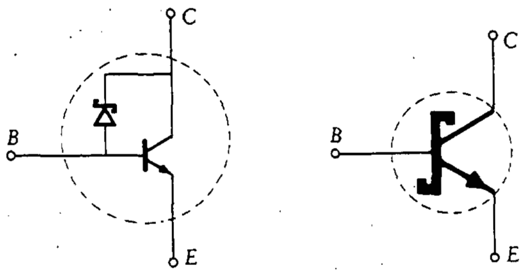
El *capacitor MOS* se fabrica en forma similar a la de un capacitor convencional. El conductor inferior es un material *n* altamente contaminado: el aislante es una capa de dióxido de silicio; la otra placa es una capa metalizada, que también forma un punto de contacto. Este tipo de capacitor proporciona alrededor de 400 a 600 pF/mm^2. Debido al espacio relativamente grande necesario para los capacitores, la cantidad utilizada en el diseño de un CI por lo general se mantiene pequeña.

7.1.4 Transistores laterales

Los *transistores laterales pnp* se pueden fabricar en CI utilizando tecnología planar simple ([34], Sec. 7.6). Los canales *p* pequeños empleados como emisor y colector se colocan en una barra de material de tipo *n* utilizado como base. Como colector se utiliza un anillo de material *p*. El canal de material *p* del emisor se coloca dentro de este anillo, con el material *n* de separación utilizado como base. Los huecos se inyectan del emisor y fluyen en forma paralela a la superficie a través de la región de la base tipo *n* y se colectan en el colector tipo *p* antes de alcanzar el contacto de la base. La acción del transistor es lateral en vez de vertical. Los transistores laterales *pnp* tienen ganancias de corriente relativamennte bajas debido a la tendencia de los portadores a inyectarse hacia la base y recombinarse en vez de colectarse en el colector desplazado lateralmente. Debido a que son fáciles de fabricar en CI, estos transistores se utilizan para cargas activas, fuentes de corriente y desplazadores de nivel (éstos se analizan más adelante en el capítulo). Estas configuraciones son tan fáciles de fabricar en el diseño del CI que se pueden formar por error transistores laterales parásitos. Esto provoca problemas en el desempeño del CI. El diseño del CI se debe revisar cuidadosamente de manera que no aparezcan en forma inadvertida dichos transistores en el circuito integrado.

7.1.5 Tecnología de unión Schottky

En un *semiconductor de unión Schottky,* la corriente directa en la unión es provocada por el flujo de electrones sobre la barrera ([36], Cap. 2). El flujo de portadores minoritarios no tiene un papel importante como en una unión *pn* estándar. Por tanto, la velocidad de conmutación del dispositivo está limitada principalmente por la constante de tiempo RC del circuito. Esto no es cierto para los BJT estándar. De hecho, antes del desarrollo de la tecnología de unión Schottky se utilizaba una forma especial de contaminación para reducir el tiempo de almacenamiento en los BJT. El efecto de contaminación resultante dependía de la temperatura. En CI, la unión Schottky metal semiconductor se utiliza como diodo de fijación entre la base y el colector para prevenir el exceso de almacenamiento de portadores minoritarios. Se evita entonces la necesidad de una contaminación extra del transistor. Los diodos de fijación se fabrican con el BJT en el CI, como se muestra en el esquema de la figura 7.2(a). No se puede utilizar una capa metálica como emisor de un transistor pues la unión Schottky es principalmente un dispositivo de portadores mayoritarios. Sin embargo, esto no es cierto para el colector, ya que puede utilizar una unión Schottky. El símbolo para un transistor Schottky se muestra en el esquema de la figura 7.2(b). Este transistor puede tener tiempos de almacenamiento inferiores a 1 ns (es decir, el tiempo necesario para desplazar suficientes electrones para ir del corte a la saturación y viceversa). Esto hace al transistor Schottky ideal para circuitos de alta velocidad de conmutación. Debido a su facilidad de fabricación en circuitos integrados de CI, la unión Schottky es muy utilizada.



(a) Diagrama (b) Símbolo

Figura 7.2 Transistor Schottky *npn*.

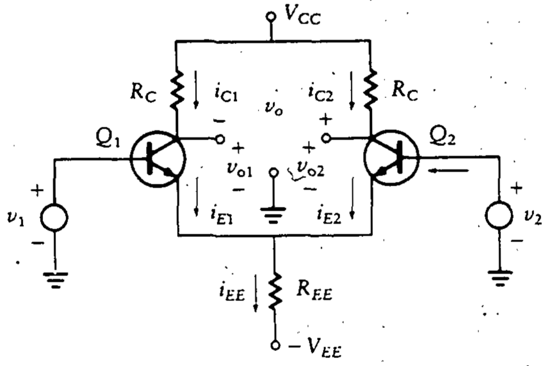


Figura 7.3 Amplificador diferencial.

7.2 AMPLIFICADORES DE DIFERENCIA

Muchos amplificadores operacionales están compuestos de una serie de transistores, resistores y capacitores que forman un sistema completo en un circuito integrado sencillo. Los amplificadores disponibles hoy en día son altamente confiables y pequeños, y consumen una mínima cantidad de potencia.

La etapa de entrada de muchos amplificadores operacionales es un *amplificador de diferencia,* como se muestra en su forma más simple en la figura 7.3. El *amplificador de diferencia* (o amplificador diferencial) está compuesto de dos amplificadores de cd EC acoplados por el emisor con dos entradas, v_1 y v_2, y tres salidas, v_{o1}, v_{o2} y v_o. La tercera salida, v_o, es la diferencia entre v_{o1} y v_{o2}. Esto se puede verificar aplicando el principio de superposición al circuito.

7.2.1 Características de transferencia en cd

El amplificador de diferencia no opera de manera lineal con señales de entrada grandes. Con el fin de simplificar el análisis, se supone que R_E es grande, que la resistencia de base de los transistores es despreciable y que la resistencia de salida de los transistores es grande. Una R_E grande mantiene constante la caída de tensión en el resistor de emisor.

Se comienza escribiendo la ecuación de LTK alrededor del lazo de unión de la base para el circuito de la figura 7.3 bajo condiciones de ca:

$$v_1 = v_{BE1} - v_{BE2} + v_2 \tag{7.1}$$

El circuito se resuelve para las corrientes de colector, i_{C1} e i_{C2}. La tensión base-emisor está dada por la ecuación presentada en la sección 3.2.

$$v_{BE1} = V_T \ln\left(\frac{i_{C1}}{\beta I_{o1}}\right) \tag{7.2}$$

$$v_{BE2} = V_T \ln\left(\frac{i_{C2}}{\beta I_{o2}}\right) \tag{7.3}$$

Como se supone que los transistores son idénticos, se tiene

$$I_{o1} = I_{o2}$$

Combinando las ecuaciones (7.1), (7.2) y (7.3), se obtiene

$$v_1 = V_T \ln\left(\frac{i_{C1}}{\beta I_{o1}}\right) + V_T \ln\left(\frac{i_{C2}}{\beta I_{o2}}\right) - v_2 = 0$$

y

$$\frac{i_{C1}}{i_{C2}} = \exp\left[\frac{v_1 - v_2}{V_T}\right] \tag{7.4}$$

Se supone que i_C es aproximadamente igual a i_E. Por tanto,

$$i_{EE} = i_{C1} + i_{C2} \tag{7.5}$$

Combinando las ecuaciones (7.4) y (7.5), se tiene

$$i_{C1} = \frac{i_{EE}}{1 + \exp\left[-(v_1 - v_2)/V_T\right]} \tag{7.6}$$

$$i_{C2} = \frac{i_{EE}}{1 + \exp\left[(v_1 - v_2)/V_T\right]} \tag{7.7}$$

Nótese que

$$v_o = (i_{C1} - i_{C2})R_C$$

Se puede hacer una observación interesante viendo las ecuaciones (7.6) y (7.7). Si $v_1 - v_2$ se vuelve mayor que varios cientos de milivolts, la corriente de colector en el transistor 2 se vuelve muy pequeña, y en esencia el transistor está en corte. La corriente de colector en el transistor 1 es aproximadamente igual a i_{EE}, y este transistor se encuentra saturado. Las corrientes de colector, y por tanto la tensión de salida v_o, se vuelven independientes de la diferencia entre las dos tensiones de entrada. La amplificación lineal se produce sólo para diferencias de tensiones de entrada inferiores a más o menos 100 mV.

Con el fin de aumentar el intervalo lineal de la tensión de entrada, se pueden añadir resistores pequeños en el emisor. Esto provoca una condición de retroalimentación negativa que da lugar a una reducción en la amplificación de tensión.

7.2.2 Ganancias en modo común y en modo diferencial

Se intenta que el amplificador de diferencia responda sólo a la diferencia entre las dos tensiones de entrada, v_1 y v_2. Sin embargo, en un amplificador operacional práctico, la salida depende en alguna medida de la suma de estas entradas. Por ejemplo, si ambas entradas son iguales, la tensión de salida debería ser cero, pero en un amplificador práctico esto no es cierto. El caso en que el circuito responde a la diferencia se llamará caso en *modo diferencial.* Si las dos entradas son iguales, se dice que el circuito está en su *modo común.* De manera ideal, se esperaría que el circuito produjera una salida sólo en el modo diferencial.

Dos tensiones de entrada cualesquiera se pueden dividir en una parte común y una diferencial. Esto es, se definen dos nuevas tensiones de entrada como sigue:

$$\begin{aligned} v_{di} &= v_1 - v_2 \\ v_{ci} &= \frac{v_1 + v_2}{2} \end{aligned} \tag{7.8}$$

La tensión v_{di} constituye la tensión de entrada en modo diferencial y es simplemente la diferencia entre las dos tensiones de entrada. La tensión v_{ci} es la tensión de entrada en modo común, y constituye el promedio de las dos tensiones de entrada. Las tensiones de entrada originales se pueden expresar en términos de estas dos nuevas cantidades como sigue:

$$\begin{aligned} v_1 &= \frac{v_{di} - 2v_{ci}}{2} \\ v_2 &= \frac{2v_{ci} + v_{di}}{2} \end{aligned} \tag{7.9}$$

Si se hacen iguales estas dos tensiones de entrada, se tiene

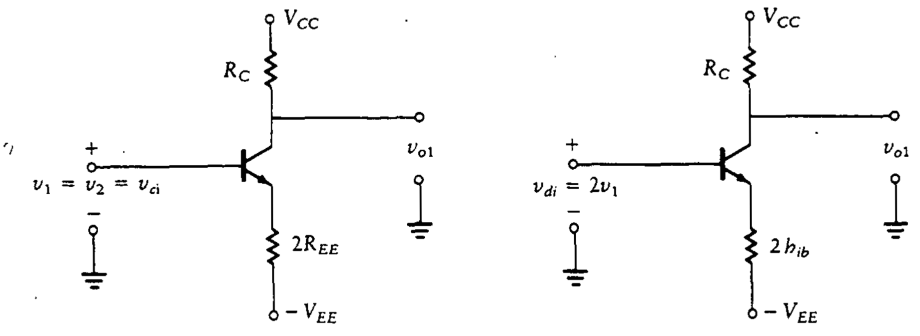
$$v_1 = v_2 = v_{ci}$$

y

$$v_{di} = 0$$

Como las dos entradas son iguales y los transistores idénticos, las tensiones de la unión base-emisor serán iguales. Por tanto, las corrientes de colector también deben ser idénticas. Como las corrientes de emisor serán iguales, se analiza un semicircuito como se muestra en la figura 7.4(a). Nótese que la resistencia del emisor se duplica, ya que la corriente real en este resistor es el doble que la

Figura 7.4
Análisis de un amplificador diferencial.



(a) Circuito en modo común (b) Circuito en modo diferencial

mantenida en el semicircuito. La salida del semicircuito es v_{o1} o v_{o2}. Se define una ganancia en modo común y una en modo diferencial resolviendo la salida en dos componentes,

$$v_{o1} = A_d v_{di} + A_c v_{ci}$$

La ganancia en modo común se encuentra haciendo iguales las dos entradas, ya que se forzó a que v_{di} sea cero. Así, suponiendo que la r_o del BJT es grande y $h_{ib} \leq R_{EE}$, entonces

$$A_c = \frac{v_{o1}}{v_{ci}} = \frac{-R_C}{2R_{EE}} \tag{7.10a}$$

Con el fin de encontrar la ganancia en modo diferencial, se utiliza otra vez la técnica de dividir el circuito en dos partes y analizar el semicircuito de la figura 7.4(b). Se tiene

$$v_1 = -v_2$$

luego

$$v_{di} = 2v_i = -2v_2$$

La corriente de ca de un emisor fluye directamente en el otro emisor, por lo que la tensión a través del resistor de emisor permanece constante. Como la señal de tensión en ca a través del resistor es cero, se puede reemplazar por un cortocircuito en el circuito equivalente en ca. Sin embargo, la resistencia, h_{ib}, permanece en el lazo base-emisor del transistor. Entonces la ganancia en modo diferencial está dada por

$$A_d = \frac{v_{o1}}{v_{di}} = \frac{-R_C}{2h_{ib}} \tag{7.10b}$$

Nótese que la ganancia en modo común se define en términos de una sola de las dos salidas. La salida diferencial, v_o, debería (idealmente) ser cero. En el circuito práctico, se produce variación de parámetros. Si la ganancia en modo común es alta, estas variaciones afectan a v_o así como a las dos tensiones de salida individuales. Por esta razón, es deseable que la ganancia en modo diferencial sea mucho mayor que la ganancia en modo común. La *razón de rechazo en modo común* (CMRR, *common mode rejection ratio*) se define como la razón de la ganancia en modo diferencial a la ganancia en modo común (por lo general expresada en decibeles).

$$\text{CMRR} = 20\log\frac{|-R_C/2h_{ib}|}{|-R_C/2R_{EE}|}\text{dB} = 20\log\left(\frac{R_{EE}}{h_{ib}}\right)\ \text{dB} \tag{7.11}$$

Es deseable hacer a CMRR tan grande como sea posible de manera que el amplificador responda sólo a la diferencia entre las tensiones de entrada.

Antes de evaluar las ganancias en modo diferencial y en modo común, se verá la resistencia de entrada al amplificador tanto en modo diferencial como en modo común. Para el modo diferencial, se ve el amplificador en la base de ambos transistores. Esto da como resultado un circuito completo a través del emisor de ambos transistores, y la resistencia de entrada es

$$R_{en}(\text{modo diferencial}) = 2h_{ie}$$

Ahora, desde la entrada en modo común, se ve el amplificador en la figura 7.4(a). Por tanto, la resistencia de entrada es

$$R_{en}(\text{modo común}) = 2\beta R_{EE}$$

Estos resultados indican que la resistencia de entrada en modo común es mucho más alta que la de modo diferencial.

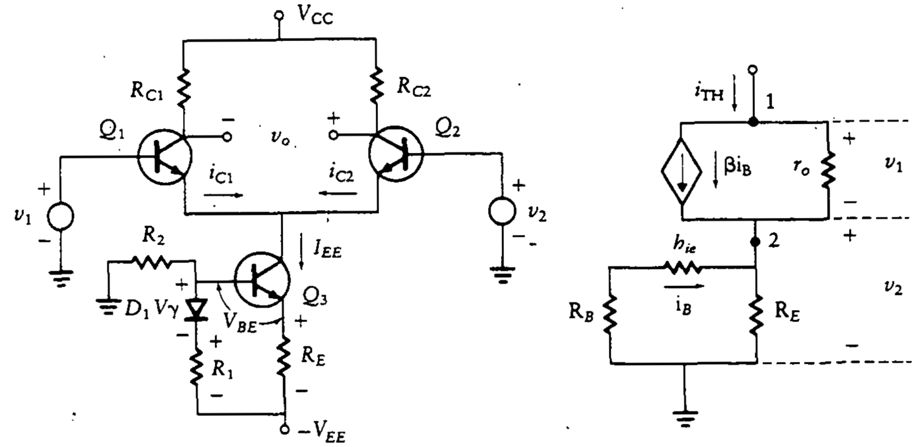
En la ecuación (7.11) se muestra que para que CMRR sea grande, se debe hacer a R_{EE} grande. Como las resistencias grandes son difíciles de fabricar en circuitos integrados de CI, se busca una alternativa diferente. Esto se consigue reemplazando R_{EE} por un generador de corriente constante, como se ve en la siguiente sección.

El análisis del amplificador diferencial se basa en el BJT como bloque de construcción. Los transistores de efecto de campo de unión también se pueden utilizar en amplificadores diferenciales, con las ventajas adicionales de corriente de polarización reducida en la entrada e impedancia de entrada elevada. Sin embargo, el análisis del amplificador diferencial utilizando JFET se lleva a cabo de la misma forma que el análisis con BJT.

7.2.3 Amplificador diferencial con fuente de corriente constante

En la sección anterior, se vio que es deseable hacer R_{EE} tan grande como sea posible para reducir la salida en modo común. Una fuente ideal de corriente constante tiene impedancia infinita, por lo que se investiga la posibilidad de reemplazar R_{EE}

Figura 7.5
Amplificador diferencial con fuente de corriente constante.



(a) Amplificador diferencial con fuente de corriente constante

(b) Circuito equivalente a la fuente de corriente

con dicha fuente de corriente. En la figura 7.5 se ilustra un amplificador diferencial donde el resistor, R_{EE}, se reemplaza con una fuente de corriente constante.

Mientras más cerca se encuentre la fuente de una fuente ideal de corriente constante, mayor será el CMRR. Se muestra, por tanto, una fuente de corriente compensada por diodos. Como se vio en la sección 5.4, la compensación hace que la operación del circuito dependa menos de las variaciones de temperatura. El diodo D_1 y el transistor Q_3 se seleccionan de tal forma que tengan características idénticas sobre el intervalo de temperaturas de operación.

Con el fin de analizar el circuito de la figura 7.5(a) y encontrar el CMRR, se necesita determinar la resistencia equivalente, R_{TH}, el equivalente de Thévenin del circuito de la fuente de corriente constante. Viendo al circuito equivalente de la fuente de corriente como se muestra en la figura 7.5(b), se tiene

$$R_{TH} = \frac{v_1 + v_2}{i_{TH}}$$

Escribiendo la ecuación de LCK en el nodo 1, se obtiene

$$i_{TH} = \beta i_B + \frac{v_1}{r_o}$$

donde r_o es la resistencia interna del transistor en el punto de operación especificado (véase Sec. 3.1.2).

La ecuación de LCK en el nodo 2 da

$$\beta i_B \frac{v_1}{r_o} + i_B - \frac{v_2}{R_E} = 0$$

pero,

$$v_1 = (i_{TH} - \beta i_B) r_o$$

y

$$v_2 = -i_B(h_{ie} + R_B)$$

Sustituyendo v_1 y v_2 en la ecuación en el nodo 2, se obtiene

$$-i_{TH} = i_B + \frac{h_{ie} + R_B}{R_E} i_B = i_B \left(1 + \frac{h_{ie} + R_B}{R_E}\right)$$

La resistencia de Thévenin está dada por

$$R_{TH} = \frac{h_{ie} + R_B + r_o[1 + (h_{ie} + R_B)/R_E] + \beta r_o}{1 + (h_{ie} + R_B)/R_E}$$

Para mantener la estabilidad de la polarización, se sigue la línea utilizada de hacer que

$$R_B = 0.1 \beta R_E$$

Sustituyendo este valor de R_B en la ecuación de R_{TH} y dividiendo entre β, se tiene

$$R_{TH} = \frac{h_{ib} + 0.1R_E + r_o[1/\beta + (h_{ib} + 0.1R_E)/R_E + 1]}{1/\beta + (h_{ib} + 0.1R_E)/R_E}$$

Puesto que

$$1 \gg \frac{1}{\beta}$$

y

$$\frac{h_{ib} + 0.1R_E}{R_E} \gg \frac{1}{\beta}$$

se obtiene

$$R_{TH} = \frac{h_{ib} + 0.1R_E + r_o[1 + (h_{ib} + 0.1R_E)/R_E]}{(h_{ib} + 0.1R_E)/R_E}$$

y

$$R_{\mathrm{TH}} = R_E + r_o \left[1 + \frac{R_E}{h_{ib} + 0.1R_E}\right]$$

Como el segundo término en esta ecuación es mucho mayor que el primero, se puede ignorar R_E para obtener

$$R_{\mathrm{TH}} = r_o \left[1 + \frac{R_E}{h_{ib} + 0.1R_E}\right]$$

Esta ecuación se puede simplificar aún más si existe la siguiente condición:

$$0.1R_E \gg h_{ib}$$

En ese caso, se tiene el simple resultado

$$R_{\mathrm{TH}} = 11r_o \tag{7.12}$$

Por tanto, si todas las aproximaciones son válidas, R_{TH} es independiente de β y su valor es muy grande.

7.2.4 Amplificador diferencial con terminales de entrada y salida sencillas

En la figura 7.6 se muestra un amplificador diferencial donde la segunda entrada, v_2, es igual a cero y la salida se toma como v_{o1}.

Se utiliza una fuente de corriente constante en lugar de R_E, como se hizo en la sección anterior. Esto se conoce como *amplificador con terminales de entrada y salida sencillas y fase invertida.* El amplificador se analiza haciendo $v_2 = 0$ en las primeras ecuaciones. Entonces, la entrada diferencial es simplemente

$$v_{di} = v_1 - v_2 = v_i$$

por lo que la salida es

$$v_o = v_{o1} = A_d v_{di} = \frac{-R_C v_i}{2h_{ib}}$$

El signo menos indica que este amplificador presenta un desfasamiento de 180° entre la salida y la entrada. En la figura se ilustran sinusoides de entrada y salida típicas.

Si se va a llevar una salida a tierra pero no se desea una inversión de fase, la salida se debe tomar del transistor Q_2, como se ilustra en la figura 7.7. Para

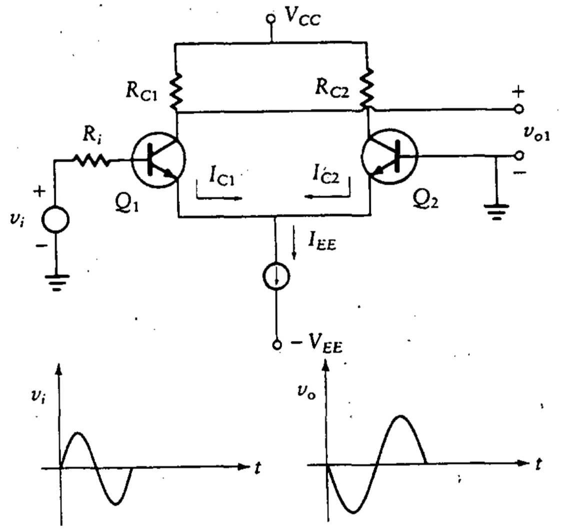


Figura 7.6 Entrada de una sola terminal con inversión de fase.

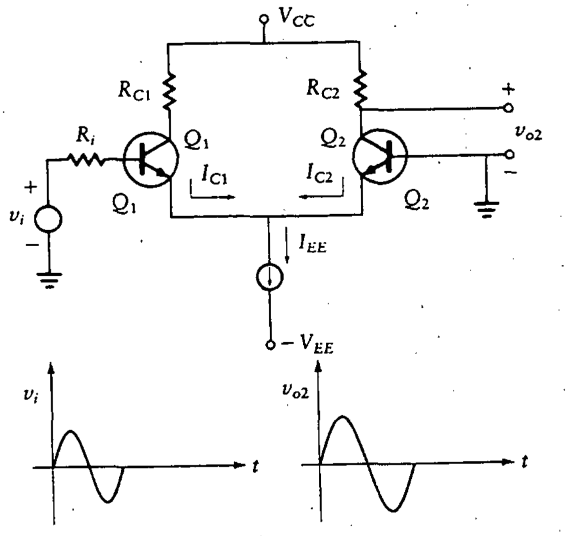


Figura 7.7 Entrada de una sola terminal con salida de fase.

demostrar que la salida del circuito de la figura 7.7 es la inversa de la figura 7.6, tómese la imagen especular del primer circuito. Esto es, supóngase $v_1 = 0$ y $v_2 = v_i$ en el amplificador diferencial original de la figura 7.3. Entonces la tensión diferencial de entrada es

$$v_{di} = v_1 - v_2 = -v_i$$

Por tanto, la salida es la inversa de la encontrada antes, y no se produce inversión de fase.

Ejemplo 7.1 Amplificador diferencial (análisis)

Encuéntrese la ganancia de tensión diferencial, la ganancia de tensión en modo común y el CMRR para el circuito mostrado en la figura 7.3. Supóngase que $R_{en} = 0$, $R_C = 5\ \text{k}\Omega$, $V_{EE} = 15$ V, $V_{BE} = 0.7$ V, $V_T = 26$ mV y $R_{EE} = 25\ \text{k}\Omega$. Sea $v_2 = 0$ y tómese la salida de v_{o2}.

SOLUCIÓN La corriente en la fuente de corriente se encuentra en condiciones estacionarias. Como la base de Q_2 está conectada a tierra, la tensión del emisor es $-V_{BE} = -0.7$ V, y

$$I_{EE} = \frac{V_{EE} - V_{BE}}{R_{EE}} = \frac{15 - 0.7}{25{,}000} = 0.57 \text{ mA}$$

La corriente estacionaria en cada transistor es un medio de esta cantidad

$$I_{CI} = I_{C2} = \frac{I_{EE}}{2} = 0.29 \text{ mA}$$

Como

$$h_{ib} = \frac{V_T}{I_C} = \frac{26}{0.29} = 90\ \Omega$$

la ganancia de tensión diferencial en cada transistor es

$$A_d = \frac{-R_C}{2h_{ib}} = \frac{5000}{2(90)} = -28$$

La ganancia de tensión en modo común es

$$A_c = \frac{-R_C}{2R_{EE}} = \frac{-5000}{50{,}000} = -0.1$$

Entonces la razón de rechazo en modo común está dada por

$$\text{CMRR} = 20 \log \left(\frac{|A_d|}{|A_c|} \right) = 49 \text{ dB}$$

Ejemplo 7.2

Para el amplificador diferencial descrito en el ejemplo 7.1, diséñese una fuente de corriente para reemplazar R_{EE} y determínese la nueva CMRR para el amplificador diferencial, con $r_o = 105$ kΩ, $V_{BE} = 0.7$ V y $\beta = 100$.

SOLUCIÓN Se coloca el punto de operación en el centro de la línea de carga en cd.

$$V_{\text{CEQ}} = \frac{V_{EE} - V_{BE}}{2} = \frac{15 - 0.7}{2} = 7.15 \text{ V}$$

Entonces, remitiéndose a la fuente de corriente de la figura 7.5a,

$$R_{EE} = \frac{7.15 \text{ V}}{0.57 \text{ mA}} = 12.54 \text{ k}\Omega$$

Para estabilidad de polarización,

$$R_B = 0.1\beta R_{EE} = 0.1(100)(12{,}540) = 125.4\ \text{k}\Omega$$

Como $0.1R_E \gg h_{ib}$ (es decir, 1.25 kΩ ≫ 90 Ω), entonces de la ecuación (7.12) se tiene

$$R_{\text{TH}} \approx 11r_o$$

de modo que la resistencia equivalente y el CMRR están dados por

$$R_{\text{TH}} \approx 11\,(105\ \text{k}\Omega) = 1.155\ \text{M}\Omega$$

$$\text{CMRR} = 20\log\left(\frac{R_{\text{RT}}}{h_{ib}}\right) = 20\log\left(\frac{1.155 \times 10^6}{90}\right) = 82.2\ \text{dB}$$

Ejercicios

D7.1 ¿Cuáles son las ganancias diferencial y en modo común de los amplificadores de la figura 7.3 si $R_{C1} = R_{C2} = 5$ kΩ y R_{EE} 20 kΩ? Supóngase que $V_{CC} = 12$ V, $V_{BE} = 0.7$ V, $V_T = 26$ mV y $V_{EE} = 12$ V.

Resp.: $A_c = -0.125; A_d = -53.8$

D7.2 ¿Cuáles son las ganancias diferencial y en modo común del amplificador de la figura 7.6 si $R_{C1} = R_{C2} = 5$ kΩ, $V_{CC} = 15$ V, $V_{EE} = 15$ V, $V_{BE} = 0.7$ V y $V_T = 26$ mV? Supóngase que V_{EE}/R_{TH} es una fuente de corriente constante con $R_{\text{TH}} = 10$ kΩ.

Resp.: $A_c = -0.25; A_d = -69$

D7.3 Para la fuente de corriente constante mostrada en la figura 7.5, determínese R_E, R_1 y R_2, donde $V_{EE} = 10$ V, $I_{EE} = 2$ mA y $V_{BE} = 0.7$ V. Supóngase también que $V_T = 26$ mV y $\beta = 200$.

Resp.: $R_E = 2.33$ kΩ; $R_1 = 93$ kΩ; $R_2 = 93$ kΩ

7.3 FUENTES DE CORRIENTE, CARGAS ACTIVAS Y TRASLADADORES DE NIVEL

En esta sección se exploran métodos alternativos de simular una fuente de corriente constante para reemplazar el resistor de emisor. En la sección 7.2.3 se analizó un tipo de fuente donde se utilizó un transistor compensado como fuente de corriente.

7.3.1 Fuente de corriente Widlar

Debido a la alta ganancia de un amplificador operacional, las corrientes de polarización deben ser pequeñas. Las corrientes de colector típicas se encuentran alrededor de 5 μA. A menudo se requieren resistores grandes para mantener corrientes pequeñas, y estos resistores grandes ocupan áreas igualmente grandes en el circuito integrado de CI. Por tanto, es deseable reemplazar estos resistores grandes con fuentes de corriente. Uno de dichos dispositivos es la *fuente de corriente Widlar* [63], como se ilustra en la figura 7.8. Los transistores Q_1 y Q_2 son iguales. Se suman las tensiones alrededor del lazo de la base de los dos transistores para obtener

$$V_{BE1} - V_{BE2} - I_{C2}R_2 = 0 \tag{7.13}$$

En la sección 3.2 se vio que

$$I_C = \beta I_o \exp\left(\frac{V_{BE}}{V_T}\right)$$

Despejando V_{BE}, se obtiene

$$V_{BE} = V_T \ln\left(\frac{I_C}{\beta I_o}\right) \tag{7.14}$$

Sustituyendo la expresión de la ecuación (7.14) en la ecuación (7.13), se obtiene

$$V_T \ln\left(\frac{I_{C1}}{\beta I_o}\right) - V_T \ln\left(\frac{I_{C2}}{\beta I_o}\right) - I_{C2}R_2 = 0$$

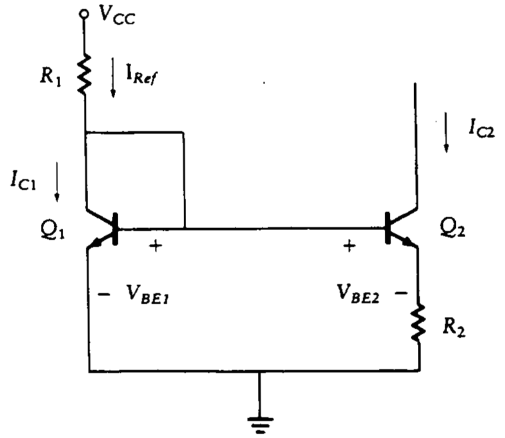


Figura 7.8 Fuente de corriente Widlar.

Se supone que los dos transistores son iguales, por lo que I_o, β y V_T son iguales para los dos transistores. Por tanto

$$V_T \ln\left(\frac{I_{C1}}{I_{C2}}\right) = I_{C2}R_2 \tag{7.15}$$

Para propósitos de diseño, en general se conoce I_{C1}, ya que se utiliza como referencia, e I_{C2} es la corriente de salida deseada. Esto permite resolver la ecuación (7.15) para encontrar el valor requerido de R_2.

Se utiliza un ejemplo para ilustrar cómo se puede diseñar una fuente de corriente para proporcionar una corriente constante pequeña mientras se utilizan resistores que se fabrican fácilmente en un circuito integrado de CI.

Ejemplo 7.3 Fuente de corriente Widlar (diseño)

Diséñese una fuente de corriente Widlar para proporcionar una corriente constante de 3 μA con $V_{CC} = 12$ V, $R_1 = 50$ kΩ y $V_{BE} = 0.7$ V.

SOLUCIÓN Utilícese el circuito de la figura 7.8. Aplíquese la LTK al transistor Q_1 para obtener

$$I_{C1} \approx I_{\text{Ref}} = \frac{12 - 0.7}{50{,}000} = 0.226 \text{ mA}$$

De la ecuación (7.15) se tiene

$$0.026 \ln\left(\frac{0.226 \times 10^{-3}}{3 \times 10^{-6}}\right) = 3 \times 10^{-6} R_2$$

y

$$R_2 = 37.5 \text{ k}\Omega$$

Como R_2 es inferior a 50 kΩ, se puede fabricar en un CI.

7.3.2 Fuente de corriente Wilson

La *fuente de corriente Wilson* [65], como se muestra en la figura 7.9, utiliza tres transistores y su operación es casi independiente de las características internas del transistor. La retroalimentación negativa del colector a la base de Q_3 aumenta la resistencia de salida de esta fuente de corriente.

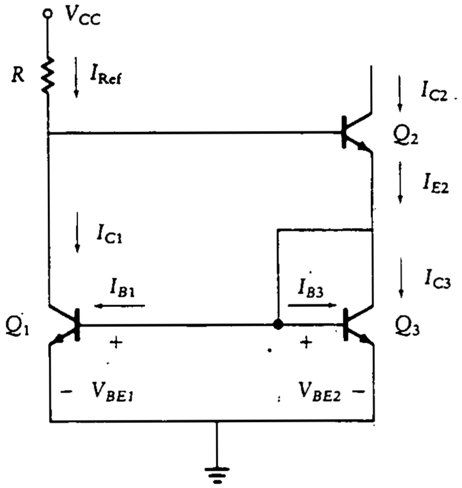


Figura 7.9 Fuente de corriente Wilson.

Se despeja I_{C2} para ilustrar la utilidad de este circuito. Aplicando LCK en el emisor de Q_2, se obtiene

$$I_{E2} = I_{C3} + I_{B3} + I_{B1} \tag{7.16}$$

Utilizando la relación entre las corrientes de base y colector, se tiene

$$I_{E2} = I_{C3}\left(1 + \frac{1}{\beta}\right) + \frac{I_{C1}}{\beta} \tag{7.17}$$

Como se supone que los tres transistores son idénticos,

$$V_{BE1} = V_{BE3}$$

y

$$\beta_1 = \beta_2 = \beta_3$$

Con transistores idénticos, la corriente en el trayecto de retroalimentación se divide en forma equitativa entre las bases de Q_1 y Q_3, lo que conduce al resultado de que

$$I_{C1} = I_{C3}$$

Así, la ecuación (7.17) se convierte en

$$I_{E2} = I_{C3}\left(1 + \frac{2}{\beta}\right)$$

La corriente de colector en Q_2 es

$$I_{C2} = \frac{I_{E2}\beta}{\beta+1} = \frac{I_{C3}(1+2/\beta)\beta}{\beta+1}$$

Despejando I_{C3}, se obtiene

$$I_{C3} = \frac{I_{C2}}{(1+2/\beta)\beta/(1+\beta)} = I_{C2}\frac{\beta+1}{\beta+2} \tag{7.18}$$

Sumando las corrientes en la base de Q_2, se encuentra

$$I_{C1} = I_{\text{Ref}} - \frac{I_{C2}}{\beta}$$

o

$$I_{C2} = \beta(I_{\text{Ref}} - I_{C1}) \tag{7.19}$$

Como $I_{C1} = I_{C3}$, se sustituye I_{C3} de la ecuación (7.18) por I_{C1} en la ecuación (7.19) para obtener

$$I_{C2} = \beta I_{\text{Ref}} - \frac{\beta(\beta+1)}{\beta+2} I_{C2}$$

y, despejando I_{C2},

$$\begin{aligned} I_{C2} &= \frac{\beta^2+2\beta}{\beta^2+2\beta+2} I_{\text{Ref}} \\ &= \left(1 - \frac{2}{\beta^2+2\beta+2}\right) I_{\text{Ref}} \end{aligned} \tag{7.20}$$

En la ecuación (7.20) se muestra que β tiene poco efecto sobre I_{C2} ya que, para valores razonables de β,

$$\frac{2}{\beta^2+2\beta+2} \ll 1$$

7.3.3 Espejos de corriente

El circuito mostrado en la figura 7.10 se conoce como *espejo de corriente.* Se utiliza en el diseño de circuitos de amplificadores operacionales para reproducir una corriente de un lugar en otros lugares. En este circuito, Q_2 está en el modo

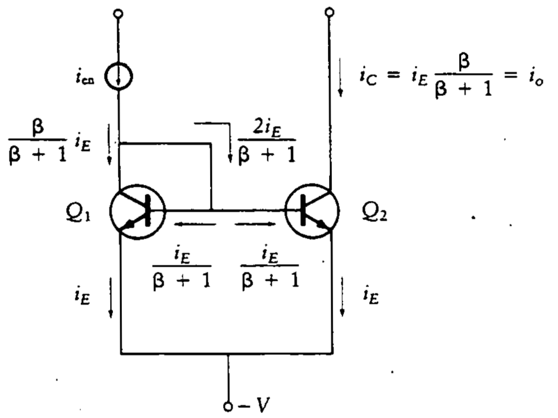


Figura 7.10 Espejo de corriente.

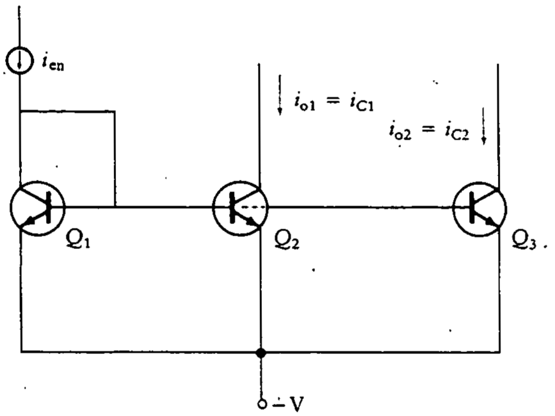


Figura 7.11 Espejos de corriente múltiples.

lineal ya que la tensión de colector (salida) es mayor que la tensión de la base. Los transistores Q_1 y Q_2 son dispositivos idénticos fabricados en el mismo circuito integrado de CI. Las corrientes de emisor son iguales, ya que los emisores y las bases se encuentran en paralelo. Si se suman las corrientes de Q_2, se obtiene

$$i_B + i_C = i_E$$

de modo que

$$i_o = i_C = i_E - \frac{i_E}{\beta + 1} = \frac{\beta i_E}{\beta + 1}$$

La suma de las corrientes en el colector de Q_1 da

$$i_{\text{in}} = \left(\frac{\beta}{\beta + 1} + \frac{2}{\beta + 1}\right) i_E = \frac{\beta + 2}{\beta + 1} i_E$$

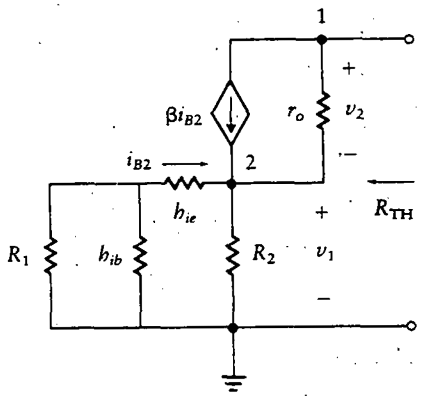
La ganancia de corriente del espejo está dada por

$$A_i = \frac{i_o}{i_{in}} = \frac{\beta i_E}{\beta + 1} \frac{\beta + 1}{(\beta + 2) i_E} = \frac{1}{1 + 2/\beta} \approx 1$$

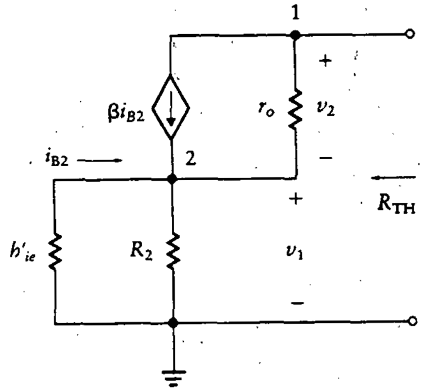
Si β es mucho mayor que 1, esta ganancia de corriente es aproximadamente igual a 1, y el espejo de corriente reproduce la corriente de entrada.

Este concepto se extiende a otros circuitos, como se muestra en la figura 7.11. La corriente de entrada a Q_1 se refleja en varios transistores, Q_2, Q_3, ..., Q_n. Los

Figura 7.12
Circuito equivalente de la fuente de corriente Widlar.



(a) Circuito equivalente real



(b) Circuito equivalente aproximado

errores en la corriente de base se acumulan cuando se utilizan salidas múltiples, y las ganancias de corriente tienden a desviarse de la unidad.

7.3.4 Fuentes de corriente como cargas activas

En los amplificadores diferenciales convencionales de la sección 7.2, las cargas del colector son resistores. La ganancia diferencial es

$$A_v = \frac{v_o}{v_i} = \frac{-R_C}{h_{ib}} = \frac{-R_C I_{CQ}}{V_T}$$

Con el fin de conseguir una ganancia de tensión grande, el producto $R_C I_{CQ}$ debe ser grande. Esto requiere valores grandes ya sea de resistencia o de tensión de fuente de alimentación. Como el valor de la fuente de alimentación por lo regular es fijo, se requieren resistores grandes. Las secciones precedentes ilustraron formas alternas de fuentes de corriente constante casi ideales. Se demostrará ahora que éstas son equivalentes a resistores grandes.

El circuito Widlar se puede utilizar para simular una resistencia elevada. El circuito equivalente a pequeña señal se muestra en la figura 7.12. Como este circuito no tiene fuentes independientes, equivale a una simple resistencia de Thévenin. Para encontrar el valor de esta resistencia, se supone una corriente, i_{TH}, se encuentra la tensión resultante y se toma la razón. Se inicia sumando las corrientes en el nodo 1,

$$i_{TH} = \beta i_{B2} + \frac{v_2}{r_o} \tag{7.21}$$

y en el nodo 2,

$$\beta i_{B2} + \frac{v_2}{r_o} - \frac{v_1}{R_2} + i_{B2} = 0 \tag{7.22}$$

De la ecuación (7.21), se obtiene

$$v_2 = (i_{\mathrm{TH}} - \beta i_{B2}) r_o \tag{7.23}$$

También

$$v_1 = -i_{B2} h'_{ie} \tag{7.24}$$

donde

$$h'_{ie} = h_{ie} + (h_{ib} \| R_1)$$

Sustituyendo las ecuaciones (7.23) y (7.24) en la ecuación (7.22), se tiene

$$-i_{\mathrm{TH}} = i_{B2}\left(1 + \frac{h'_{ie}}{R_2}\right) \tag{7.25}$$

Utilizando la relación

$$R_{\mathrm{TH}} = \frac{v_{\mathrm{TH}}}{i_{\mathrm{TH}}}$$

se obtiene

$$R_{\mathrm{TH}} = \frac{r_o(1 + \beta + h'_{ie}/R_2) + h'_{ie}}{1 + h'_{ie}/R_2}$$

Como

$$r_o \gg h'_{ie}$$

se tiene

$$R_{\mathrm{TH}} = r_o\left[\frac{1 + \beta + h'_{ie}/R_2}{1 + h'_{ie}/R_2}\right] = r_o\left[1 + \frac{\beta}{1 + h'_{ie}/R_2}\right]$$

Con el fin de simplificar este resultado, supóngase que

$$\frac{h'_{ie}}{R_2} \gg 1$$

y

$$h_{ie}\frac{\beta V_T}{I_{CQ}}$$

Entonces

$$\begin{aligned} R_{TH} &= r_o\left[1+\frac{\beta}{h_{ie}/R_2}\right] \\ &= r_o\left[1+\frac{\beta R_2 I_{CQ}}{\beta V_T}\right] \end{aligned}$$

Por último,

$$R_{TH} = r_o\left[1+\frac{I_{CQ}R_2}{V_T}\right] \tag{7.26}$$

En la ecuación (7.26) se muestra que R_{TH} depende de $I_{CQ}R_2$, que es la caída de tensión en cd a través de R_2. A mayor caída de tensión, mayor resistencia de salida. En general, la resistencia de salida de una fuente de corriente simple se incrementa al añadir resistencias (R_2 en Figs. 7.8 y 7.12) en los emisores de los transistores de la fuente de corriente.

Se realiza un análisis similar para la fuente de corriente Wilson. Este análisis es como el utilizado para la fuente Widlar, por lo que aquí sólo se enuncia el resultado. La resistencia equivalente está dada por

$$R_{TH} = \frac{\beta r_o}{2} \tag{7.27}$$

A continuación se examinan dos aplicaciones de los circuitos de corriente constante. En la figura 7.13(a) se ilustra un amplificador EC con una carga activa como resistor de colector. En la figura 7.13(b) se muestra un amplificador diferencial utilizando cargas activas, fuentes de corriente Widlar y espejos de corriente. En varios CI se encuentran circuitos de este tipo, ya que se evitan los resistores grandes en el proceso de fabricación. Los transistores Q_1 y Q_2 son los transistores del amplificador diferencial, Q_3 y Q_4 son las cargas activas para el amplificador, Q_3, Q_4 y Q_6 forman la fuente de corriente con espejos de corriente, y Q_5 y Q_7 forman una fuente de corriente Widlar.

7.3.5 Trasladadores de nivel

A menudo los amplificadores producen tensiones de cd en la salida. Aun si la entrada tiene un valor promedio de 0 V, la salida en general tiene una tensión promedio distinta de cero debido a efectos de polarización. Estas tensiones en

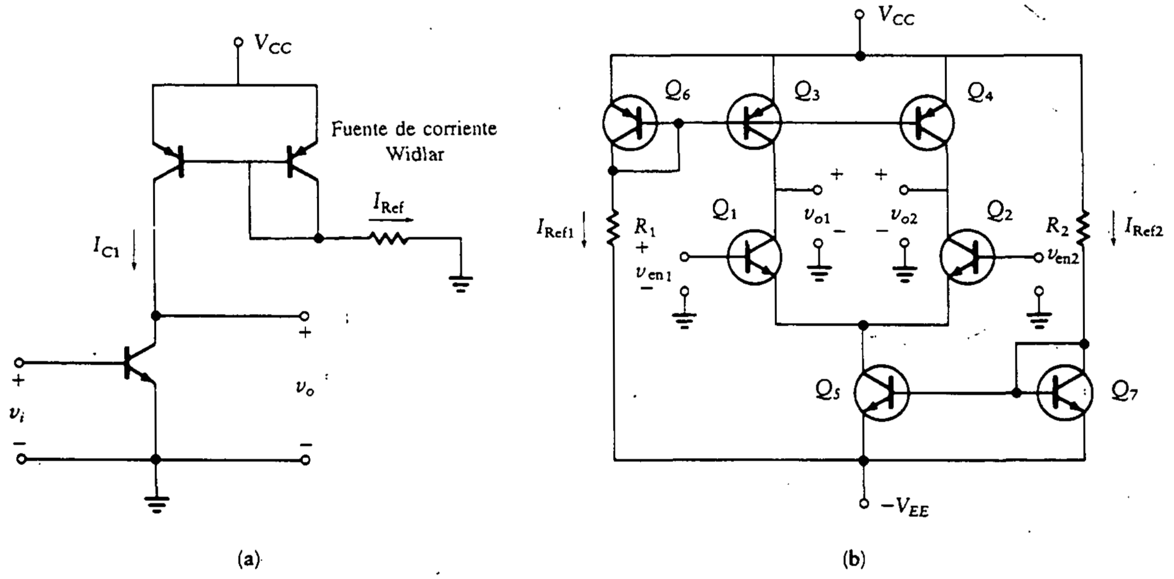


Figura 7.13 Amplificador EC con carga activa.

cd pueden provocar problemas en la salida, ya que producen un desplazamiento indeseado.

En el capítulo 6 se estudió el amplificador de potencia clase B, que proporciona un método para reducir las tensiones de desplazamiento en la etapa de salida. Sin embargo, no siempre se pueden utilizar amplificadores clase B, por lo que es necesaria otra técnica. Los *trasladadores de nivel* son amplificadores que suman o restan de la entrada una tensión conocida para compensar las tensiones de desplazamiento en cd.

Como el amplificador operacional es un amplificador multietapa en cd de alta ganancia, las tensiones en cd no deseadas siempre son una fuente de problemas. Esto es, un pequeño desplazamiento en una etapa previa puede saturar una etapa posterior. Por esta razón, se incluyen los trasladadores de nivel en el diseño de los amplificadores operacionales.

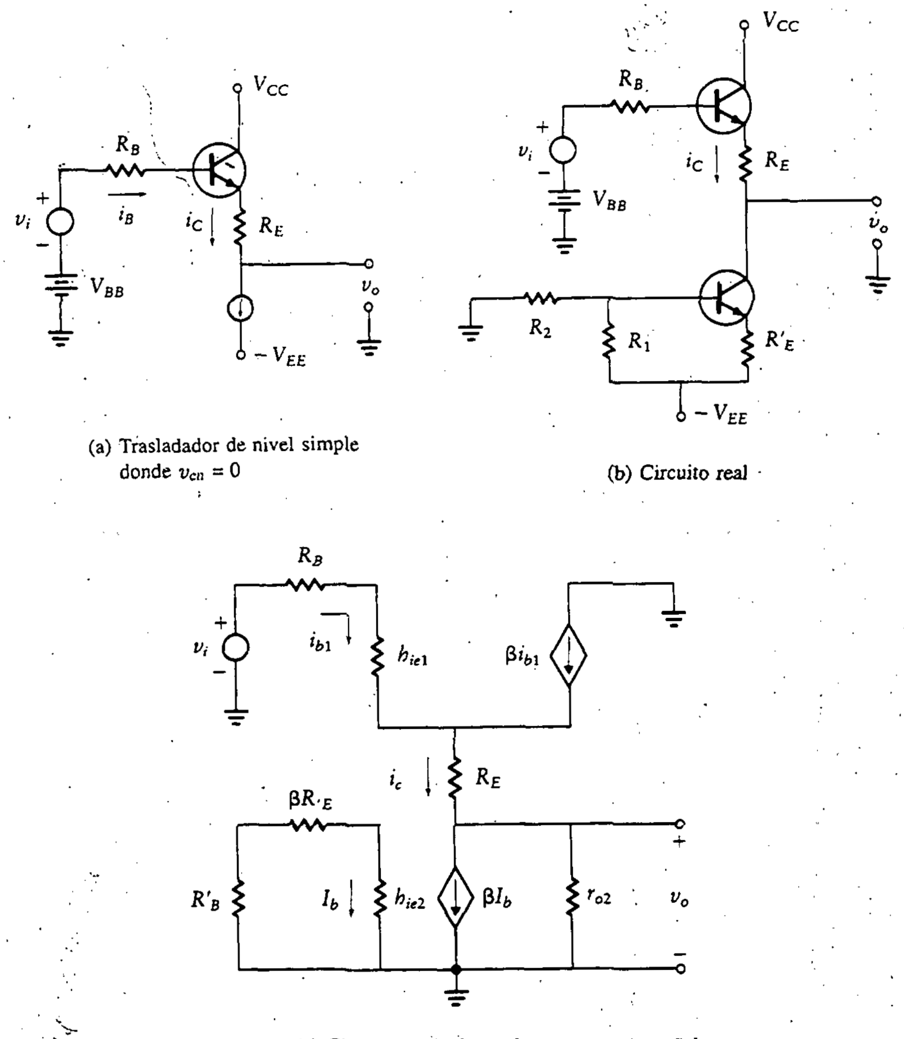
En la figura 7.14 se ilustra un trasladador de nivel simple. Se muestra que este trasladador funciona como amplificador de ganancia unitaria para ca a la vez que proporciona una salida ajustable en cd. Se inicia el análisis utilizando LTK en la figura 7.14(a) y haciendo $v_i = 0$ para obtener

$$V_{BB} = I_B R_B + V_{BE} + I_C R_E + V_o$$

Como

$$I_B = \frac{I_C}{\beta}$$

Figura 7.14
Trasladador de nivel.



(a) Trasladador de nivel simple donde $v_{cn} = 0$

(b) Circuito real

(c) Circuito equivalente de ca a pequeña señal

se despeja el valor de cd de la tensión de salida, V_o:

$$V_o = V_{BB} - \frac{R_B I_C}{\beta} - I_C R_E - V_{BE} \tag{7.28}$$

Esta ecuación demuestra que seleccionando un valor para R_E, V_o se puede colocar en cualquier nivel de cd menor que $V_{BB} - V_{BE}$. Como V_{BB} es el nivel de cd que se adquiere de la etapa anterior, este amplificador se utiliza para desplazar el nivel *hacia abajo* (a un valor menor). Si se desea un desplazamiento *hacia arriba,* se utiliza un circuito similar pero se sustituyen los transistores *npn* por *pnp*. En la figura 7.14(b) se muestra un circuito completo con fuentes de corriente activas.

Se examinarán las señales en ca a pequeña señal. En la figura 7.14(c) se ilustra el circuito equivalente en ca. Nótese que βI_b es la corriente de colector en la fuente de corriente activa, y se supone que es constante. Debido a que el valor de ca de la corriente es cero, esta fuente de corriente se reemplaza por un circuito abierto en las siguientes ecuaciones. Se escriben las ecuaciones en ca utilizando LTK:

$$v_i = i_{b1}R_B + i_{b1}h_{ie1} + i_cR_E + v_o \tag{7.29}$$

y

$$v_o = i_c r_{o2}$$

$$i_c = \frac{v_o}{r_{o2}}$$

$$v_{en} = \frac{v_o R_B}{\beta r_{o2}} + \frac{v_o h_{ie1}}{\beta r_{o2}} + \frac{v_o R_E}{r_{o2}} + v_o$$

Por último, la razón de la salida en ca a la entrada en ca es

$$\frac{v_o}{v_i} = \frac{1}{1 + (R_B/\beta + h_{ie}/\beta + R_E)/r_{o2}} \tag{7.30}$$

En la ecuación (7.30) se muestra que, conforme r_{o2} se vuelve más grande, la razón de la salida a la entrada se aproxima a uno, y el trasladador de nivel actúa como emisor seguidor para ca. Este es el resultado deseado.

Ejemplo 7.4

Dos amplificadores EC acoplados en forma directa se colocan en serie para lograr la ganancia de tensión deseada. Diséñese un trasladador de nivel para colocarse entre los dos amplificadores EC a fin de proporcionar una tensión en cd suficientemente baja para prevenir la saturación del segundo amplificador EC. Hágase esto proporcionando un volt de polarización a la segunda etapa. La tensión de colector, V_C, del primer amplificador es 4 V, y la R_C de ese amplificador es 1 kΩ. Diséñese el trasladador de nivel para tener una I_{CQ} de 1 mA utilizando fuentes de alimentación de ± 10 V. Utilícese una fuente de corriente del tipo mostrado en la figura 7.5 con transistores que tengan $\beta = 100$, $V_{BE} = 0.7$ V y $V_\gamma = 0.7$ V.

SOLUCIÓN El trasladador de nivel se muestra en la figura 7.14(b). Se necesita encontrar los valores de R_E, R_1, R_2 y R'_E. Como el primer amplificador tiene una V_C de 4 V, el valor de V_{BB} para la ecuación (7.28) es 4 V, mientras que R_B de

esa fórmula es 1 kΩ. Nótese esto utilizando el circuito equivalente de Thévenin del amplificador anterior. Entonces la ecuación (7.28) da

$$1 = 4 - 1000\frac{10^{-3}}{100} - 10^{-3}R_E - 0.7$$

Despejando R_E, se obtiene

$$R_E = 2.29\ \text{k}\Omega$$

Colocando el punto de operación del transistor de la fuente de corriente en el centro de la línea de carga en cd, se obtiene

$$V_{CEQ} = \frac{10+1}{2} = 5.5\ \text{V}$$
$$R'_E = \frac{5.5\ \text{V}}{1\ \text{mA}} = 5.5\ \text{k}\Omega$$

y

$$R'_B = R_1 \parallel R_2 = 0.1\beta R'_E = 55\ \text{k}\Omega$$
$$V_{R'E} = V_{R1} = 5.5\ \text{V}$$

Entonces

$$V_{R2} = 10 - 5.5 - 0.7 = 3.8\ \text{V}$$

Se conocen ahora las tensiones a través de R_1 y R_2 y la resistencia en paralelo. Esto proporciona las dos ecuaciones siguientes, donde se supone que la corriente de base en el transistor inferior de la figura 7.14(b) es despreciable.

$$R_B = \frac{(5.5/I)(3.8/I)}{(5.5/I)+(3.8/I)} = 55\ \text{k}\Omega$$
$$I = 0.041\ \text{mA}$$

y

$$R_1 = 134\ \text{k}\Omega$$
$$R_2 = 93\ \text{k}\Omega$$

Por tanto, el diseño está completo.

7.4 CONFIGURACIÓN *CASCODE*

La configuración *cascode*, como se muestra en la figura 7.15, consiste en un amplificador EC acoplado directamente a un amplificador BC. Se utiliza con el amplificador diferencial para proporcionar las ventajas de un aumento en la resistencia de salida y un ancho de banda más amplio.

El amplificador BC posee la ventaja de contar con características en frecuencia favorables (se alcanzan frecuencias más altas a la vez que se mantiene una ganancia de tensión alta). Si el amplificador EC se reemplaza por un amplificador diferencial, el resultado es un amplificador de dos etapas con ganancia de tensión y ancho de banda aumentados. Esta proposición se prueba al evaluar la respuesta en frecuencia

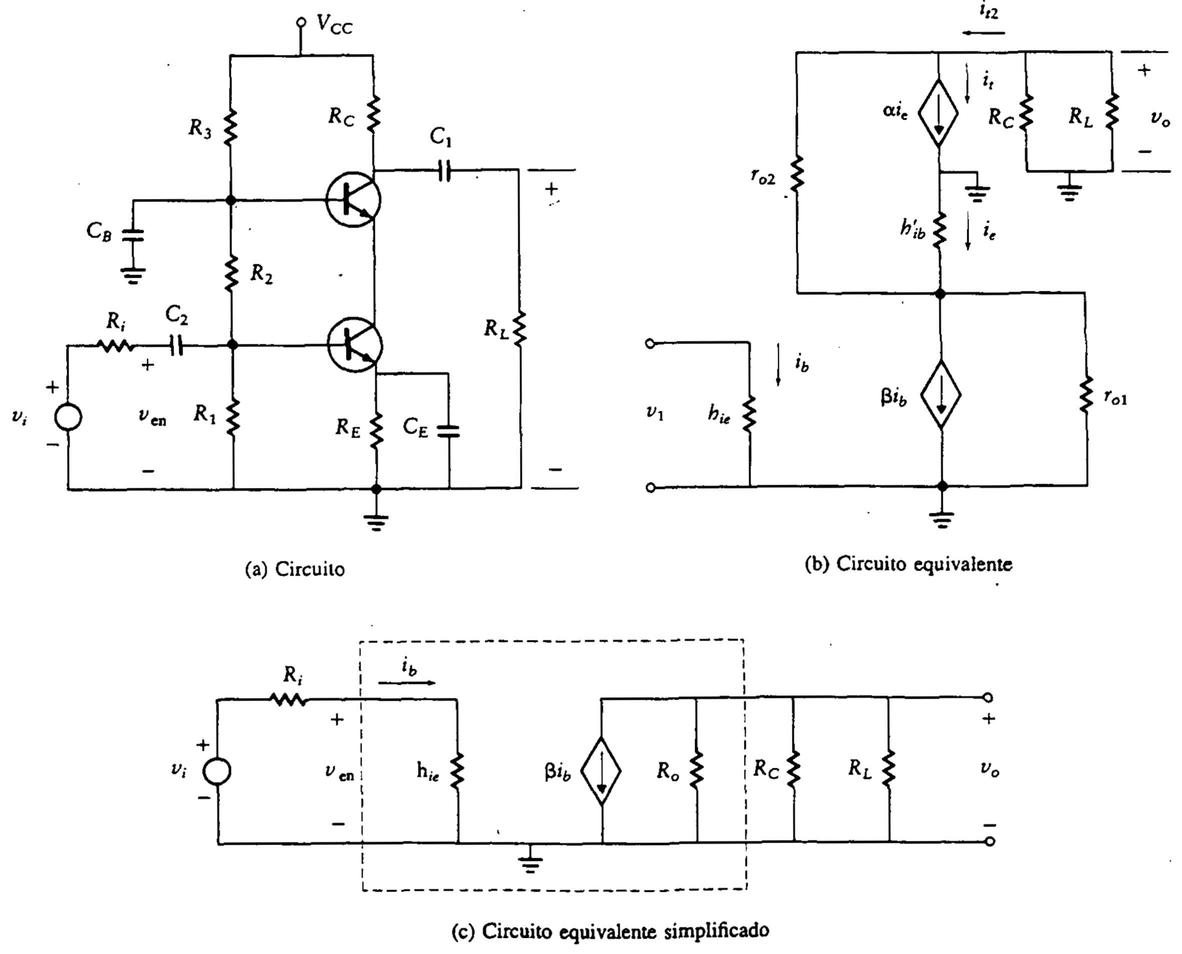


Figura 7.15 Amplificador *cascode.*

en el capítulo 10. Por ahora, se analiza la configuración *cascode* básica para determinar el cambio en la resistencia de salida del amplificador. La configuración *cascode* se ilustra con BJT, aunque el amplificador también trabaja utilizando FET.

En la figura 7.15(b) se muestra el circuito equivalente del amplificador de la figura 7.15(a). La resistencia de entrada del circuito es la resistencia de entrada del primer transistor, o h_{ie}. La corriente en r_{o2} está dada por

$$i_{r_{o2}} = \frac{v_o}{r_{o2} + h'_{ib}} \approx \frac{v_o}{r_{o2}} = -i_e \tag{7.31}$$

Al escribir la ecuación (7.31) se supone que r_{o1} y r_{o2} son mucho mayores que h'_{ib}. Entonces

$$i_t = \alpha i_e = -\frac{\alpha v_o}{r_{o2}}$$

y (7.32)

$$i_{t2} = i_t + i_{r_{o2}} = \frac{v_o(1-\alpha)}{r_{o2}} \approx \frac{v_o}{\beta r_{o2}}$$

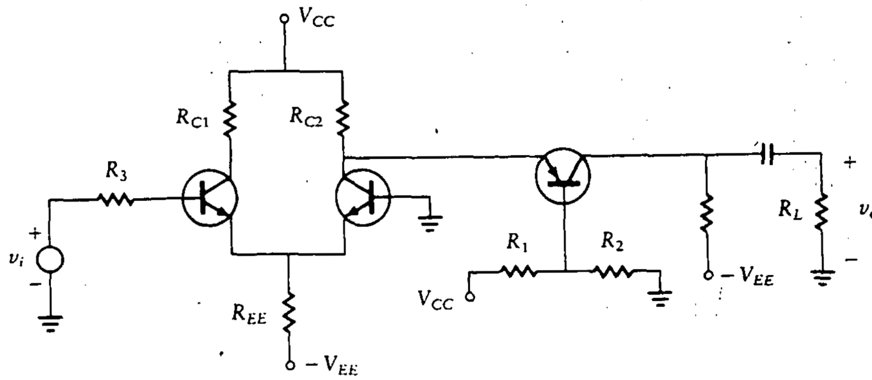
La resistencia de salida del amplificador (como se ve a través de v_o) es

$$R_o = \frac{v_o}{i_{t2}} = \beta r_{o2} \tag{7.33}$$

Este amplificador muestra una resistencia de salida que es aproximadamente un factor β mayor que el de un amplificador con un solo transistor. En la figura 7.15(c) se muestra un circuito equivalente simplificado, que incluye esta resistencia de salida.

Si el amplificador EC en el circuito *cascode* se reemplaza por un amplificador diferencial de salida simple, resulta el circuito de la figura 7.16. Este circuito

Figura 7.16
Configuración *cascode* utilizando un amplificador diferencial.



tiene una impedancia de salida alta y características en frecuencia mejoradas, y se encuentra en la entrada de varios amplificadores operacionales de banda ancha. Las características en frecuencia del amplificador *cascode* se analizan en la sección 10.7.

Ejercicios

D7.4 Diséñese una fuente de corriente Widlar para obtener una corriente constante de 50 μA. La tensión de la batería es 20 V, y se utiliza una corriente de referencia de 4 mA. Determínense el valor del resistor necesario y la R_{TH} de la fuente de corriente cuando r_o (del transistor) = 50 kΩ, V_{BE} = 0.7 V y V_T = 26 mV.

Resp.: $R_1 = 4.83$ kΩ; $R_2 = 2.28$ kΩ; $R_{TH} = 269$ kΩ

D7.5 Diséñese una fuente de corriente Wilson para proporcionar 100 μA cuando V_{CC} = 15 V. Utilícense transistores con β = 100, V_{BE} = 0.7 V y V_T = 26 mV. Determínese R_{TH} cuando la r_o del transistor es 15 kΩ.

Resp.: $I_{REF} = 100\ \mu A$; $R_1 = 143$ kΩ; $R_{TH} = 750$ kΩ

D7.6 Diséñese un trasladador de nivel para cambiar la V_C de 6 V a 2 V de manera que la tensión sea compatible con el amplificador posterior EC. Utilícese un amplificador EC que tenga una R_C = 5 kΩ y una fuente de corriente de 4 mA con V_{CC} = 15 V y V_{EE} = 15 V. Los transistores tienen β = 200 y V_{BE} = 0.7 V.

Resp.: $R_E = 805$ Ω; $R'_E = 2.13$ kΩ; $R_1 = 110$ kΩ; $R_2 = 69$ kΩ

7.5 EMPAQUETADO DE LOS AMPLIFICADORES OPERACIONALES

Los circuitos de amplificadores operacionales se empaquetan en moldes de CI estándar, incluyendo metal, empaques de doble fila (DIP, *dual in-line package*) y empaques planos. Cada uno de estos empaques tiene al menos ocho terminales o conexiones, las cuales se ilustran en las figuras 7.17, 7.18 y 7.19. En un diseño práctico, es importante identificar las terminales correctamente (en general no están numeradas). En las figuras se ilustra la forma como se identifica la terminal 1 en la configuración física. En el *empaque metálico* de la figura 7.17, la terminal 1 es la primera a la izquierda de la marca, y las demás terminales se numeran de manera consecutiva hacia la izquierda, viendo desde arriba. En el *DIP* de la figura 7.18, el extremo del empaque posee una ranura para localizar la terminal 1, y las terminales se numeran hacia abajo en la izquierda y hacia arriba en la derecha. Nótese que se empaqueta más de un amplificador operacional (por lo general dos o cuatro) en un DIP.

En el *empaque plano* de la figura 7.19, la terminal 1 se identifica con un punto, y las demás terminales se numeran como en el DIP.

Figura 7.17
Conexiones de un amplificador operacional para un empaque metátilco.

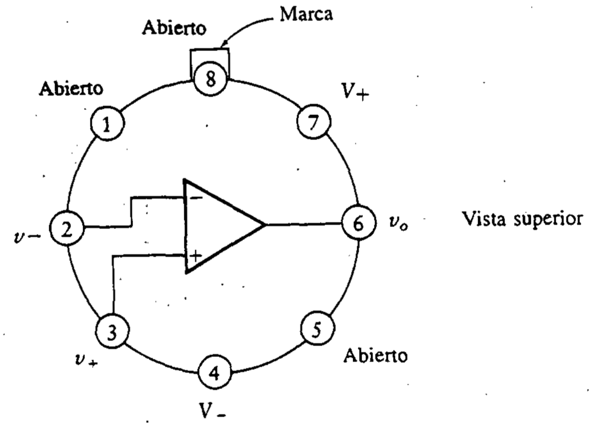


Figura 7.18
Conexiones de un amplificador operacional para un empaque de doble fila con 14 terminales.

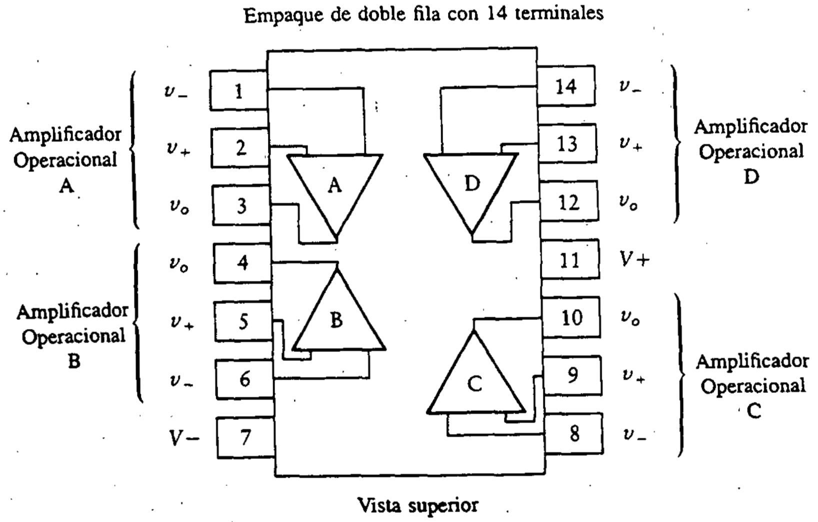
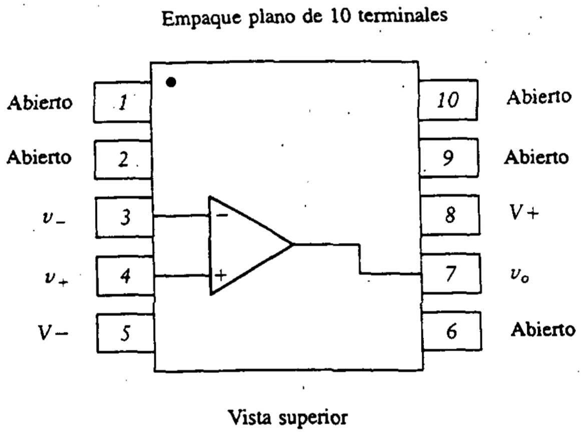


Figura 7.19
Conexión de amplificador operacional para un empaque plano de 10 terminales.



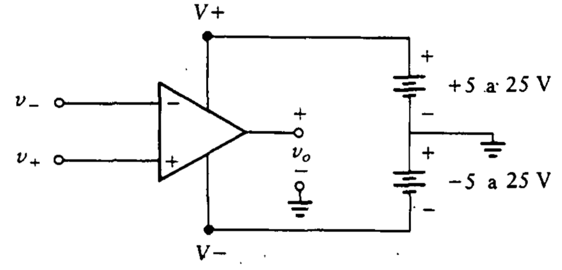


Figura 7.20
Conexiones de las fuentes de alimentación.

7.5.1 Requerimientos de potencia

Varios amplificadores operacionales requieren tanto una fuente positiva como una negativa. Las tensiones típicas de las fuentes van de ±5 V a ±25 V. En la figura 7.20 se muestran las conexiones comunes de las fuentes de alimentación al amplificador operacional.

La máxima excursión en la tensión de salida está limitada por la tensión en cd suministrada al amplificador operacional. Algunos amplificadores operacionales se pueden operar con una sola fuente de alimentación. Las especificaciones del fabricante definen los límites de operación en aquellos casos en que el amplificador utiliza sólo una fuente de alimentación.

7.6 EL AMPLIFICADOR OPERACIONAL 741

Uno de los amplificadores operacionales más populares es el A741 que se ilustra en la figura 7.21. Ha sido producido desde 1966 por la mayoría de los fabricantes de CI y es aún muy utilizado aunque ha habido muchos avances desde su introducción.

Este amplificador operacional se describe de manera breve. El comportamiento externo y las especificaciones de este circuito se describen más adelante en este capítulo. Por ahora, la atención se centrará en su construcción interna.

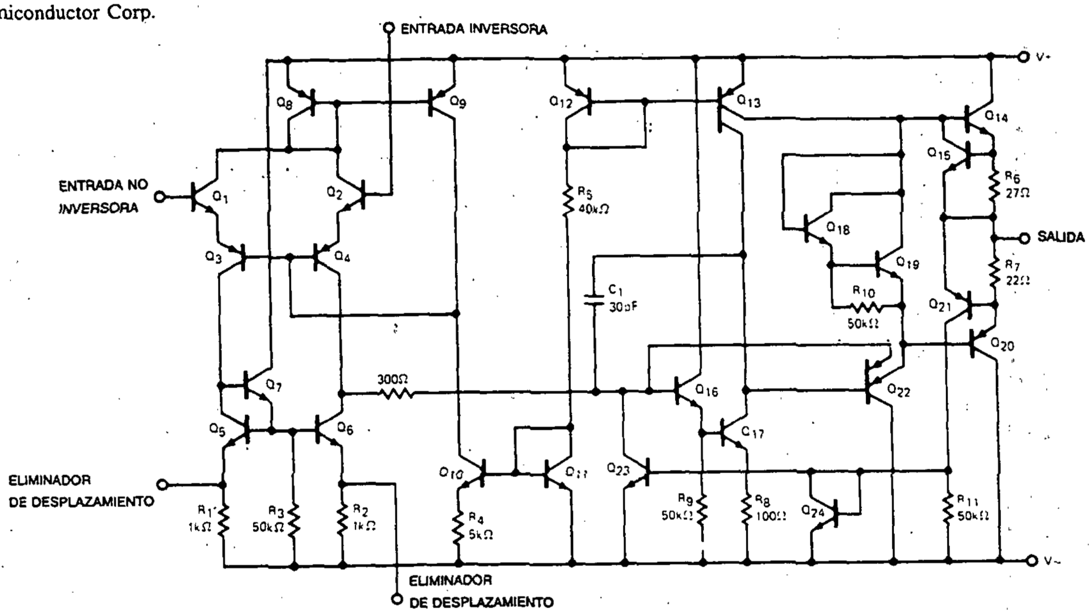
El amplificador operacional 741 tiene *compensación interna,* que se refiere a la red RC que hace que la respuesta en amplitud decaiga a frecuencias más altas. Dos amplificadores diferenciales *cascode* excitan un amplificador de potencia de simetría complementaria a través de otro amplificador de tensión.

El amplificador operacional 741 consiste en tres etapas principales: un amplificador diferencial en la entrada, un amplificador intermedio de alta ganancia de salida simple y un amplificador de potencia en la salida. Otro conjunto de circuitos importante para su operación incluye un trasladador de nivel para desplazar el nivel de cd de la señal de manera que la salida pueda tomar tanto valores positivos como negativos, circuitos de polarización para proporcionar corrientes de referencia a los amplificadores, y circuitos que protegen el amplificador operacional de cortocircuitos en la salida. El 741 está compensado internamente en frecuencia por medio de una red capacitor-resistor interna.

El amplificador operacional está mejorado aún más por la adición de otras etapas de amplificación, que aíslan los circuitos de entrada, y de más emisores seguidores

Figura 7.21
El amplificador operacional 741. Cortesía de Fairchild Semiconductor Corp.

CIRCUITO EQUIVALENTE



en la salida para disminuir la impedancia de salida. Otras mejoras producen un aumento en el CMRR, mayor impedancia de entrada, respuesta en frecuencia más amplia, disminución de la impedancia de salida y aumento de potencia.

7.6.1 Circuitos de polarización

Se pueden ver varias fuentes de corriente en el amplificador operacional 741 de la figura 7.21. Los transistores Q_{11} y Q_{12}, que tienen sus bases y colectores conectados, se utilizan como diodos y proporcionan una referencia de corriente en R_5 para la etapa de salida del amplificador operacional. Esta corriente de polarización se utiliza para proporcionar una corriente de referencia a Q_{13}. Así, Q_{12} y Q_{13} forman un espejo de corriente de dos salidas. Una fuente de corriente Widlar, constituida por Q_{10}, Q_{11} y R_4, crea una corriente de polarización para la primera etapa. Otra fuente de corriente que proporciona una carga activa para la primera etapa está compuesta por Q_8 y Q_9.

7.6.2 Protección de cortocircuito

El circuito 741 incluye varios transistores que normalmente están en corte y conducen sólo en caso de que exista una corriente alta en la salida. Entonces cambia la polarización en los transistores de salida para reducir esta corriente a un nivel aceptable. En el circuito de la figura 7.21, esta red de protección de cortocircuito consta de los transistores Q_{15} y Q_{21} y los resistores R_{11} y R_9.

7.6.3 Etapa de entrada

La etapa de entrada al amplificador operacional 741 es algo complicada ya que requiere proporcionar ganancia de tensión, desplazamiento de nivel y una amplificación diferencial de salida simple. La complejidad del circuito provoca un error de tensión de desplazamiento grande. En contraste con esto, el amplificador diferencial estándar de carga resistiva provoca un error menor en la tensión de desplazamiento. Sin embargo, el amplificador estándar tiene ganancia limitada, lo que significa que se requieren más etapas para lograr la amplificación deseada. Los amplificadores diferenciales de carga resistiva se utilizan en amplificadores operacionales que tengan menor desplazamiento de tensión que el 741.

Los BJT utilizados en la etapa de entrada requieren corrientes de polarización grandes, lo cual introduce problemas de desplazamiento de corriente. Para reducir el error en la corriente de desplazamiento, a menudo se utilizan FET en la etapa de entrada.

La etapa de entrada del 741 es un amplificador diferencial con carga activa formada por los transistores Q_5, Q_6 y Q_7 y los resistores R_1, R_2 y R_3. Este circuito proporciona una resistencia de carga alta y convierte la señal de diferencial a salida simple sin pérdida de ganancia o capacidad de rechazo en modo común. La salida simple se toma del colector de Q_6. El trasladador de nivel en la etapa de entrada consta de transistores laterales *pnp*, Q_3 y Q_4, que se conectan en configuración BC.

El empleo de los transistores laterales Q_3 y Q_4 brinda una ventaja adicional. Estos ayudan a proteger los transistores de entrada, Q_1 y Q_2, contra la ruptura de la unión base-emisor. La unión base-emisor de un transistor *npn* se rompe cuando la polarización inversa excede aproximadamente 7 V. La ruptura en los transistores laterales no se produce hasta que la polarización inversa excede alrededor de 50 V. Como los transistores están en serie con Q_1 y Q_2, aumenta la tensión de ruptura del circuito de entrada.

7.6.4 Etapa intermedia

En varios amplificadores operacionales las etapas intermedias proporcionan alta ganancia a través de varios amplificadores. En el 741, la salida simple de la primera etapa se conecta a la base de Q_{16}, que es una configuración emisor-seguidor. Esto proporciona una alta impedancia de entrada a la etapa de entrada, lo cual minimiza los efectos de carga. La etapa intermedia consta también de los transistores Q_{17} y Q_{18} y los resistores R_{11} y R_{12}. La salida de la etapa intermedia se toma del colector de Q_{17} y se proporciona a Q_{14} a través de un divisor de fase. El capacitor en el 741 se utiliza para compensación en frecuencia.

7.6.5 Etapa de salida

Se requiere que la etapa de salida de un amplificador operacional proporcione alta ganancia de corriente a una baja impedancia de salida. La mayoría de estos amplificadores utiliza una etapa de salida de simetría complementaria para ganar más

eficiencia sin sacrificar ganancia de corriente. En el capítulo 6 se muestra que la máxima eficiencia que se puede alcanzar para el amplificador de SC es 78%. El amplificador de salida simple tiene una eficiencia máxima de sólo 25%. Algunos amplificadores operacionales utilizan un par Darlington de simetría complementaria para aumentar la capacidad de salida. La etapa de salida de simetría complementaria en el 741 consiste en Q_{14} y Q_{20}.

7.7 ESPECIFICACIONES DEL FABRICANTE

Cada amplificador operacional posee características que se describen en las especificaciones del fabricante. Éstas se combinan en manuales.

Cada especificación proporciona también las características del amplificador operacional bajo varias condiciones de operación. Los parámetros principales se muestran ya sea en *forma tabular o gráfica. Pueden existir también aplicaciones típicas* del amplificador operacional recomendadas por el fabricante. Otros datos de la especificación pueden incluir ejemplos de circuitos externos necesarios para balancear dicho amplificador operacional. Este es un momento adecuado para familiarizarse con el apéndice D, donde se ilustran ejemplos de hojas de especificaciones. Se incluye el μA741, y debe verse como un ejemplo representativo.

Los amplificadores operacionales son bloques de construcción versátiles para que los utilice el diseñador. Conforme se examinen varias aplicaciones de estos bloques (en los siguientes cinco capítulos), sería muy útil obtener una de las últimas copias de un manual de CI lineales de los fabricantes, que contiene varias hojas de especificaciones y otra información valiosa.

PROBLEMAS

7.1 ¿Cuál es la ganancia en modos diferencial y común para el amplificador de la figura 7.3 si $R_{C1} = R_{C2} = 10\ \text{k}\Omega$, $R_E = 10\ \text{k}\Omega$ y $V_{CC} = 15$ V? Supóngase que V_{EE}/R_E es una fuente de corriente constante y que $V_{BE} = 0.7$ V, $V_T = 26$ mV y $V_{EE} = 15$ V.

7.2 ¿Cuál es la ganancia en modos diferencial y común para el amplificador de la figura 7.3 si $R_{EE} = 5\ \text{k}\Omega$, $R_{C1} = R_{C2} = 5\ \text{k}\Omega$, $V_{CC} = V_{EE} = 15$ V? Supóngase que $V_{BE} = 0.7$ V, $V_T = 26$ mV y $\beta = 100$.

7.3 Encuéntrese la tensión diferencial para el circuito de la figura 7.3 si $v_1 = 0.6$ V y $v_2 = 0.55$ V. Sean $R_C = 5\ \text{k}\Omega$, $R_{EE} = 5\ \text{k}\Omega$ e $I_{EE} = 2.6$ mA.

7.4 Un fabricante indica la ganancia de tensión de un amplificador diferencial como 200 y el CMRR como 80 dB. Si se aplica una señal diferencial de 2 mV en la entrada junto con una señal indeseada en modo común de 10 mV, ¿cuál es la amplitud de cada señal en la salida?

7.5 El amplificador diferencial de la figura 7.5 tiene $A_d = 200$, una tensión diferencial en la entrada de 3 mV, una tensión en modo común de 15 mV y un CMRR de 95 dB. Calcúlese la tensión en modos diferencial y común en la salida.

7.6 Calcúlense v_{o1}, v_{o2} y v_{o3} en términos de las entradas v_1 y v_2 para el circuito de la figura P7.1. Supóngase que la ganancia diferencial de tensión, A_d (salida doble a entrada doble), es 100 y que la ganancia de tensión en modo común, A_c, es -0.5 para cada etapa. Se supone que todos los transistores son idénticos.

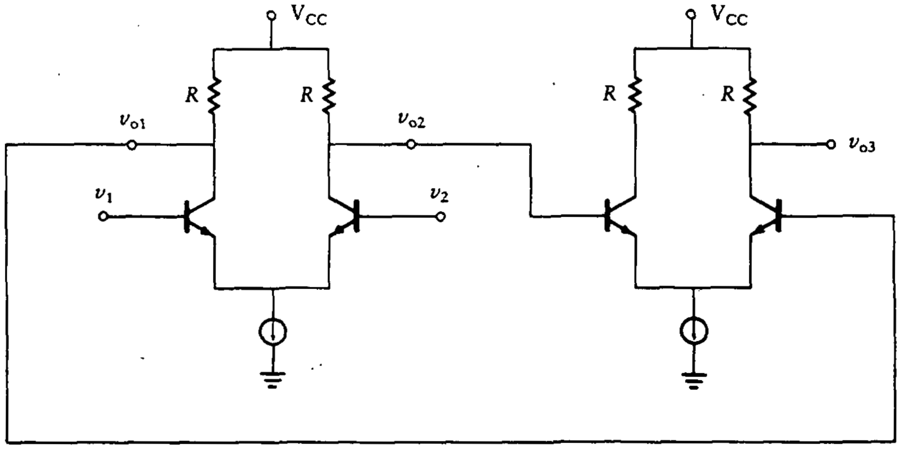


Figura P7.1

7.7 Calcúlese v_{o3} en términos de las entradas v_1 y v_2 para el circuito de la figura P7.2. Las ganancias de tensión en modos diferencial y común para la primera etapa son las mismas que las del problema 7.6. Para el transistor Q_3, $\beta = 100$, $R_C = 10\ \text{k}\Omega$, $h_{ib} = 50\ \Omega$ y $R_E = 200\ \Omega$.

7.8 Calcúlense v_{o1} y v_{o2} para las tensiones de entrada que se muestran en la figura P7.3. A_d y A_c son las mismas que en el problema 7.6.

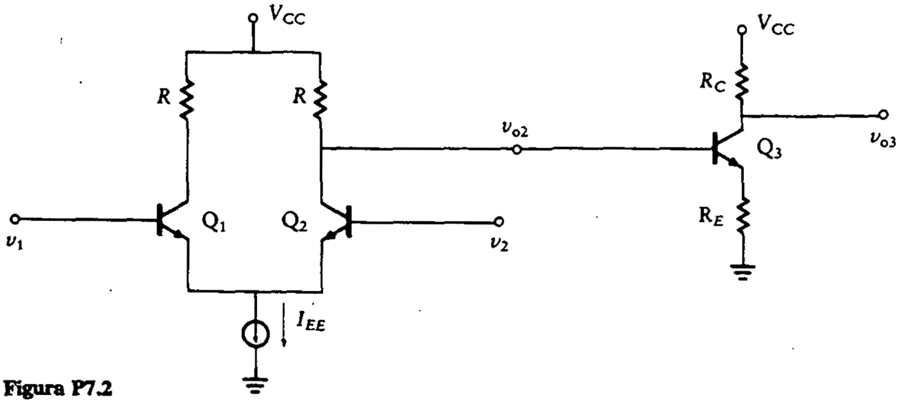


Figura P7.2

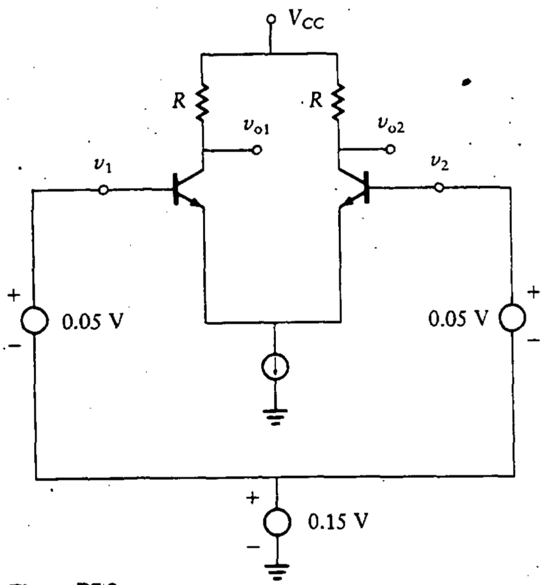


Figura P7.3

7.9 Encuéntrense A_c, A_d y CMRR para el circuito de la figura 7.5 si $R_{C1} = R_{C2} =$ 3 kΩ, $I_{EE} = 4$ mA, $R_E = 2$ kΩ, $r_o = 15$ kΩ, $V_{CC} = 12$ V y $V_{EE} = 12$ V.

7.10 Encuéntrense A_c, A_d y el CMRR para v_{o2} del circuito de la figura 7.3 si $R_C = 4$ kΩ, $I_{EE} = 3$ mA, $V_{CC} = V_{EE} = 12$ V, $v_1 = 0$ y $R_{EE} = 40$ kΩ.

7.11 Encuéntrense A_c, A_d y el CMRR para el circuito de la figura P7.2 cuando R(fuente de corriente) = 50 kΩ, $R = 6$ kΩ, V_2 está puesta a tierra, $I_{EE} =$ 2 mA, $V_{CC} = 8$ V, $R_C = 2$ kΩ, $R_E = 500$ Ω y $\beta = 200$.

7.12 En la fuente de corriente mostrada en la figura 7.5, determínense los valores de R_1 y R_2 si $V_{EE} = 10$ V, $I_{EE} = 2$ mA y $\beta = 200$. Asegúrese que V_γ se puede utilizar para compensar las variaciones de V_{BE} con la temperatura.

7.13 Si la fuente de corriente mostrada en la figura 7.5 tiene $R_1 = 20$ kΩ, $R_2 =$ 18 kΩ, $V_{EE} = 15$ V, $R_E = 10$ kΩ y $\beta = 200$, ¿cuál es el valor de I_{EE} para el circuito? ¿Cuáles son los valores de I_{C1} e I_{C2} si el amplificador diferencial está balanceado? Supóngase que $V_{BE} = V_\gamma$.

7.14 Para el circuito mostrado en la figura P7.4, determínense R_{C1}, R_{C2}, I_{EE}, A_c, A_d, v_o y el CMRR. Supóngase que $V_{BE} = 0.7$ V y $\beta = 200$.

7.15 Si el capacitor de paso CE se quita del circuito en el problema 7.14, ¿cambiarían A_c, A_d y CMRR? Si es así, ¿cuánto?

7.16 Si se reemplazara R_{EE} en el problema 7.14 con una fuente de corriente compensada por diodo (donde $r_o = 25$ kΩ y $\beta = 200$ para el transistor por utilizar), ¿cuál sería el nuevo CMRR? Determínense los valores de R_1 y R_2.

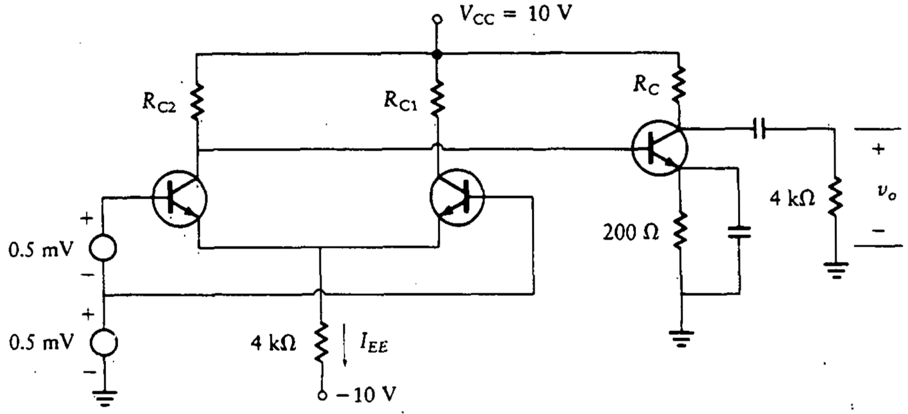


Figura P7.4

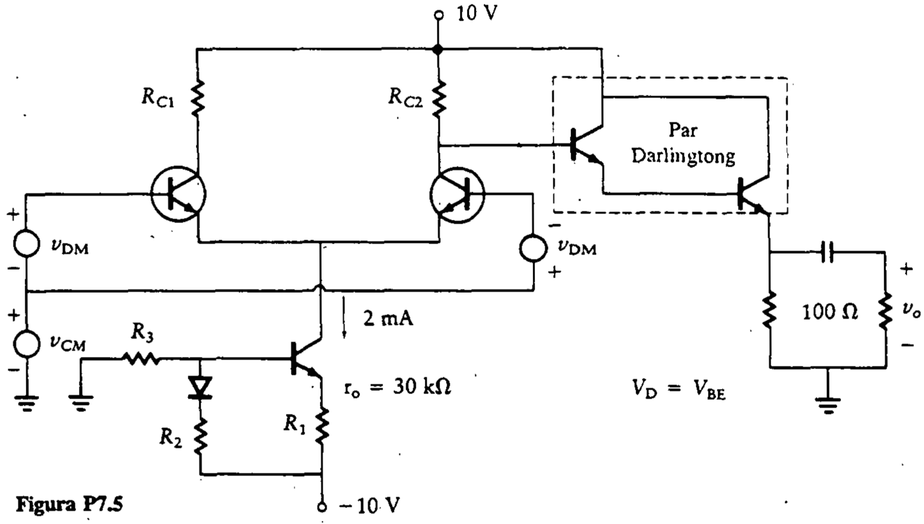


Figura P7.5

7.17 Para el amplificador mostrado en la figura P7.5, determínense R_1, R_2, R_3, A_c, A_d, R_{C1}, R_{C2} y CMRR cuando $\beta = 100$ y $V_{BE} = 0.7$ V para los transistores simples y $\beta = 10000$ y $V_{BE} = 1.4$ V para el par Darlington.

7.18 Diséñese una fuente de corriente Widlar para proporcionar I_{C2} = 10 μA. Supóngase que V_{CC} = 30 V, R_1 = 40 kΩ y V_{BE} = 0.7 V. Remítase a la figura 7.8.

7.19 Diséñese una fuente de corriente Widlar para proporcionar I_{C2} = 100 μA con una referencia de 1 mA. Supóngase que V_{CC} = 20 V y V_{BE} = 0.7 V. Remítase a la figura 7.8.

7.20 La fuente de corriente Widlar del problema 7.19 se utiliza como una carga activa. ¿Cuál es la resistencia equivalente de la fuente de corriente cuando se utiliza de esta forma? Supóngase que se emplean transistores 2N3903 (véase Ap. D1).

7.21 Para la fuente de corriente Wilson de la figura 7.9, calcúlese la resistencia de salida si V_{CC} = 15 V, R = 12 kΩ, V_T = 26 mV, V_{BE} = 0.7 V y β = 100. Supóngase que se emplean transistores 2N3903 en el intervalo de 500 μA (véase Ap. D1).

7.22 En el circuito del problema 7.21, ¿cuáles son los valores de I_{REF} e I_{C2}?

7.23 ¿Cuál es la salida del trasladador de nivel de la figura 7.14 si V_{BB} = 8 V, R_B = 5 kΩ, V_{CC} = 10 V, la fuente de corriente proporciona 4 mA, R_E = 800 Ω, V_{BE} = 0.7 V y β = 100?

7.24 Diséñese un trasladador de nivel para obtener un desplazamiento de 4 V utilizando el circuito de la figura 7.14(b). Supóngase que R_B = 4 kΩ, V_{BB} = 8 V, V_{CC} = 12 V, V_{EE} = 12 V, β = 100 y V_{BE} = 0.7 V. Utilícese una fuente de corriente que proporcione 6 mA.

7.25 Un amplificador multietapa acoplado directamente tiene un amplificador EC en la última etapa. La V_C para el amplificador EC es 6 V con una R_C de 5 kΩ. Diséñese un trasladador de nivel para que siga al amplificador EC y proporcione una salida en ca. Los valores de los parámetros son V_{CC} = 10 V, V_{EE} = 10 V, V_{BE} = 0.7 V y β = 100. Diséñese la fuente de corriente para que tenga una salida de 5 mA.

PROBLEMAS ADICIONALES

PA7.1 Si R_{EE} en el problema 7.14 se reemplaza con una fuente de corriente simple (V_A = 80 V), ¿cuál es el nuevo CMRR? Determine el valor de R_{REF}.

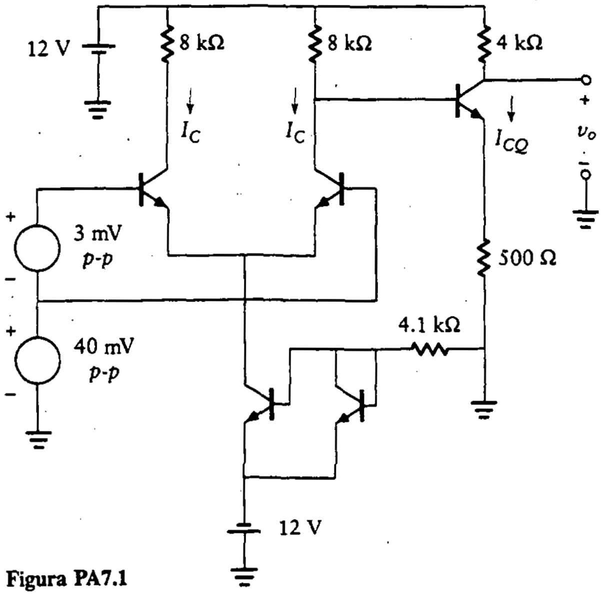


Figura PA7.1

PA7.3 Diseñe un espejo de corriente del tipo mostrado en la figura PA7.2 donde $I_1 = 10$ mA, $I_2 = 1$ mA, $I_3 = 0.1$ mA, $I_4 = 100\ \mu$A e $I_5 = 50\ \mu$A. Suponga que los transistores son idénticos y tienen una $\beta = 100$.

PA7.4 Encuentre el desplazamiento en cd (cuando $v_i = 0$), A_d, A_c y el CMRR del circuito mostrado en la figura PA7.3. Suponga que $\beta = 300$ para todos los transistores, $V_T = 26$ mV, $V_A = 80$ V y $V_{BE} = 0.7$ V. Determine el valor de R_{REF} y R_2 para una $I_{EE} = 2$ mA e $I_{REF} = 50$ mA.

PA7.2 Determine las tensiones de salida en modo diferencial y modo común y el CMRR para el circuito mostrado en la figura PA7.1. Suponga que $V_{BE} = 0.7$ V, $V_T = 26$ mV, $V_A = 60$ V y, que los transistores son iguales con $\beta = 200$. También determine R_{en}(MD) y R_{en}(MC).

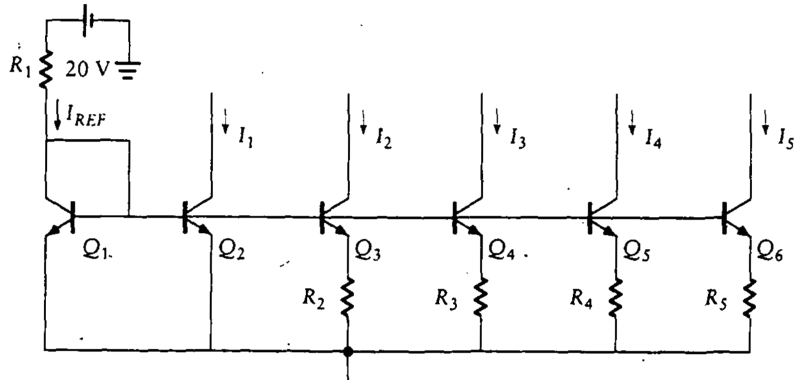


Figura PA7.2

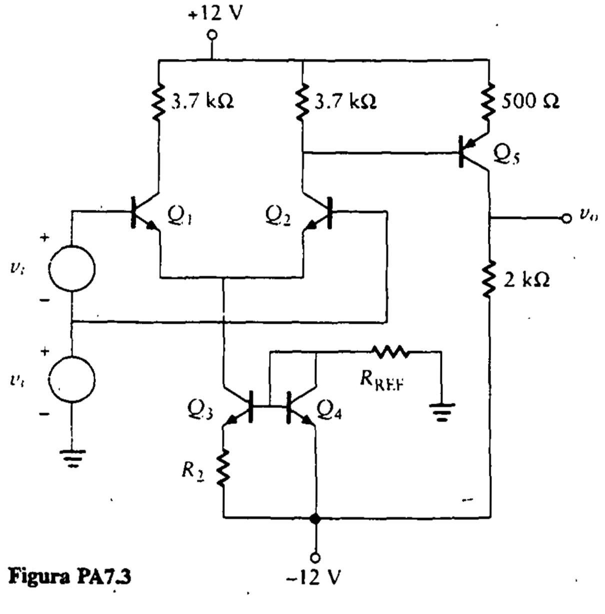


Figura PA7.3

8

AMPLIFICADORES OPERACIONALES IDEALES

8.0 INTRODUCCIÓN

En el capítulo 7 se habló del amplificador operacional en el contexto del estudio de los circuitos discretos que lo conforman. El presente capítulo es el primero de dos dedicados exclusivamente al estudio detallado de los amplificadores operacionales. Ya se analizaron algunos aspectos generales de ellos, incluyendo los empaques y las especificaciones en las hojas de datos. Ahora se idealizará este importante CI y se explorará su utilización en diseño. Se estudian el amplificador inversor y el no inversor. Se presenta un procedimiento que proporciona un método general para el diseño de un amplificador que está configurado para realizar la suma ponderada de cualquier número de tensiones de entrada. Luego se exploran varias aplicaciones útiles de los amplificadores operacionales, incluyendo circuitos de resistencia negativa, integradores y convertidores de impedancia.

En el capítulo 9 se modifica el modelo matemático del amplificador operacional ideal del presente capítulo haciendo los cambios necesarios para que el modelo coincida de manera más aproximada con el amplificador operacional real.

8.1 AMPLIFICADORES OPERACIONALES IDEALES

En esta sección se utiliza un método de *sistemas* para presentar los fundamentos de los amplificadores operacionales ideales [21]. El amplificador operacional se

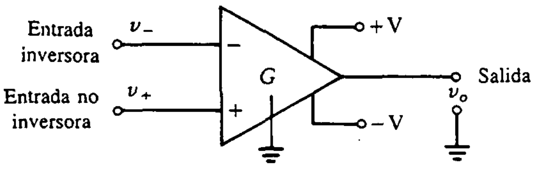


Figura 8.1 Símbolo para un amplificador operacional ideal.

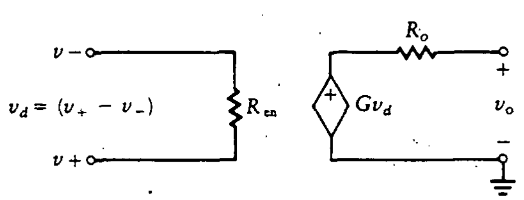


Figura 8.2 Ciruito equivalente para el amplificador operacional.

considera como un bloque con terminales de entrada y salida. En este momento no interesan los dispositivos electrónicos dentro de ese amplificador.

El amplificador operacional es un amplificador de alta ganancia directamente acoplado, que en general se alimenta con fuentes positivas y negativas. Esto permite que la salida tenga excursiones tanto por arriba como por debajo de tierra. Los amplificadores operacionales tienen amplia aplicación en muchos sistemas electrónicos lineales.

El nombre de *amplificador operacional* se deriva de una de las utilizaciones originales de circuitos con estos amplificadores: realizar operaciones matemáticas en computadores analógicos. Los primeros amplificadores operacionales utilizaban una sola entrada inversora. Todo cambio positivo en la entrada provocaba un cambio negativo en la salida.

En la figura 8.1 se presenta el símbolo para el amplificador operacional, y en la figura 8.2 se muestra su circuito equivalente. El modelo contiene una fuente de tensión dependiente, cuya tensión depende de la tensión de entrada. La impedancia de salida se representa en la figura con una resistencia de valor R_o. El amplificador está excitado por dos tensiones de entrada, v_+ y v_-. Las dos terminales de entrada se conocen como entradas *no inversora* e *inversora* respectivamente. De manera ideal, la salida del amplificador depende no de las magnitudes de las dos tensiones de entrada, sino de la diferencia entre ellas. Se designa una nueva tensión de entrada como la diferencia,

$$v_d = v_+ - v_-$$

donde v_d es la *tensión diferencial de entrada.* En la figura 8.2, la impedancia de entrada del amplificador operacional se representa como una resistencia. La tensión de salida es proporcional a la de entrada, y la relación se designa como la ganancia de lazo abierto, G. Por tanto, la tensión de salida es

$$v_o = G(v_+ - v_-) \tag{8.1}$$

Como ejemplo, una entrada $E \operatorname{sen} \omega t$ (E suele ser una amplitud pequeña) aplicada a la entrada inversora con la terminal no inversora a tierra, produce una salida $-G(E \operatorname{sen} \omega t)$. Cuando la misma fuente de señal se aplica a la entrada no inversora, con la terminal inversora a tierra, la salida es $+G(E \operatorname{sen} \omega t)$.

El amplificador operacional ideal se caracteriza como sigue:

1. Resistencia de entrada, $R_{en} \rightarrow \infty$
2. Resistencia de salida, $R_o = 0$
3. Ganancia de tensión de lazo abierto, $G \rightarrow \infty$
4. Ancho de banda $\rightarrow \infty$
5. $v_o = 0$ cuando $v_+ = v_-$ (es decir, la ganancia en modo común es cero y el CMRR se aproxima a infinito)

Se buscará qué implica el hecho de que la ganancia de lazo abierto sea infinita. Si se reescribe la ecuación (8.1) como

$$v_+ - v_- = \frac{v_o}{G}$$

y se hace que G se aproxime a infinito, se ve que

$$v_+ - v_- = 0$$

Por tanto, *la tensión entre las dos terminales es cero,* o

$$v_+ = v_-$$

Como la resistencia de entrada, R_{en}, es infinita, *la corriente en cada entrada, inversora y no inversora, es cero.*

Los amplificadores operacionales prácticos tienen ganancia de tensión alta (por lo general 10^5 en baja frecuencia), pero esta ganancia varía con la frecuencia. Por esta razón, no se utiliza un amplificador operacional en la forma mostrada en la figura 8.1. Esta configuración se conoce como de *lazo abierto* porque no existe retroalimentación de la salida a la entrada. Se verá más adelante que la configuración en lazo abierto es útil para aplicaciones de *comparador.* La configuración más común para aplicaciones lineales es el circuito de *lazo cerrado* con *retroalimentación.*

Los elementos externos se utilizan para retroalimentar una porción de la señal de salida a la entrada. Si los elementos de retroalimentación se colocan entre la salida y la entrada inversora, disminuye la *ganancia de lazo cerrado,* o *relación de transferencia,* ya que una parte de la salida se resta de la entrada. La retroalimentación no sólo disminuye la ganancia total, sino que hace a la ganancia menos sensible al valor de G. Con retroalimentación, la ganancia de lazo cerrado depende de los elementos del circuito de retroalimentación y no de la ganancia básica de tensión del amplificador operacional, G. Así, la ganancia de lazo cerrado es independiente del valor de G, y sólo depende del valor de los elementos del circuito externo.

En la figura 8.3 se ilustra un circuito simple con amplificador operacional y retroalimentación negativa. Este circuito se analiza más adelante. Por ahora, nótese que se utiliza un solo resistor, R_F, para conectar la tensión de salida, v_o, a la entrada inversora, v_-. Otro resistor se conecta de la entrada inversora, v_-, a la tensión de entrada.

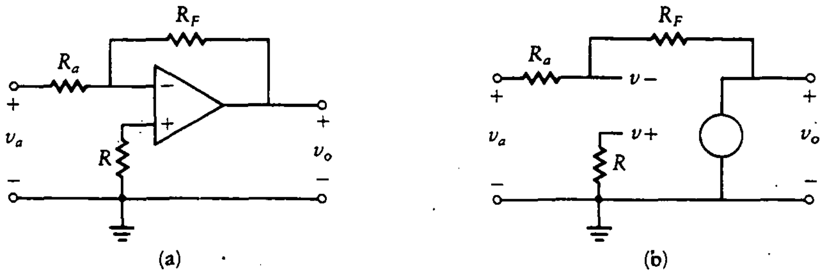


Figura 8.3 Circuito equivalente para el amplificador operacional.

Los circuitos que utilizan amplificadores operacionales, resistores y capacitores se pueden configurar para realizar muchas operaciones útiles, como sumar, restar, integrar, filtrar, comparar y amplificar.

8.1.1 Método de análisis

Se utilizan dos propiedades importantes del amplificador operacional ideal:

1. La tensión entre v_+ y v_- es cero, o $v_+ = v_-$.
2. La corriente tanto en v_+ como en v_- es cero.

El método desarrollado paso a paso para analizar cualquier circuito con amplificadores operacionales ideales es como sigue:

1. Se escribe la ecuación de nodos de Kirchhoff en la terminal no inversora, v_+.
2. Se escribe la ecuación de nodos de Kirchhoff en la terminal inversora, v_-.
3. Se hace $v_+ = v_-$ y se resuelven las ganancias de lazo cerrado que se desean.

Al realizar los primeros dos pasos recuérdese que las corrientes tanto en la terminal v_+ como en v_- son cero.

8.2 EL AMPLIFICADOR INVERSOR

En la figura 8.3(a) se ilustra un amplificador inversor con retroalimentación, mientras que en la figura 8.3(b) se muestra la forma del circuito equivalente para este circuito amplificador inversor. Se desea despejar la tensión de salida, v_o, en términos de la tensión de entrada, v_a. Se seguirá el procedimiento paso a paso de la sección 8.1.1.

1. La ecuación de nodos de Kirchhoff en v_+ da

$$v_+ = 0$$

2. La ecuación de nodos de Kirchhoff en v_- da

$$\frac{v_a - v_-}{R_a} + \frac{v_o - v_-}{R_F} = 0$$

3. Haciendo $v_+ = v_-$, se obtiene

$$v_+ = v_- = 0$$

Ahora se despeja la ganancia de lazo cerrado como

$$\frac{v_o}{v_a} = \frac{-R_F}{R_a}$$

Nótese que la ganancia de lazo cerrado, v_o/v_a, depende de la relación de los dos resistores, R_F/Ra, y es independiente de la ganancia de lazo abierto, G. Este resultado deseable se debe a la utilización de retroalimentación de una porción de la tensión de salida que se resta de la tensión de entrada. La retroalimentación de la salida a la entrada a través de R_F sirve para llevar la tensión diferencial, $v_i = v_+ - v_-$, a cero. Como la tensión de entrada no inversora, v_+, es cero, la retroalimentación tiene el efecto de llevar v_- a cero. Por tanto, en la entrada del amplificador operacional,

$$v_+ = v_- = 0$$

y existe una *tierra virtual* en v_-. El término *virtual* significa que la tensión, v_-, es cero (potencial de tierra), pero no fluye ninguna corriente real en este cortocircuito, ya que no puede fluir ninguna corriente en las terminales inversora o no inversora.

Sin importar cuán complejo pueda ser el circuito con un amplificador operacional ideal, siguiendo este procedimiento el ingeniero puede empezar a analizar (y diseñar) muy pronto sistemas con amplificadores operacionales.

Se expande ahora este resultado al caso de entradas múltiples. El amplificador mostrado en la figura 8.4(a) produce una salida que es una suma negativa de varias tensiones de entrada. La ecuación de nodos en v_+ da $v_+ = 0$. La ecuación de nodos en la entrada inversora está dada por

$$\frac{v_- - v_o}{R_F} + \frac{v_- - v_a}{R_a} + \frac{v_- - v_b}{R_b} + \frac{v_- - v_c}{R_c} = 0$$

Como $v_+ = v_-$, entonces $v_+ = 0 = v_-$, y se despeja v_o en términos de las entradas como sigue:

$$\begin{aligned} v_o &= -R_F\left(\frac{v_a}{R_a} + \frac{v_b}{R_b} + \frac{v_c}{R_c}\right) \\ &= -R_F\sum_{j=a}^{c}\left(\frac{v_j}{R_j}\right) \end{aligned} \tag{8.2}$$

La extensión a n entradas es obvia.

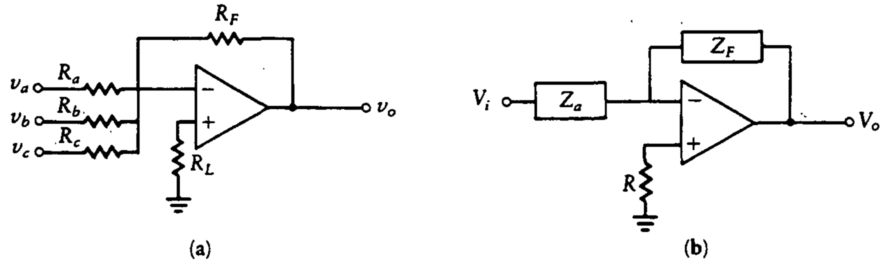


Figura 8.4
Circuito con amplificador operacional.

La relación expresada por la ecuación (8.2) se extiende fácilmente para incluir componentes no resistivos si R_j se reemplaza por Z_j y R_F por Z_F. Para una sola entrada, como se muestra en la figura 8.4(b), la salida se reduce a:

$$V_o = \frac{-Z_F V_i}{Z_A} \tag{8.3}$$

Como se está trabajando en el dominio ω, se utilizan letras mayúsculas para las tensiones y corrientes, que representan *amplitudes complejas.*

Un circuito útil basado en la ecuación (8.3) es el *integrador de Miller.* En esta aplicación, el componente de retroalimentación es un capacitor, C, y el componente de entrada es un resistor, R, de modo que

$$Z_F = \frac{1}{j\omega C}$$

y

$$Z_A = R$$

Cuando se sustituyen estas impedancias en la ecuación (8.3), se obtiene

$$\frac{V_o}{V_i} = \frac{-1}{j\omega RC}$$

que tiene la forma de una integral en el dominio del tiempo:

$$v_o(t) = \left(\frac{-1}{RC}\right) \int_o^t v_i(\tau)d\tau$$

Este es un *integrador inversor* porque la expresión contiene un signo negativo.

Si el elemento de retroalimentación es un resistor y el elemento de entrada es un capacitor, la relación entre entrada y salida se vuelve

$$\frac{V_o}{V_i} = -j\omega RC$$

y en el dominio del tiempo esto se convierte en

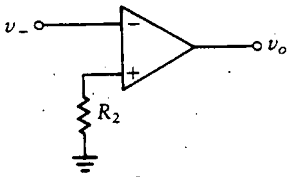
$$v_o(t) = -RC\frac{dv_i}{dt}$$

El circuito opera como un *derivador inversor.*

Ejercicios

Utilizando el procedimiento paso a paso de la sección 8.1.1, determínese v_o en términos de las tensiones de entrada para los siguientes circuitos. (Las respuestas se muestran en las figuras.)

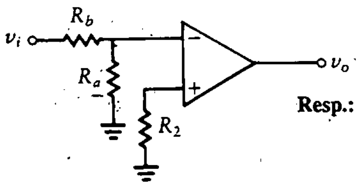
D8.1 Inversor simple de lazo abierto



Resp.: $v_o = -Gv_-$

Figura D8.1

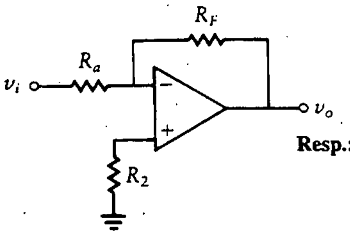
D8.2 Divisor de tensión de lazo abierto



Resp.: $v_o = -\frac{GR_a}{R_a + R_b}v_i$

Figura D8.2

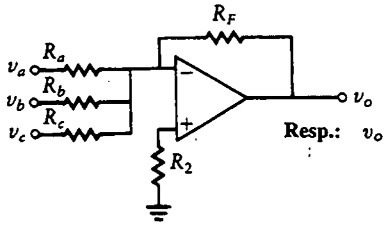
D8.3 Inversor



Resp.: $v_o = -\frac{R_F}{R_a}v_i$

Figura D8.3

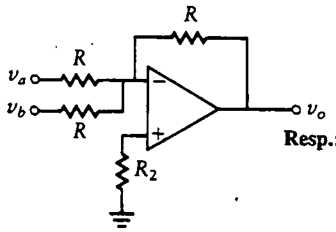
D8.4 Inversor sumador



Resp.: $v_o = -\left(\frac{R_F}{R_a}v_a + \frac{R_F}{R_b}v_b + \frac{R_F}{R_c}v_c\right)$

Figura D8.4

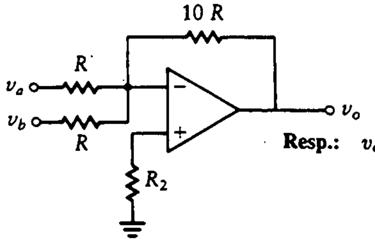
D8.5 Inversor sumador de ganancia igual



Resp.: $v_o = -v_a - v_b$

Figura D8.5

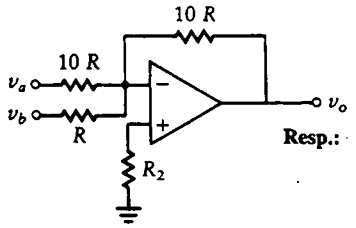
D8.6 Sumador inversor doble con ganancia



Resp.: $v_o = -10(v_a + v_b)$

Figura D8.6

D8.7 Sumador inversor doble ponderado



Resp.: $v_o = -(v_a + 10v_b)$

Figura D8.7

8.3 EL AMPLIFICADOR NO INVERSOR

El amplificador operacional se puede configurar para que produzca ya sea una salida invertida o no invertida. En la sección anterior se analizó el amplificador inversor, y en esta sección se repite el análisis para el amplificador no inversor, que se muestra en la figura 8.5. Para analizar este circuito, se sigue de nuevo el procedimiento de la sección 8.1.1:

1. Escribir una ecuación de nodo en v_+ para obtener

$$v_+ = v_i$$

2. Escribir una ecuación de nodo en v_- para obtener

$$\frac{v_- - 0}{R_a} + \frac{v_- - v_o}{R_F} = 0$$

3. Hacer $v_+ = v_-$, y sustituir por v_-, ya que

$$v_+ = v_i = v_-$$

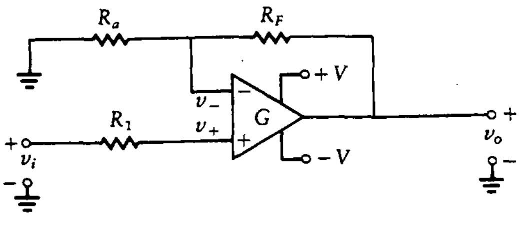
Entonces

$$\frac{v_i}{R_a} + \frac{v_i - v_o}{R_F} = 0$$

Despejando la ganancia, se obtiene

$$\frac{v_o}{v_i} = 1 + \frac{R_F}{R_a} \tag{8.4}$$

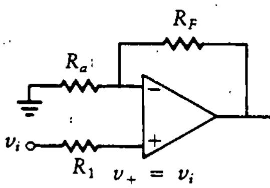
Figura 8.5 Amplificador no inversor.



Ejercicios

Utilizando las aproximaciones del amplificador operacional ideal, determínese v_o en términos de las tensiones de entrada para los seis circuitos siguientes. (La respuesta se muestra en las figuras.)

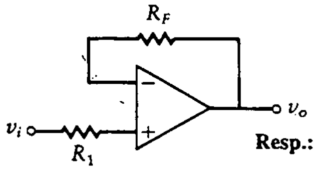
D8.8 Amplificador no inversor



Resp.: $v_o = (1 + \frac{R_F}{R_a}) v_i$

Figura D8.8

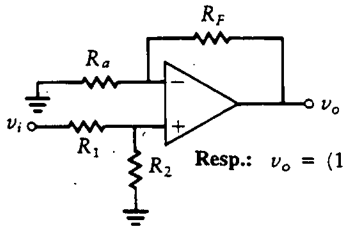
D8.9 Seguidor de tensión



Resp.: $v_o = v_i$

Figura D8.9

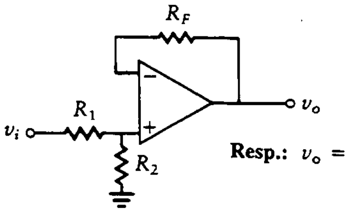
D8.10 Entrada no inversora con divisor de tensión



Resp.: $v_o = (1 + \frac{R_F}{R_a})(\frac{R_2}{R_1 + R_2}) v_i$

Figura D8.10

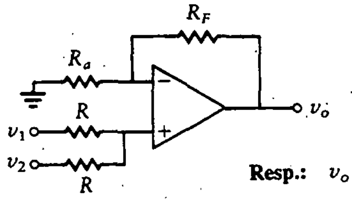
D8.11 Ganancia menor que uno



Resp.: $v_o = \frac{R_2}{R_1 + R_2} v_i$

Figura D8.11

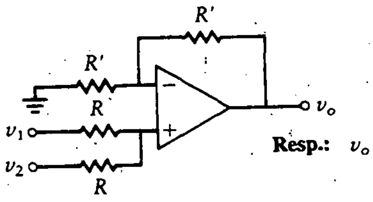
D8.12 Sumador no inversor con ganancia



Resp.: $v_o = (1 + \frac{R_F}{R_a})(\frac{1}{2}v_1 + \frac{1}{2}v_2)$

Figura D8.12

D8.13 Sumador de ganancia unitaria



Resp.: $v_o = v_1 + v_2$

Figura D8.13

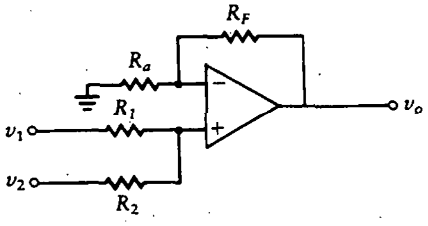
Ahora se analizan amplificadores operacionales con entradas múltiples. En la figura 8.6 se ilustra un circuito con dos tensiones de entrada. Estas dos entradas se aplican a la entrada no inversora del amplificador operacional. El análisis de este circuito sigue el procedimiento de la sección 8.1.1. Con el fin de encontrar v_+, se aplica LCK a la terminal de entrada no inversora para obtener (recuérdese que la corriente de entrada al amplificador operacional es cero)

$$\frac{v_1 - v_+}{R_1} + \frac{v_2 - v_+}{R_2} = 0$$

Despejando v_+, se obtiene

$$v_+ = (R_1 \parallel R_2)\left(\frac{v_1}{R_1} + \frac{v_2}{R_2}\right)$$

Figura 8.6
Dos entradas no inversoras.



La tensión en la entrada inversora, v_-, se encuentra de la ecuación de nodo en v_- con el resultado

$$v_- = \frac{R_a v_o}{R_a + R_F}$$

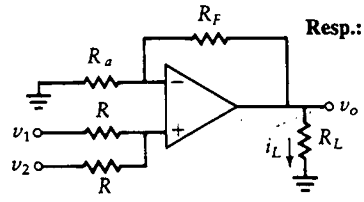
Haciendo v_+ igual a v_-, se obtiene

$$v_o = (R_1 \parallel R_2)\left(\frac{v_1}{R_1} + \frac{v_2}{R_2}\right)\frac{R_a + R_F}{R_a} \tag{8.5}$$

Ejercicios

Determínese v_o en términos de las tensiones de entrada para los siguientes circuitos. (Las respuestas se muestran en las figuras.)

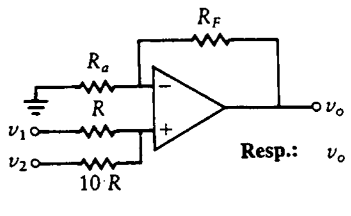
D8.14 Suma de dos entradas



Resp.: $v_o = (1 + \frac{R_F}{R_a})(\frac{1}{2})(v_1 + v_2)$; $i_L = \frac{v_o}{R_L}$

Figura D8.14

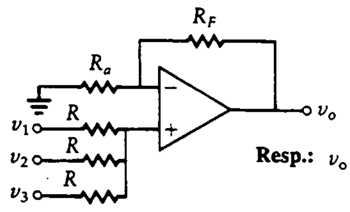
D8.15 Suma ponderada de dos entradas



Resp.: $v_o = (1 + \frac{R_F}{R_a})(\frac{1}{11})(10v_1 + v_2)$

Figura D8.15

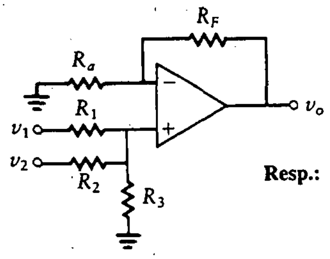
D8.16 Suma de tres entradas



Resp.: $v_o = (1 + \frac{R_F}{R_a})(\frac{1}{3})(v_1 + v_2 + v_3)$

Figura D8.16

D8.17 Suma ponderada de dos entradas con divisor de tensión



Resp.: $v_o = (1 + \frac{R_F}{R_a})(R_1 \parallel R_2 \parallel R_3)(\frac{v_1}{R_1} + \frac{v_2}{R_2})$

Figura D8.17

8.4 RESISTENCIA DE ENTRADA DE UN CIRCUITO AMPLIFICADOR OPERACIONAL CON RETROALIMENTACIÓN

La resistencia de entrada del amplificador operacional ideal es infinita. La resistencia de entrada a un circuito compuesto de un amplificador operacional ideal con componentes externos ya no es infinita. Se ha encontrado la resistencia de entrada al amplificador operacional con retroalimentación. El circuito equivalente para el amplificador operacional no inversor se muestra en la figura 8.7(a). En la figura 8.7(b) se ilustra el mismo circuito rearreglado para simplificar el análisis. Se añade una fuente de tensión a la entrada con el fin de calcular la resistencia equivalente. Como el circuito contiene una fuente dependiente, se encuentra la resistencia suponiendo una tensión y tomando la razón de la tensión a la corriente resultante. La ecuación de lazo está dada por

$$R_F i = v - Gv_d.$$

pero como

$$v_d = -v$$

entonces

$$R_F i = (1 + G)v$$

y

$$R_{\text{en}} = \frac{v}{i} = \frac{R_F}{1+G} = 0. \tag{8.6}$$

La resistencia de entrada es cero ya que la ganancia, G, se aproxima a infinito.

Si se supone que G es grande pero finita, la resistencia de entrada es pequeña y proporcional a R_F. Nótese que la tensión de entrada suele aplicarse a través

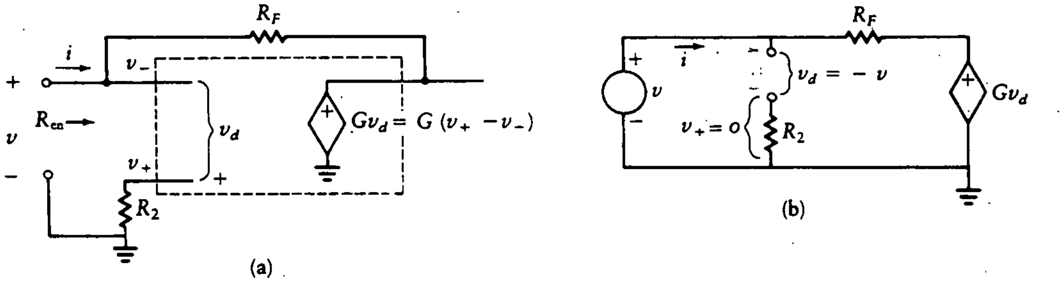
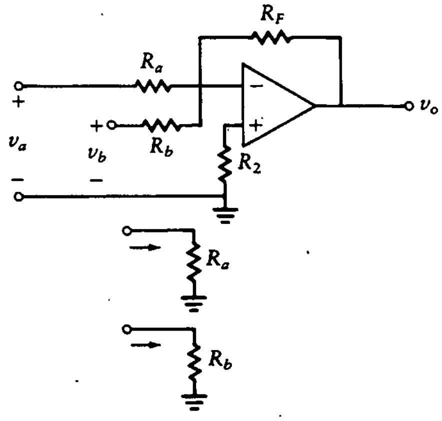


Figura 8.7 Resistencia de entrada para un amplificador retroalimentado.

Figura 8.8
Resistencia de entrada con suma en las entradas.



de un resistor en serie, que es externo al circuito de la figura 8.7(a). Por tanto, la resistencia de entrada vista por la fuente es igual al valor de esta resistencia externa.

En la figura 8.8 se muestra un amplificador inversor con dos entradas, cada una de las cuales se aplica a través de una resistencia de entrada correspondiente. Este es un caso especial del circuito de la figura 8.4. Como la tensión en la entrada inversora del amplificador operacional es cero (tierra virtual), la resistencia de entrada vista por v_a es R_a y la que ve v_b es R_b. La entrada inversora a tierra también sirve para aislar las dos entradas entre sí. Esto es, una variación en v_a no afecta la entrada v_b, y viceversa. Se emplea en este caso el término *tierra virtual*, ya que la terminal v_- está virtualmente aterrizada para señales de ca.

8.5 ENTRADAS COMBINADAS INVERTIDA Y NO INVERTIDA

El caso más general de configuración de entrada es una combinación de las dos secciones anteriores. Esto es, se permiten entradas tanto en la terminal inversora como en la no inversora. La configuración general se muestra en la figura 8.9.

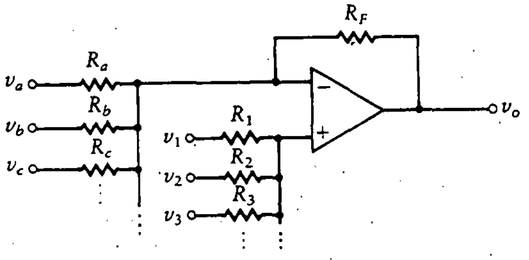


Figura 8.9
Entradas inversora y no inversora.

Los circuitos anteriores se pueden considerar casos especiales de este problema general. La relación para la salida se encuentra aplicando superposición como se muestra adelante. (La siguiente expresión se deriva combinando la ecuación (8.2) con la (8.5). El estudiante no debe aceptar el resultado como tal sino realizar la derivación.)

$$v_o = \left[1 + \frac{R_F}{R_a \parallel R_b \parallel R_c \parallel \ldots}\right](R_1 \parallel R_2 \parallel R_3 \parallel \ldots)$$

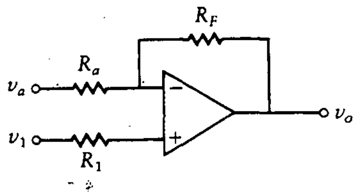
$$\times \left[\frac{v_1}{R_1} + \frac{v_2}{R_2} + \frac{v_3}{R_3} + \cdots\right] - \left[\frac{R_F}{R_a}v_a + \frac{R_F}{R_b}v_b + \frac{R_F}{R_c} + \cdots\right] \quad (8.7)$$

La ecuación 8.7 representa un resultado general que es muy útil al analizar una gran variedad de circuitos.

Ejercicios

Determínese v_o en términos de todas las tensiones de entrada para las siguientes configuraciones. Las respuestas se muestran en las figuras.

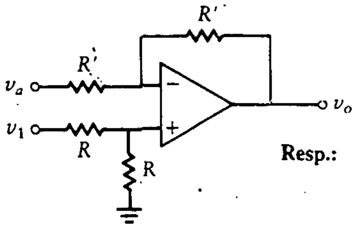
D8.18 Configuración con ganancia positiva y negativa



Resp.: $v_o = (1 + \frac{R_F}{R_a})v_1 - \frac{R_F}{R_a}v_a$

Figura D8.18

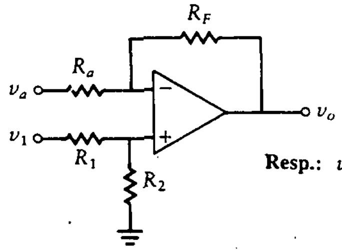
D8.19 Amplificador de diferencia



Resp.: $v_o = v_1 - v_a$

Figura D8.19

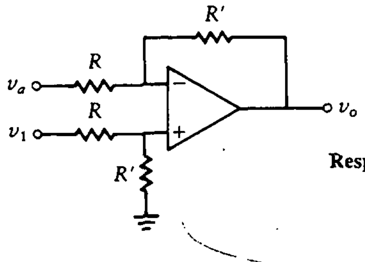
D8.20 Amplificador de diferencia ponderada



Resp.: $v_o = (1 + \frac{R_F}{R_a})(\frac{R_2}{R_1 + R_2})v_1 - \frac{R_F}{R_a}v_a$

Figura D8.20

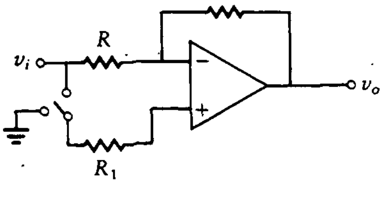
D8.21 Amplificador de diferencia con ganancia



Resp.: $v_o = \frac{R'}{R}(v_1 - v_a)$

Figura D8.21

D8.22 Conmutador de signo



Resp.: Si R_1 se conecta a tierra, $v_o = -v_i$. Con R_1 conectado a v_i, $v_o = (1 + 1)v_i - v_i = v_i$.

Figura D8.22

8.6 DISEÑO DE CIRCUITOS CON AMPLIFICADOR OPERACIONAL

Dada la configuración de un sistema con amplificador operacional, se *analiza* el sistema para determinar la salida en términos de las entradas utilizando el procedimiento de la sección 8.1.1.

Si se desea *diseñar* un circuito que combine las entradas inversora y no inversora, el problema es más complejo. En esta sección se presenta una técnica de diseño práctica.* Esta técnica permite diseñar un circuito sumador con amplificador operacional sin la solución tediosa de ecuaciones simultáneas.

En un problema de diseño, se da la ecuación lineal deseada, y se debe diseñar el circuito con amplificador operacional. La salida deseada del sumador con amplificador operacional se puede expresar como una combinación lineal de las entradas,

$$v_o = X_1 v_1 + \cdots + X_n v_n - Y_a v_a + \cdots - Y_m v_m \tag{8.8}$$

donde $X_1, X_2, \ldots, X_n$ son las ganancias deseadas en las entradas no inversoras e $Y_a, Y_b, \ldots, Y_m$ son las ganancias deseadas en las entradas inversoras.

La ecuación (8.8) se realiza fácilmente con el circuito de la figura 8.10. En la ecuación (8.8) se muestra que los valores de los resistores $R_a, R_b, \ldots, R_m$ y $R_1, R_2, \ldots, R_n$ son inversamente proporcionales a las ganancias deseadas, asociadas con las tensiones de entrada. En otras palabras, si se desea una ganancia elevada en una entrada particular, entonces la resistencia en esa terminal debe ser pequeña.

Cuando la ganancia de lazo abierto del amplificador operacional, G, es grande, la tensión de salida se puede escribir en términos de los resistores conectados al amplificador operacional (véase Ec. (8.7)).

$$\begin{aligned} v_o = &\left[1 + \frac{R_F}{R_A}\right](R_1 \parallel R_2 \parallel \cdots \parallel R_n \parallel R_x)\left[\frac{v_1}{R_1} + \frac{v_2}{R_2} + \cdots + \frac{v_n}{R_n}\right] \\ &- R_F\left[\frac{v_a}{R_a} + \frac{v_b}{R_b} + \cdots + \frac{v_m}{R_m}\right] \end{aligned} \tag{8.9}$$

donde

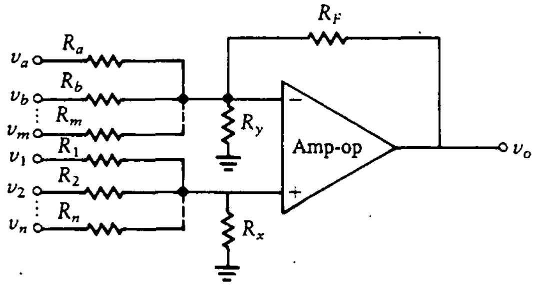
$$R_A = R_a \parallel R_b \parallel \cdots \parallel R_m \parallel R_y \tag{8.10}$$

se define

$$R_{eq} = \left(1 + \frac{R_F}{R_A}\right)(R_1 \parallel R_2 \parallel \cdots \parallel R_n \parallel R_x) \tag{8.11}$$

*Esta técnica fue diseñada por Phil Vrbancic, un estudiante de California State University, Long Beach, y se presentó en un artículo remitido a la *Región VI 1982 Prize Paper Contest* de la *IEEE*.

Figura 8.10
Sumador con entradas múltiples.



Se ve que la tensión de salida es una combinación lineal de las entradas, en la que cada entrada se divide por su resistencia asociada y se multiplica por otra resistencia. La resistencia de multiplicación es R_F para las entradas inversoras y R_{eq} para las no inversoras.

La resistencia de Thévenin que se ve en la entrada inversora por lo general se hace igual a la que se ve en la entrada no inversora. En la sección 9.1 se encuentra que esta restricción minimiza el *desvío en la corriente de polarización en cd.* Para la configuración mostrada en la figura 8.10, esta restricción se puede expresar como sigue:

$$R_1 \parallel R_2 \parallel \cdots \parallel R_n \parallel R_x = R_a \parallel R_b \parallel \cdots \parallel R_m \parallel R_y \parallel R_F \tag{8.12}$$

Sustituyendo las ecuaciones (8.10) y (8.11) en la ecuación (8.12), se tiene

$$\frac{R_{eq}}{1 + R_F/R_A} = R_A/R_F \tag{8.13}$$

de la cual se obtiene

$$R_{eq} = R_F \tag{8.14}$$

Comparando los términos equivalentes en las ecuaciones (8.8) y (8.9), se obtienen las ganancias inversora y no inversora como sigue:

$$X_i = \frac{R_{eq}}{R_i} = \frac{R_F}{R_i} \tag{8.15}$$

y

$$Y_i = \frac{R_F}{R_j} \tag{8.16}$$

La relación de desvío de la polarización, ecuación (8.12), se puede reescribir como sigue:

$$\frac{1}{1/R_x + \sum_{i=1}^{n} 1/R_i} = \frac{1}{1/R_F + 1/R_y + \sum_{j=a}^{m} 1/R_j} \tag{8.17}$$

o

$$\frac{1}{R_x} + \sum_{i=1}^{n} \frac{1}{R_i} = \frac{1}{R_F} + \frac{1}{R_y} + \sum_{j=a}^{m} \frac{1}{R_j} \tag{8.18}$$

Sustituyendo las ecuaciones (8.15) y (8.16) en la ecuación (8.18), se obtiene

$$\frac{1}{R_x} + \sum_{i=1}^{n} \frac{X_i}{R_F} = \frac{1}{R_F} + \frac{1}{R_y} + \sum_{i=a}^{m} \frac{Y_j}{R_F}$$

$$\frac{1}{R_x} + \frac{1}{R_F} \sum_{i=1}^{n} X_i = \frac{1}{R_F} + \frac{1}{R_y} + \frac{1}{R_F} \sum_{j=a}^{m} Y_j \tag{8.19}$$

Recuérdese que el objetivo es despejar R_S en términos de X_i e Y_j. Defínanse

$$X = \sum_{i=1}^{n} X_i \tag{8.20}$$

y

$$Y = \sum_{j=a}^{m} Y_j$$

La ecuación (8.19) se puede reescribir como sigue:

$$\frac{1}{R_x} + \frac{1}{R_F} X = \frac{1}{R_F} + \frac{1}{R_y} + \frac{1}{R_F} Y \tag{8.21}$$

Este es un punto de inicio para el procedimiento de diseño paso a paso. Recuérdese que R_x y R_y son los resistores entre tierra y las entradas no inversora e inversora, respectivamente. El resistor de retroalimentación se denota con R_F.

Se puede eliminar cualquiera de los resistores R_x y R_y o ambos del circuito de la figura 8.10. Esto es, cualquiera o ambos resistores se pueden hacer igual a infinito (es decir, un circuito abierto). Esto conduce a tres posibilidades de diseño que se denotan como caso I, caso II y caso III. Dependiendo de los factores de multiplicación deseados que relacionan la salida con la entrada, uno de estos casos proporciona el diseño apropiado. Los resultados siguientes se resumen en la tabla 8.1.

Caso I Si $R_x \rightarrow \infty$, la ecuación (8.21) se vuelve

$$\frac{X}{R_F} = \frac{1}{R_F} + \frac{1}{R_y} + \frac{Y}{R_F} \tag{8.22}$$

Cuando se elige una R_F, la única incógnita de esta ecuación es R_y. Al resolverla se obtiene

$$\begin{aligned} \frac{1}{R_y} &= \frac{X}{R_F} - \frac{Y}{R_F} - \frac{1}{R_F} \\ &= \frac{X - Y - 1}{R_F} \end{aligned} \tag{8.23}$$

Defínase

$$Z = X - Y - 1$$

Entonces la ecuación (8.23) se convierte en

$$\frac{1}{R_y} = \frac{Z}{R_F}$$

Z debe ser positiva para que R_y sea físicamente realizable. Si Z es negativa, el caso I no se aplica.

Las ecuaciones (8.15) y (8.16) proporcionan el valor de las resistencias

$$R_i = \frac{R_F}{X_i}; \qquad R_j = \frac{R_F}{X_j} \tag{8.24}$$

Caso II Cuando $R_y \rightarrow \infty$, la ecuación (8.21) se vuelve

$$\frac{1}{R_x} + \frac{X}{R_F} = \frac{1}{R_F} + \frac{Y}{R_F} \tag{8.25}$$

y

$$\frac{1}{R_x} = \frac{-(X - Y - 1)}{R_F} = \frac{-Z}{R_F} \tag{8.26}$$

Por tanto, Z debe ser negativa.

Tabla 8.1 Resumen del diseño del amplificador sumador.

Z	R_y	R_x	R_i	R_j
>0	$\frac{R_F}{Z}$	∞		
<0	∞	$\frac{R_F}{-Z}$	$\frac{R_F}{X_i}$	$\frac{R_F}{Y_i}$
0	∞	∞		

Caso III Cuando $R_x \to \infty$ y $R_y \to \infty$, la ecuación (8.21) se convierte en

$$\frac{X}{R_F} = \frac{1}{R_F} + \frac{Y}{R_F} \tag{8.27}$$

y

$$0 = \frac{X - Y - 1}{R_F} = \frac{Z}{R_F} \tag{8.28}$$

Por tanto, $Z = 0$.

Los resultados de estos tres casos se combinan en la tabla 8.1. Nótese que $Z = X - Y - 1$, donde

$$X = \sum_{i=1}^{n} X_i$$

$$Y = \sum_{j=a}^{m} Y_j$$

Ejemplo 8.1 Sumador con amplificador operacional (diseño)

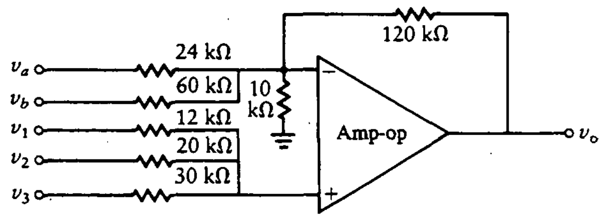
Diséñese un sumador con amplificador operacional para obtener la siguiente relación entrada/salida:

$$v_o = 10v_1 + 6v_2 + 4v_3 - 5v_a - 2v_b$$

SOLUCIÓN Los valores de X, Y y Z se calculan como sigue:

$$X = \sum_{i=1}^{3} X_i = 10 + 6 + 4 = 20$$

Figura 8.11
Amplificador para el ejemplo 8.1.



$$Y = \sum_{j=a}^{b} Y_j = 5 + 2 = 7$$

$$Z = X - Y - 1 = 20 - 7 - 1 = 12$$

En este ejemplo, Z es mayor que cero, por lo que se trata del caso I, donde R_x es un circuito abierto. En primer lugar, se debe elegir un valor adecuado para R_F. Una vez determinada R_F, los demás resistores se determinan de manera sencilla. Supóngase que se desea que la resistencia mínima, $R_{mín}$, sea de 10 kΩ en cualquiera de las entradas. Entonces el factor de multiplicación, K, sería el mayor de X_i, Y_j o Z. Por tanto, $K = 12$ y $R_F = 10\ \text{k}\Omega \times 12 = 120\ \text{k}\Omega$. No se desea elegir un valor muy pequeño, o el circuito cargará al circuito anterior. Tampoco se desea utilizar un valor muy grande para R_F, ya que esto aumenta el ruido generado en ese resistor. Como referencia, todos los resistores utilizados en el circuito con amplificador operacional deben estar entre 1 kΩ y 1 MΩ. Una vez determinada R_F, los resistores se encuentran de la ecuación (8.24) como sigue:

$$R_1 = \frac{R_F}{X_1} = \frac{120\ \text{k}\Omega}{10} = 12\ \text{k}\Omega$$

$$R_2 = \frac{R_F}{X_2} = \frac{120\ \text{k}\Omega}{6} = 20\ \text{k}\Omega$$

$$R_3 = \frac{R_F}{X_3} = \frac{120\ \text{k}\Omega}{4} = 30\ \text{k}\Omega$$

$$R_a = \frac{R_F}{Y_a} = \frac{120\ \text{k}\Omega}{5} = 24\ \text{k}\Omega$$

$$R_b = \frac{R_F}{Y_b} = \frac{120\ \text{k}\Omega}{2} = 60\ \text{k}\Omega$$

$$R_y = \frac{R_F}{Z} = \frac{120\ \text{k}\Omega}{12} = 10\ \text{k}\Omega$$

El amplificador resultante se muestra en la figura 8.11.

Ejemplo 8.2 Sumador con amplificador operacional (diseño)

Diséñese un circuito con amplificador operacional para realizar la siguiente ecuación:

$$v_o = 4v_1 + v_2 - 8v_a - 6v_b$$

SOLUCIÓN En primer lugar se calculan los valores de X, Y y Z.

$$X = 4 + 1 = 5$$
$$Y = 8 + 6 = 14$$
$$Z = 5 - 14 - 1 = -10$$

Como Z es menor que cero, R_y es un circuito abierto y se trata de un ejemplo del caso II. Supóngase que en este caso, se desea que la resistencia equivalente en las terminales + y − sea 10 kΩ. Entonces el factor de multiplicación debe ser el mayor de X o $Y + 1$. Esto hace que $K = 15$ y $R_F = 15 \times 10k = 150$ kΩ.

$$R_x = \frac{R_F}{Z} = \frac{150\ \text{k}\Omega}{10} = 15\ \text{k}\Omega$$

$$R_a = \frac{R_F}{Y_a} = \frac{150\ \text{k}\Omega}{8} = 18.75\ \text{k}\Omega$$

$$R_b = \frac{R_F}{Y_b} = \frac{150\ \text{k}\Omega}{6} = 25\ \text{k}\Omega$$

$$R_1 = \frac{R_F}{X_1} = \frac{150\ \text{k}\Omega}{4} = 37.5\ \text{k}\Omega$$

$$R_2 = \frac{R_F}{X_2} = \frac{150\ \text{k}\Omega}{1} = 150\ \text{k}\Omega$$

El circuito completo se muestra en la figura 8.12. Nótese que en cada terminal de entrada, la resistencia equivalente es 10 kΩ o se calcula como sigue:

$$37.5\ \text{k}\Omega \parallel 150\ \text{k}\Omega \parallel 15\ \text{k}\Omega = 25\ \text{k}\Omega \parallel 18.75\ \text{k}\Omega \parallel 150\ \text{k}\Omega = 10\ \text{k}\Omega$$

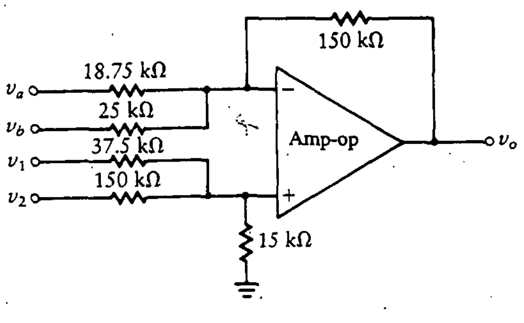


Figura 8.12 Amplificador para el ejemplo 8.2.

Recuérdese que la derivación, fuerza a que las terminales de entrada sean iguales para minimizar el desvío de la corriente de polarización en cd. Nótese también que si el valor de los resistores resultantes no satisface, éstos se pueden multiplicar por la misma constante sin cambiar la relación entre tensiones.

8.7 OTRAS APLICACIONES DEL AMPLIFICADOR OPERACIONAL

Se vio que el amplificador operacional se puede utilizar como amplificador, derivador o integrador, y combinar varias entradas en forma lineal. En esta sección, se investigan algunas aplicaciones adicionales importantes de este CI tan versátil.

8.7.1 Circuito de independencia negativa

El circuito mostrado en la figura 8.13 provoca una resistencia de entrada negativa (impedancia en el caso más general), que se puede utilizar para cancelar una resistencia positiva no deseada y por tanto producir un oscilador. La resistencia de entrada, R_{en}, se define como

$$R_{en} = \frac{v}{i}$$

Las entradas al amplificador operacional están dadas por

$$v_+ = v_- = v$$

Como antes, se utiliza una relación de división de tensión para derivar la siguiente expresión:

$$v_- = v = \frac{R_A v_o}{R_A + R_F}$$

Despejando v_o en términos de v, se encuentra

$$v_o = v\left(1 + \frac{R_F}{R_A}\right)$$

Como la impedancia de entrada a la terminal v_+ es infinita, la corriente en R es igual a i y se puede encontrar como sigue:

$$i = \frac{v - v_o}{R} = \frac{v - v(1 + R_F/R_A)}{R} = \frac{-R_F v}{R_A R}$$

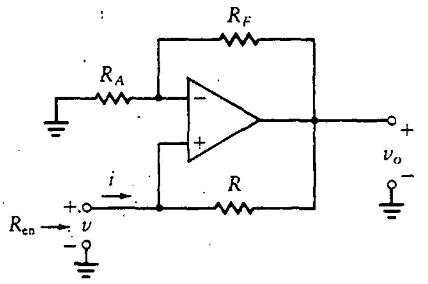


Figura 8.13
Circuito de impedancia negativa.

La resistencia de entrada, R_{en}, está dada por

$$R_{in} = \frac{v}{i} = \frac{-R_A R}{R_F} \tag{8.29}$$

En la ecuación (8.29) se muestra que el circuito de la figura 8.13 presenta una resistencia negativa. Si R se reemplaza por una impedancia, Z, el circuito desarrolla una impedancia negativa.

8.7.2 Generador de corriente dependiente

Con una pequeña modificación al circuito de impedancia negativa, se puede diseñar un generador de corriente dependiente que produzca una corriente en la carga proporcional a una tensión aplicada, v_i, y que sea independiente de la resistencia de carga. El circuito se muestra en la figura 8.14(a). Supóngase que se hace $R_1 = R_2$. Entonces la ecuación (8.29) indicará que la resistencia de entrada al circuito (encerrado por el marco punteado) con amplificador operacional es $-R$. A continuación el circuito de entrada se puede simplificar como se muestra en la figura 8.14(b). Se desea calcular i_L, la corriente en R_L. Aunque la resistencia es negativa, las leyes normales de Kirchhoff aún se aplican, ya que nada en su derivación supone resistores positivos. Por tanto, la corriente de entrada, i_{en}, se encuentra combinando las resistencias en un solo resistor, R_{en}:

$$i_{en} = \frac{v_i}{R_{en}} = \frac{v_i}{R - RR_L/(R_L - R)} = \frac{v_i(R_L - R)}{R_L R - R^2 - RR_L} = \frac{v_i(R_L - R)}{-R^2}$$

Entonces se aplica la relación de división de corriente al divisor de corriente entre R_L y $-R$ para obtener

$$i_L = \frac{-i_{en}R}{R_L - R} = \frac{-v_i(R_L - R)}{R^2}\frac{-R}{R_L - R}$$

$$= \frac{v_i}{R} \tag{8.30}$$

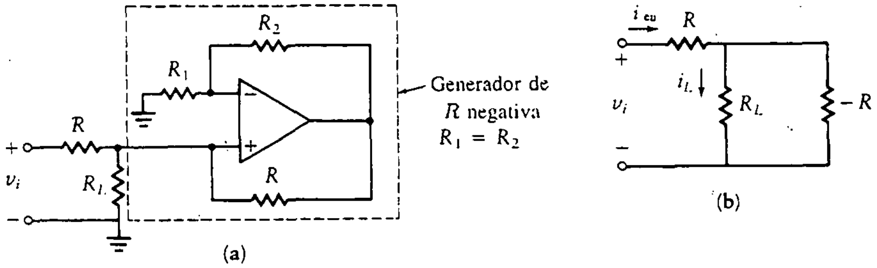


Figura 8.14
Generador de corriente dependiente.

Por tanto, el efecto de añadir el circuito con amplificador operacional es hacer que la corriente en la carga sea proporcional a la tensión de entrada. No depende del valor de la resistencia de carga, R_L. Por tanto, la corriente es independiente de cambios en la resistencia de carga. El efecto del circuito con el amplificador operacional es cancelar ésta. Como la corriente es independiente de la carga y depende sólo de la tensión de entrada, a esto se le denomina *generador de corriente* (o convertidor de tensión a corriente).

8.7.3 Integrador Miller no inversor

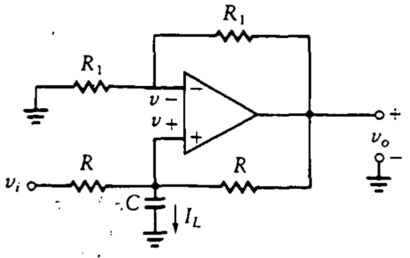
Para desarrollar un integrador no inversor, se hace una modificación al generador de corriente dependiente de la sección anterior. La configuración de este circuito se muestra en la figura 8.15. Es similar al circuito de la figura 8.14, pero la resistencia de carga se reemplaza por una capacitancia. La corriente, I_L, se encuentra de la ecuación (8.30) como

$$I_L = \frac{V_i}{R}$$

La tensión de salida, V_o, se encuentra de la división de tensión entre V_o y V_- como sigue:

$$V_- = \frac{R_1 V_o}{R_1 + R_1} = \frac{V_o}{2}$$

Figura 8.15
Integrador no inversor.



Como

$$V_+ = \frac{I_L}{j\omega C} = \frac{V_i}{j\omega RC} = V_-$$

entonces

$$\frac{V_o}{V_i} = \frac{2}{j\omega RC}$$

Por tanto, en el dominio del tiempo se obtiene

$$v_o(t) = \frac{2}{RC}\int_o^t v_i(\tau)\,d\tau$$

En consecuencia, el circuito es un integrador no inversor.

8.7.4 Convertidor de impedancia

En la figura 8.16 se presenta una extensión del circuito de resistencia negativa de la figura 8.13; en ella el circuito utiliza impedancias, Z_i, en vez de resistencias, R_i. Se desea calcular la impedancia de entrada, Z_{en}. Se considera que los dos amplificadores operacionales son ideales, de manera que en cada amplificador, $V_+ = V_-$. Debido a esto,

$$V_i = V_2 = V_4$$

La corriente a través de Z_4 y Z_5 está dada por

$$I_5 = \frac{V_4}{Z_5} = \frac{V_i}{Z_5}$$

La tensión, V_3, es

$$V_3 = V_4 + I_5 Z_4 = V_i + \frac{Z_4 V_i}{Z_5} = V_i\left(1 + \frac{Z_4}{Z_5}\right)$$

La corriente en Z_3 es

$$I_3 = \frac{V_3 - V_2}{Z_3} = \frac{V_i(1 + Z_4/Z_5) - V_i}{Z_3} = \frac{V_i Z_4}{Z_3 Z_5}$$

La tensión, V_1, está dada por

$$V_1 = V_2 - I_3 Z_2 = V_i - \frac{V_i Z_4 Z_2}{Z_3 Z_5}$$

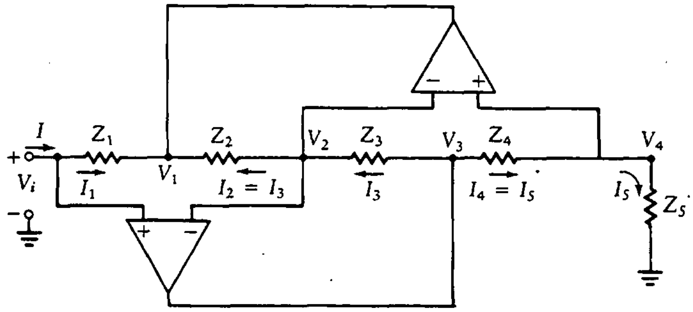


Figura 8.16 Convertidor de impedancia.

La corriente es

$$I_1 = \frac{V_i - V_1}{Z_1} = \frac{V_i Z_2 Z_4}{Z_1 Z_3 Z_5}$$

Por último, la impedancia de entrada está dada por

$$Z_{en} = \frac{V_i}{I_{en}} = \frac{V_i}{I_1} = \frac{Z_1 Z_3 Z_5}{Z_2 Z_4} \tag{8.31}$$

Este es un circuito valioso ya que, con una selección adecuada de las cinco impedancias, se puede obtener una gran variedad de funciones para Z_{en}.

Ejemplo 8.3 Inductor activo (diseño)

Diséñese un circuito inductor activo sin utilizar ningún elemento inductivo.

SOLUCIÓN Se utiliza el circuito de la figura 8.16. La ecuación (8.31) es la clave para el diseño del inductor activo. Se ve que si Z_2 o Z_4 es un capacitor y las demás impedancias son resistores, se tiene una función de impedancia total que representa un inductor. Por tanto, se hace que

$$Z_1 = R_1$$

$$Z_2 = R_2$$

$$Z_3 = R_3$$

$$Z_4 = \frac{1}{j\omega C}$$

$$Z_5 = R_5$$

Entonces la impedancia total está dada por

$$Z_{\text{en}} = \frac{j\omega C R_1 R_3 R_5}{R_2} \tag{8.32}$$

Por tanto, se diseñó un inductor activo sin utilizar elementos inductivos. La inductancia efectiva está dada por

$$L = \frac{R_1 R_3 R_5 C}{R_2} \tag{8.33}$$

8.7.5 Amplificadores operacionales y diodos

Existen muchos ejemplos de utilización de amplificadores operacionales con diodos. En el capítulo 12 se considera una amplia variedad de estos circuitos, mientras que en esta sección se presentan algunos ejemplos sencillos.

Considérese el circuito con un amplificador operacional ideal de la figura 8.17 con

$$v_i = V \operatorname{sen} \omega t$$

El diodo conduce cuando v_+ intenta ser negativa y no conduce cuando v_+ es positiva. Cuando v_+ intenta ser negativa, coloca en cortocircuito y

$$v_+ = 0$$

La tensión en la entrada inversora se encuentra utilizando la siguiente relación de división de tensión,

$$v_- = \frac{R_a v_o}{R_a + R_F}$$

Como $v_+ = v_- = 0$, se ve que v_o también debe ser igual a cero.

Cuando v_+ es positiva, el diodo es un circuito abierto, y la siguiente relación de división de tensión da

$$v_+ = \frac{R_x v_i}{R_1 + R_x}$$

Como antes, la tensión en la entrada inversora está dada por

$$v_- = \frac{R_a v_o}{R_a + R_F}$$

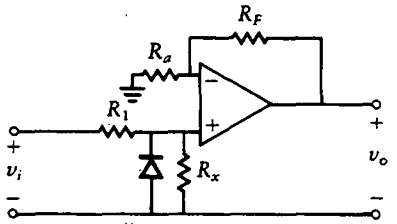


Figura 8.17 Circuito rectificador de media onda.

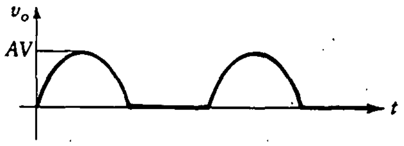


Figura 8.18 Salida del rectificador de media onda.

Como v_+ es igual a v_-, estas dos expresiones se pueden igualar para obtener

$$\begin{aligned} v_o &= \frac{(1 + R_F/R_a)R_x v_i}{R_1 + R_x} \\ &= v_i \frac{1 + R_F/R_a}{1 + R_1/R_x} \\ &= A v_i \end{aligned}$$

donde

$$A = \frac{1 + R_F/R_a}{1 + R_1/R_x}$$

La forma de onda en la salida se ve como en la figura 8.18 para $v_i = V \operatorname{sen} \omega t$. Esto muestra que el circuito opera como rectificador de media onda.

Como otro ejemplo de la utilización de diodos con amplificadores operacionales, considérese el *termómetro electrónico* de la figura 8.19. Recuérdese de la ecuación (1.2), que la tensión a través de un diodo varía con la temperatura de acuerdo a la expresión

$$\Delta V_\gamma = -2(T_2 - T_1) \text{ mV}$$

A temperatura ambiente (T_1 = 25°C), la tensión a través del diodo es de 700 mV. La tensión en el diodo disminuye conforme aumenta la temperatura. Por ejemplo, a T_2 = 125°C, la disminución en la tensión del diodo es

$$\Delta V_\gamma = -2(125 - 25) \times 10^{-3} = -200 \text{ mV}$$

Como resultado, la tensión en el diodo cae a 500 mV. Esta variación de tensión se puede utilizar como base para un termómetro barato. Se elige la resistencia R

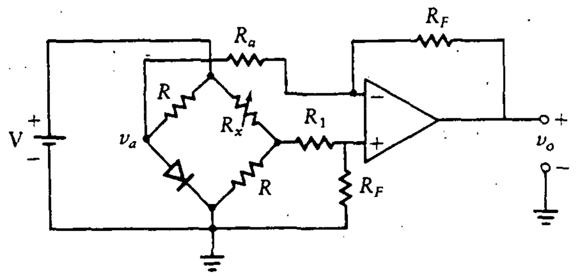


Figura 8.19
Termómetro electrónico.

de manera que el diodo conduzca y la tensión, que es la entrada al amplificador operacional, sea

$$\begin{aligned} v_a = V_\gamma &= 700 \text{ mV} - 2(T_2 - 25°\text{C}) \text{ mV} \\ &= (750 - 2T_2) \text{ mV} \end{aligned} \tag{8.34}$$

La tensión de polarización, que constituye la entrada v_1 al amplificador operacional, es

$$v_1 = 10^4 \frac{R}{R + R_x} \text{ mV} \tag{8.35}$$

Si se hace $V = 10$ V, la tensión de salida del amplificador operacional es

$$v_o = -\frac{R_F}{R_a} v_a + \left[\frac{R_F}{R_1 + R_F} \frac{R_F}{R_a \parallel R_F} \right] v_1 \tag{8.36}$$

Si se hace $R_a = R_1$ y se sustituyen las ecuaciones (8.34) y (8.35) en la ecuación (8.36), se obtiene

$$\begin{aligned} v_o &= -\frac{R_F}{R_1}(750 - 2T_2) + \frac{R_F}{R_1} 10^4 \frac{R}{R + R_x} \\ &= \frac{R_F}{R_1} \left[\frac{R \times 10^4}{R + R_x} - 750 + 2T_2 \right] \text{ mV} \end{aligned}$$

Se desean cancelar los componentes de cd, haciendo que

$$750 = 10^4 \frac{R}{R + R_x} \tag{8.37}$$

y se obtiene

$$v_o = \frac{2R_F T_2}{R_1} \text{ mV} \tag{8.38}$$

La selección adecuada de los resistores proporciona las tensiones de salida deseadas que se muestran en la ecuación (8.38). Los detalles de diseño se dejan para el problema 8.29.

PROBLEMAS

En los problemas 8.1 a 8.10, encuéntrese la tensión de salida, v_o, en términos de la tensión de entrada para cada uno de los circuitos mostrados.

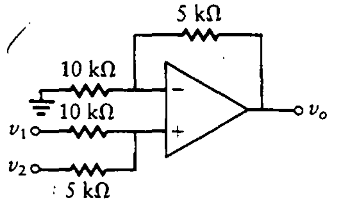


Figura P8.1

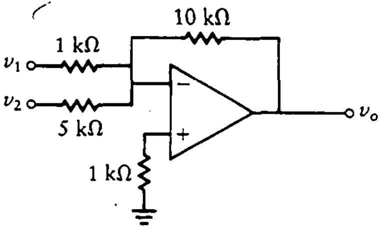


Figura P8.2

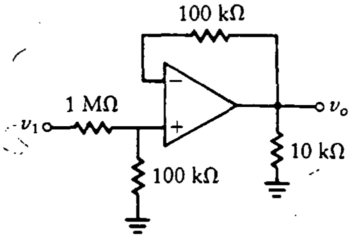


Figura P8.3

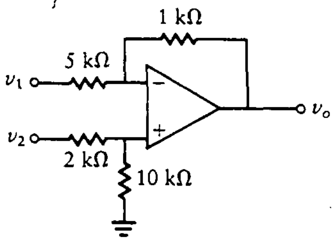


Figura P8.4

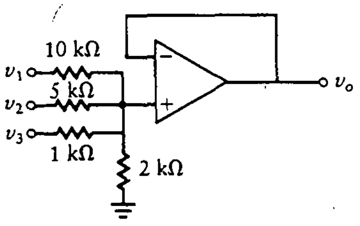


Figura P8.5

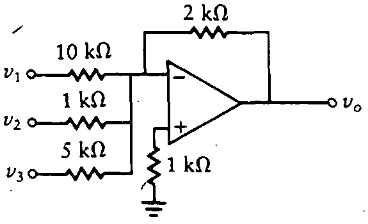


Figura P8.6

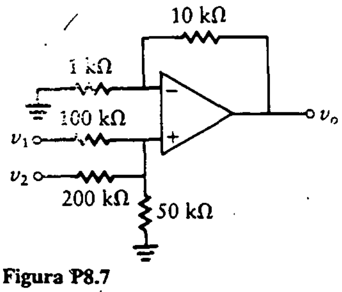


Figura P8.7

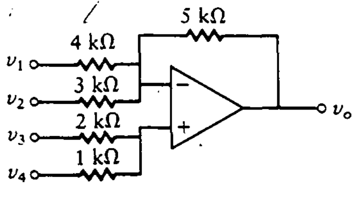


Figura P8.8

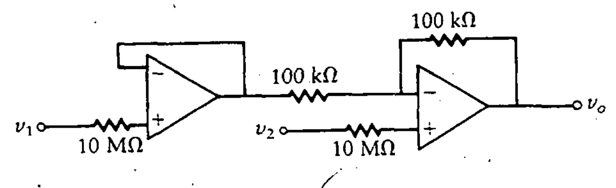


Figura P8.9

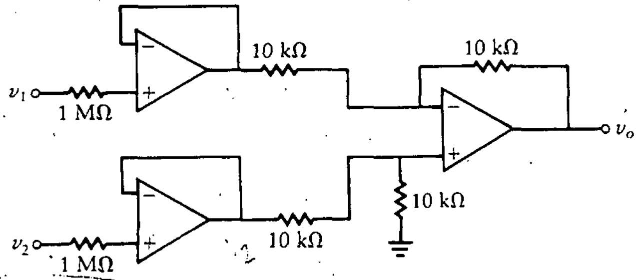
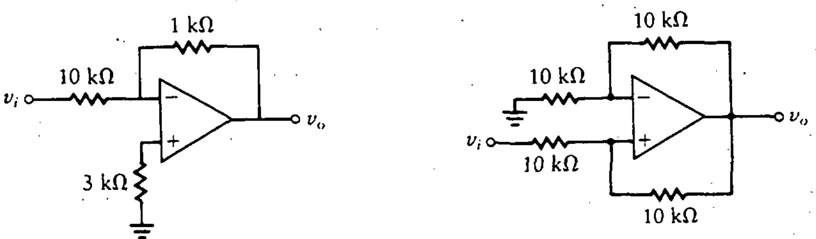


Figura P8.10

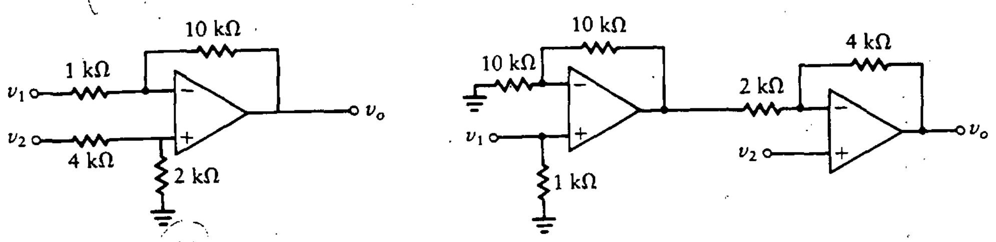
8.11 Constrúyase un modelo matemático para el amplificador operacional ideal y encuéntrese la razón de ganancia, v_o/v_i, para cada una de las configuraciones de la figura P8.11.



(a) (b)

Figura P8.11

8.12 Encuéntrese la tensión de salida, v_o, en términos de las señales de entrada para los circuitos de la figura P8.12. Utilícese el modelo matemático del amplificador operacional ideal.



(a) (b)

Figura P8.12

En los problemas 8.13 a 8.16, diséñese un circuito con amplificador operacional ideal para obtener las relaciones mostradas en cada ecuación. En cada caso, utilícese el procedimiento de los ejemplos 8.1 y 8.2 y compárense los resultados.

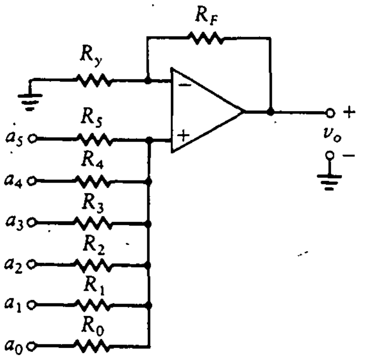
8.13 $v_o = v_1 + 10v_2 - 30v_a - 100v_b$ $\quad R_{\text{mín}} = 5\ \text{k}\Omega$.

8.14 $v_o = 8v_1 + 8v_2 - 4v_a - 9v_b$ $\quad R_{\text{mín}} = 10\ \text{k}\Omega$.

8.15 $v_o = 6v_1 + 8v_2 - 3v_a - 12v_b$ $\quad R_{\text{mín}} = 8\ \text{k}\Omega$.

8.16 $v_o = 3v_1 + v_2 + 6v_3 - 4v_a - 5v_b$ $\quad R_{\text{mín}} = 12\ \text{k}\Omega$.

8.17 Mediante un amplificador operacional se puede diseñar un convertidor digital analógico (D/A), como se muestra en la figura P8.13. Utilícese el método de la sección 8.6 para diseñar un convertidor D/A de 6 bits con una $R_{\text{mín}} = 10\ \text{k}\Omega$. ¿Qué elección es buena para V_{CC} si el 1 lógico corresponde a 0.2 V?



(*Sugerencia:* el equivalente decimal del número binario $a_5a_4a_3a_2a_1$, donde a_i es cero o uno, es

$$\begin{aligned} N &= a_5 2^5 + a_4 2^4 + a_3 2^3 + a_2 2^2 + a_1 2^1 + a_0 2^0 \\ &= 32a_5 + 16a_4 + 8a_3 + 4a_2 + 2a_1 + a_0) \end{aligned}$$

8.18 Diséñese un voltímetro analógico utilizando el circuito mostrado en la figura P8.14. La escala completa en el amperímetro se lee con una corriente de 100 μA. Encuéntrese R de manera que la lectura a escala completa sea $v = +10$ V. Nótese que este diseño es independiente de R_m, la resistencia del amperímetro.

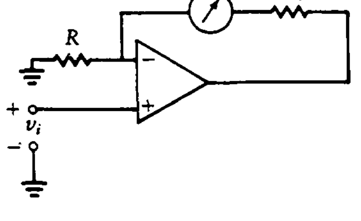


Figura P8.14

8.19 Diséñese un circuito con amplificador operacional para producir una resistencia negativa de -10 kΩ.

8.20 Diséñese un integrador no inversor para realizar la ecuación

$$\frac{V_o}{V_i} = \frac{1}{j\omega}$$

8.21 Diséñese un circuito con amplificador operacional para simular una bobina de 0.5 H sin utilizar ningún inductor en el circuito.

8.22 Determínese la ganancia v_o/v_i para el circuito con amplificador operacional ideal que se muestra en la figura P8.15. ¿Por qué proporciona este circuito una respuesta tan peculiar?

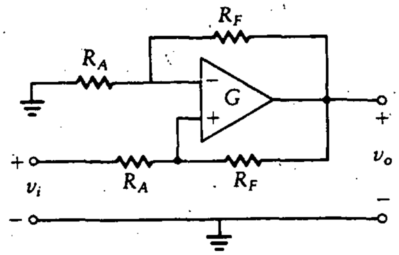


Figura P8.15

8.23 Determínese la razón de transferencia V_o/V_i para el circuito mostrado en la figura P8.16. El amplificador operacional es ideal.

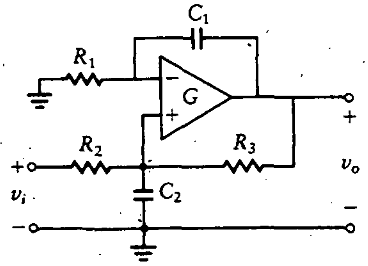


Figura P8.16

8.24 Calcúlese la relación de transferencia V_o/V_i para el circuito de la figura P8.17. El amplificador operacional es ideal.

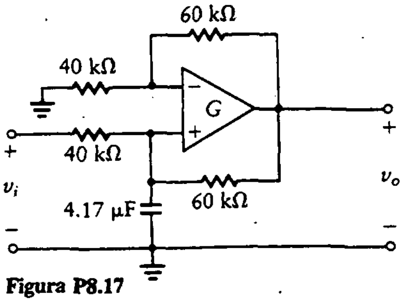


Figura P8.17

8.25 Encuéntrese la ganancia v_o/v_i para el circuito con amplificador operacional ideal de la figura P8.18.

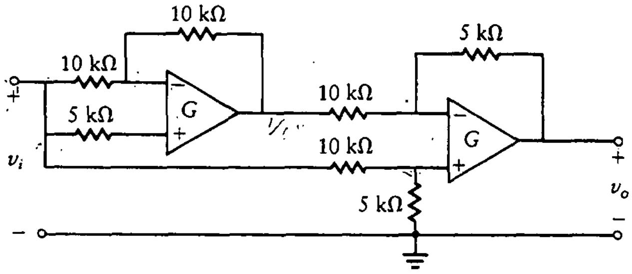


Figura P8.18

8.26 Determínese la ganancia de tensión v_o/v_i para el circuito con amplificador operacional ideal que se muestra en la figura P8.19. Esta será una función del resistor variable. El máximo valor del resistor es R cuando $x = 1$, y x va de 1 a 0.

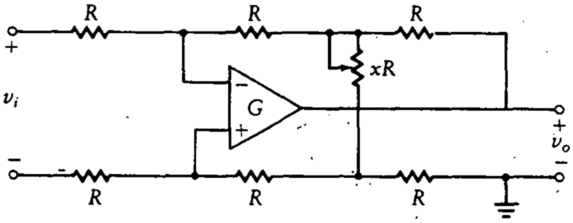


Figura P8.19

8.27 Grafíquese la tensión de salida v_o como función de R/R_x para el circuito con amplificador operacional ideal de la figura P8.20. Supóngase que $V = 15$ V.

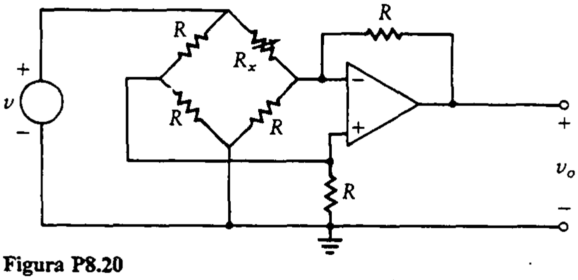


Figura P8.20

8.28 Grafíquese la tensión de salida para el sistema con amplificador operacional mostrado en la figura P8.21 cuando la tensión de entrada está dada por

$$v_i = 10 \operatorname{sen} 20t$$

Supóngase que $v_\gamma = 0.7$ V y que $R_F = 0$.

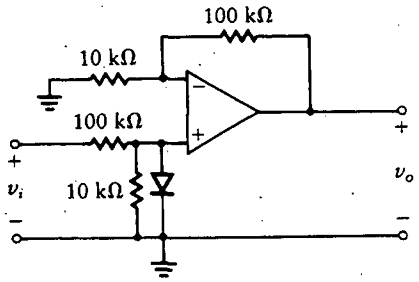


Figura P8.21

8.29 La figura 8.19 es un termómetro electrónico. Grafíquese la tensión de salida V_o conforme la temperatura varía de temperatura ambiente (25°C) a 125°C. El cambio en la tensión a través del diodo, ΔV_γ, varía de acuerdo con la relación

$$\Delta V_\gamma = -2(T_2 - 25°\text{C})\ \text{mV}$$

Selecciónense valores de resistores de manera que la salida v_o, dada por la ecuación (8.40), sea 5 V cuando la temperatura es de 125°C.

PROBLEMAS ADICIONALES

En los problemas PA8.1 a PA8.6, encuentre la tensión de salida, v_o, en términos de la tensión de entrada para cada uno de los circuitos mostrados.

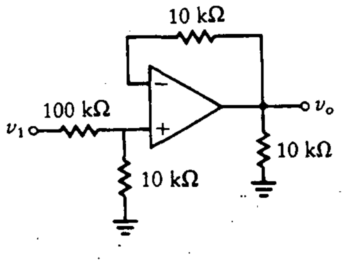


Figura PA8.1

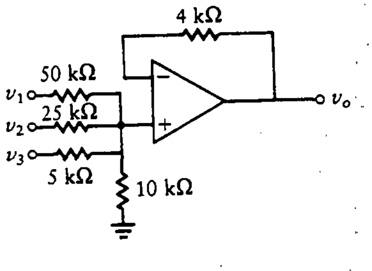


Figura PA8.2

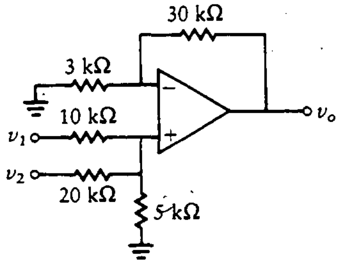


Figura PA8.3

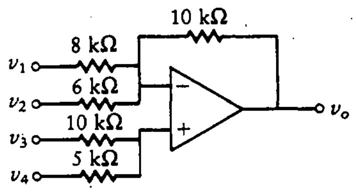


Figura PA8.4

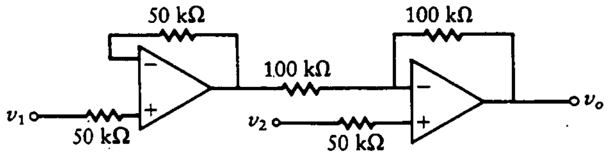


Figura PA8.5

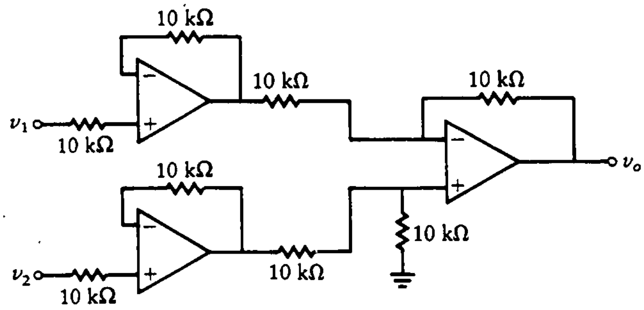


Figura PA8.6

PA8.7 Para el circuito de la figura PA8.7, ¿cuál es el valor de v_2 necesario para producir $v_o = 500$ mV cuando $v_1 = 40$ mV, $R_1 = 50$ kΩ y $R_2 = 150$ kΩ? ¿Cuál es el valor de la corriente de salida, i_L, en las condiciones anteriores y si $R_L = 4$ kΩ?

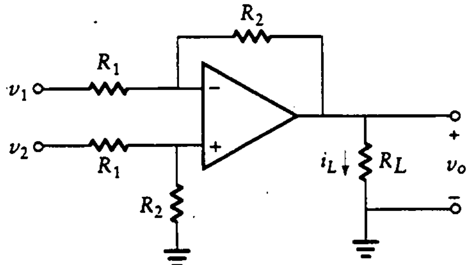


Figura PA8.7

PA8.8 Diseñe un circuito computador analógico con un amp-op para resolver la siguiente ecuación:

$$\frac{dx}{dt} + 9x = 3$$

Utilice dos amplificadores sumadores y un integrador en su diseño.

PA8.9 Diseñe un circuito computador analógico con amp-op para resolver las siguientes ecuaciones diferenciales simultáneas de primer orden:

$$\frac{dx}{dt} + a_1x + b_1y = f_1(t)$$

$$\frac{dy}{dt} + b_2y + a_2x = f_2(t)$$

Utilice dos amp-op integradores y dos amp-op sumadores en su diseño.

PA8.10 Encuentre la ganancia, v_o/v_i, para el amp-op mostrado en la figura PA8.8.

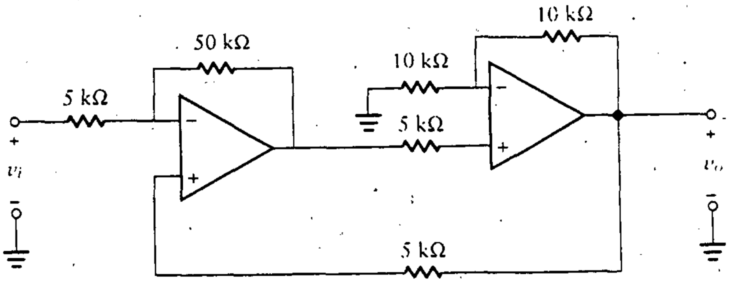


Figura PA8.8

PA8.11 Determine la señal de salida para el circuito mostrado en la figura PA8.9. Suponga $V_\gamma = 0 = R_f$.

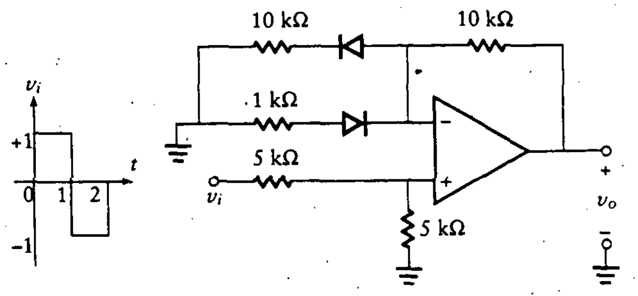


Figura PA8.9

PA8.12 Diseñe un sistema de instrumentación como el mostrado en la figura PA8.10. Seleccione R_F tal que cuando $\Delta R = 30\ \Omega$, $v_o = 3$ V. Sea $R_A = 30\ \text{k}\Omega$ y $R = 1\ \text{k}\Omega$. La tensión de la batería es $V = 12$ V, y $0 < \Delta R < 30\ \Omega$. Grafique v_o como función de ΔR.

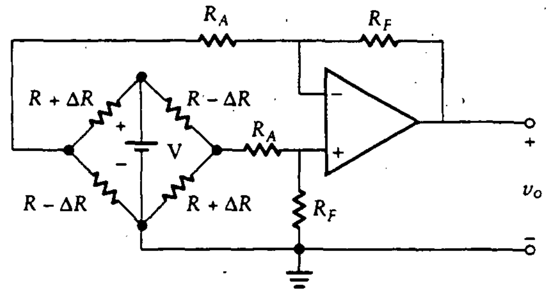


Figura PA8.10

PA8.13 Determine la ganancia, v_o/v_i, para el sistema con amp-op que se muestra en la figura PA8.11. Seleccione un valor para R_1 tal que la resistencia que se vea en v_+ sea igual a la resistencia vista en v_-.

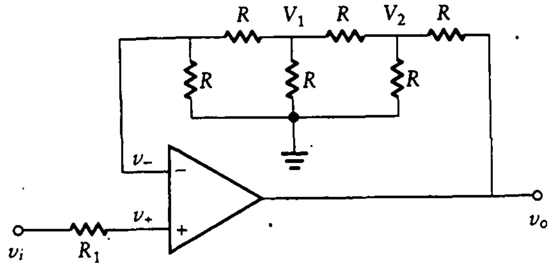


Figura PA8.11

PA8.14 Grafique la tensión de salida, v_o, como función de la tensión de entrada, v_i, para el circuito mostrado en la figura PA8.12. El diodo es ideal, por tanto $V_\gamma = 0 = R_f$.

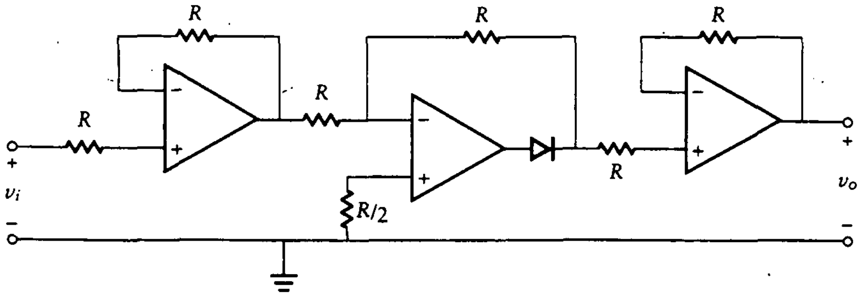
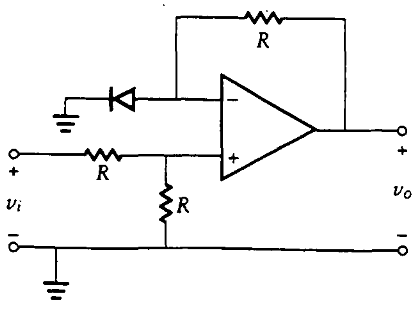


Figura PA8.12

PA8.15 La tensión de entrada al circuito de la figura PA8.13 es

$$v_i = 10\,\mathrm{sen}\,2\pi 60t$$

Grafique la tensión de salida, $v_o(t)$, cuando $R = 10\ \mathrm{k}\Omega$ y $V_\gamma = 0 = R_f$. Especifique el máximo valor de la tensión de salida.



9

AMPLIFICADORES OPERACIONALES PRÁCTICOS

9.0 INTRODUCCIÓN

En este capítulo se amplían los resultados de los dos capítulos anteriores. Se reexaminan varios de los circuitos con amplificadores operacionales, pero aquí ya no se supone que estos amplificadores son ideales. Se comienza identificando las variaciones entre un amplificador operacional práctico y uno ideal y luego se desarrolla un circuito equivalente mejorado, que modela de manera más exacta las características del amplificador operacional real. Luego se aplica el modelo mejorado al análisis de amplificadores inversores y no inversores. Como el amplificador operacional depende de la frecuencia, se consume tiempo en el análisis de las características en frecuencia de varios circuitos.

El capítulo continúa con la exploración de la sensibilidad de los circuitos con amplificador operacional a cambios en la fuente de alimentación. Se concluye con un estudio de amplificadores de audio.

9.1 AMPLIFICADORES OPERACIONALES PRÁCTICOS

Los amplificadores operacionales *prácticos* se aproximan a sus contrapartes *ideales* pero difieren en algunos aspectos importantes. Es fundamental para el diseñador de circuitos comprender las diferencias entre amplificadores operacionales reales e ideales, ya que estas diferencias pueden afectar de modo adverso el desempeño del circuito.

Tabla 9.1 Valor de parámetros para amplificadores operacionales.

	Ideal	741 de propósito general	715 de alta velocidad	5534 de bajo ruido
Ganancia de tensión, G	∞	1×10^5*	3×10^4	10^5
Impedancia de salida, Z_o	0	75 Ω	75 Ω	0.3 Ω
Impedancia de entrada, Z_{en} (lazo abierto)	∞	2 MΩ	1 MΩ	100 kΩ
Corriente de desplazamiento, I_{io}	0	20 nA	250 nA	300 nA
Tensión de desplazamiento, V_{io}	0	2 mV	10 mV	5 mV
Ancho de banda, BW	∞	1 MHz	65 MHz	10 MHz
Razón de cambio, SR	∞	0.7 V/ms	100 V/ms	13 V/ms

*El amplificador operacional 741 tiene valores típicos de 2 a 3×10^5; sin embargo, en el texto se utiliza 10^5.

La intención es desarrollar un modelo detallado de amplificador operacional práctico, que tome en cuenta las características más significativas del dispositivo no ideal. Se inicia con la definición de los parámetros utilizados para describir los amplificadores operacionales prácticos. Estos parámetros se especifican en las listas de datos proporcionados por el fabricante de dichos amplificadores.

En la tabla 9.1 se listan los valores de parámetros para tres amplificadores operacionales particulares, uno de los cuales es el popular 741. Conforme se definan los parámetros en las siguientes secciones, se deberá consultar esta tabla para encontrar valores típicos.

La diferencia más significativa entre el amplificador operacional ideal y el real es la ganancia de tensión. El ideal tiene ganancia infinita, mientras que el real tiene una ganancia finita que disminuye al aumentar la frecuencia. Varios amplificadores operacionales se compensan en frecuencia para proporcionar una característica predecible de ganancia de tensión contra frecuencia. Algunos de estos amplificadores, como el 741, están compensados internamente con un capacitor fijo. Otros, como el 101, permiten la adición de un capacitor externo al amplificador operacional de manera que se pueda cambiar la característica en frecuencia.

9.1.1 Ganancia de tensión en lazo abierto (G)

La *ganancia de tensión en lazo abierto* de un amplificador operacional es la razón del cambio de la tensión de salida al cambio en la tensión de entrada sin retroalimentación. La ganancia es una cantidad adimensional. El símbolo G se utiliza para indicar la ganancia de tensión en lazo abierto. Los amplificadores operacionales tienen alta ganancia de tensión para entradas con frecuencia en el intervalo de cd de aproximadamente 10 kHz. La especificación del amplificador operacional indica la ganancia de tensión en volts por milivolt o en decibeles que se define como $20\log_{10}(v_o/v_i)$.

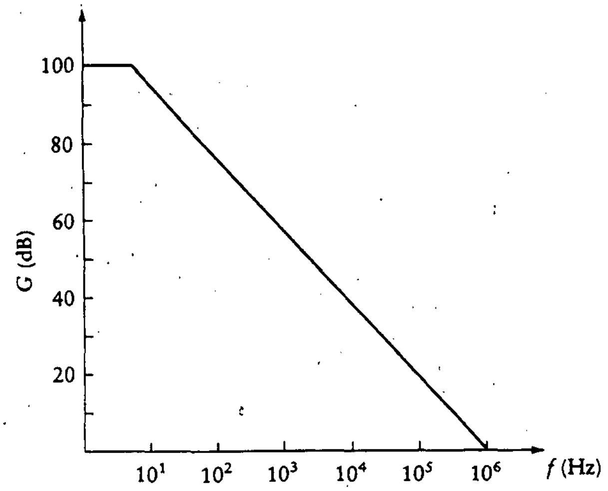


Figura 9.1
Ganancia de tensión contra frecuencia.

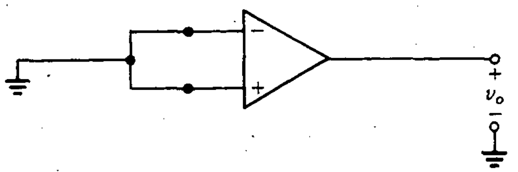


Figura 9.2
Técnica para medir V_{io}.

La ganancia de tensión en lazo abierto depende de la frecuencia. En la figura 9.1 se ilustra esta ganancia como función de la frecuencia para un amplificador operacional típico. Nótese que la ganancia disminuye cuando aumenta en la frecuencia.

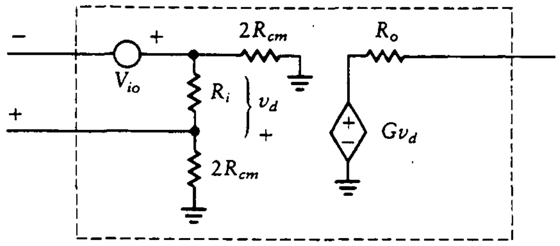
9.1.2 Tensión de desplazamiento en la entrada (V_{io})

Si la tensión de entrada a un amplificador operacional ideal es cero, la tensión de salida también es cero. Esto no es cierto para un amplificador operacional real. La ***tensión de desplazamiento en la entrada,*** V_{io}, se define como la tensión de entrada necesaria para que la salida sea igual a cero. V_{io} es cero para el amplificador operacional ideal. Un valor típico para V_{io} en el amplificador operacional 741 es 2 mV. Un valor distinto de cero para V_{io} es indeseable, ya que el amplificador operacional amplificará cualquier desplazamiento en la entrada, provocando por tanto un error de cd grande en la salida.

La técnica siguiente se puede utilizar para medir la tensión de desplazamiento en la entrada. En vez de variar la tensión de entrada con el fin de forzar a que la salida sea cero, la entrada se hace igual a cero, como se muestra en la figura 9.2, y se mide la tensión de salida. La salida resultante de una tensión de entrada cero se conoce como ***tensión de desplazamiento en cd en la salida.*** Si esta cantidad se divide por la ganancia de lazo abierto del amplificador operacional, se obtiene la tensión de desplazamiento en la entrada.

Los efectos de la tensión de desplazamiento se pueden incorporar en el modelo del amplificador operacional, como se muestra en la figura 9.3. Nótese que además

Figura 9.3
Modelo para la tensión de desplazamiento en la entrada.



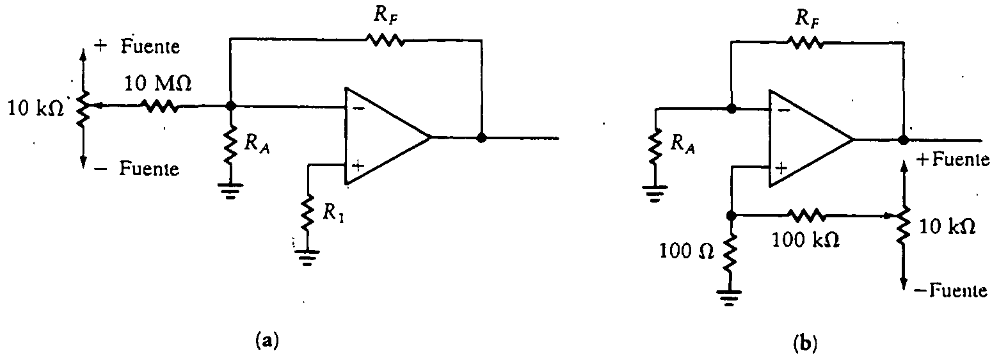


Figura 9.4 Balanceo de la tensión de desplazamiento.

de incluir la tensión de desplazamiento, el modelo del amplificador operacional ideal ha sido modificado aún más con la adición de cuatro resistencias. R_o es la resistencia de salida. La resistencia de entrada al amplificador operacional, R_{en}, se mide entre las terminales inversora y no inversora. El modelo también contiene un resistor entre cada una de las dos entradas y tierra. Estas son las *resistencias en modo común* y cada una es igual a $2R_{cm}$. Si las entradas se conectan juntas, como en la figura 9.2, estos dos resistores están en paralelo, y la resistencia combinada hacia tierra es R_{cm}. Si el amplificador operacional es ideal, R_i y R_{cm} son infinitas (es decir, circuitos abiertos) y R_o es cero (es decir, un cortocircuito).

La configuración externa que se muestra en la figura 9.4(a) se puede utilizar para eliminar los efectos de la tensión de desplazamiento. Se aplica una tensión variable a la terminal de entrada inversora. Una elección apropiada de esta tensión puede cancelar la tensión de desplazamiento en la entrada. De forma similar, en la figura 9.4(b) se ilustra este circuito de balance aplicado a la terminal no inversora.

9.1.3 Corriente de polarización de entrada (I_{pol})

Aunque las entradas al amplificador operacional ideal no demandan corriente, en el caso real debe ingresar alguna corriente de polarización en cada terminal de entrada. I_{pol} es la corriente de base del transistor de entrada, y un valor típico es 2 μA. Cuando la impedancia de la fuente es pequeña, I_{pol} tiene poco efecto ya que provoca un cambio relativamente pequeño en la tensión de entrada. Sin embargo,

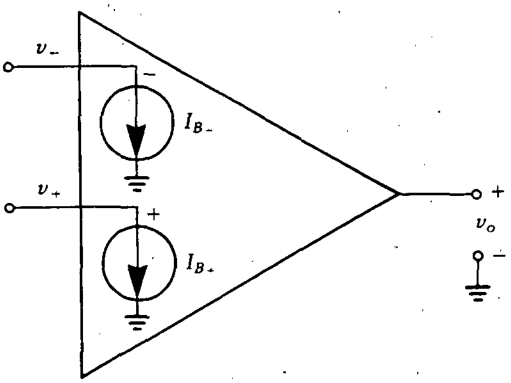


Figura 9.5 Corriente de polarización de entrada.

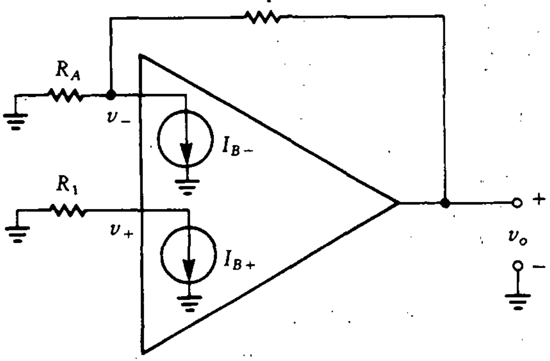


Figura 9.6 Reducción del efecto de la corriente de polarización de entrada.

en circuitos de alta impedancia, una pequeña corriente puede provocar una tensión grande.

La corriente de polarización se puede modelar como dos fuentes de corriente, según se observa en la figura 9.5. Los valores de estas fuentes son independientes de la impedancia de la fuente. La corriente de polarización se define como el valor promedio de las dos fuentes de corriente. Por tanto,

$$I_{pol} = \frac{I_{B+} + I_{B-}}{2} \tag{9.1}$$

La diferencia entre los valores de las dos fuentes se conoce como *corriente de desplazamiento en la entrada*, I_{io}, y está dada por

$$I_{io} = I_{B+} - I_{B-} \tag{9.2}$$

Tanto la corriente de polarización de entrada como la corriente de desplazamiento en la entrada son dependientes de la temperatura. El *coeficiente de temperatura de la corriente de polarización de entrada* se define como la razón de cambio en la corriente de polarización a cambios en la temperatura. Un valor típico es 10 nA/°C. El *coeficiente de temperatura de la corriente de desplazamiento en la entrada* se define como la razón de cambio en la magnitud de la corriente de desplazamiento al cambio en temperatura. Un valor típico es −2nA/°C.

Es posible reducir la tensión de cd producida por la corriente de polarización de entrada conectando el amplificador operacional como en la figura 9.6. Este método consiste en conectar una resistencia en serie con la terminal no inversora. El valor de la resistencia es igual a la resistencia total equivalente conectada a la terminal inversora. Si se supone que

$$I_{B+} = I_{B-} = I_B$$

entonces la tensión de salida debida a estas corrientes está dada por

$$V_o = GI_B(R_1 - R_A \parallel R_F) \tag{9.3}$$

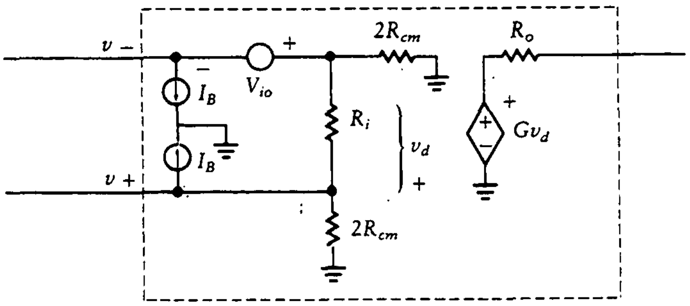


Figura 9.7
Modelo de corriente de polarización de entrada.

Si se elige que el valor de R_1 sea igual a $R_A \parallel R_F$, entonces la tensión de salida es cero. Se concluye de este análisis que la resistencia en cd de v_+ a tierra debería ser igual a la resistencia en cd de v_- a tierra. Esta observación se utiliza a menudo en los diseños. Es importante que tanto la terminal inversora como la no inversora tengan un trayecto de cd hacia tierra para reducir los efectos de la corriente de polarización de entrada.

Las corrientes de polarización de entrada se incorporan en el modelo del amplificador operacional de la figura 9.7.

Este modelo se analiza con el fin de encontrar la tensión de salida provocada por las corrientes de polarización de entrada. En la figura 9.8(a) se muestra un circuito con amplificador operacional donde las terminales inversora y no inversora están conectadas hacia tierra a través de resistencias asociadas. Este circuito se reemplaza por su equivalente (véase Fig. 9.7) en la figura 9.8(b), donde se despreció V_{io}.

Se simplifica aún más este circuito en la figura 9.8(c) eliminando R_o y R_L. Esto es, se supone que

$$R_F \gg R_o$$

y

$$R_L \gg R_o$$

Las necesidades de carga en la salida por lo general aseguran que estas desigualdades se cumplan.

El circuito se simplifica más en la figura 9.8(d), donde la combinación en serie de la fuente de tensión y el resistor se reemplaza por una combinación en paralelo de una fuente de corriente y un resistor.

Por último, se combinan las resistencias y se cambia la fuente de corriente por una fuente de tensión para obtener el equivalente simplificado de la figura 9.8(e). Se utiliza una ecuación de lazo para obtener

$$\begin{aligned} V_o &= GV_d \\ &= \frac{GR_i(R'_A \parallel R_F - R'_1)I_B(R'_A + R_F)}{(R'_A + R_F)(R_i + R'_A \parallel R_F + R'_1) + GR_iR'_A} \end{aligned} \tag{9.4}$$

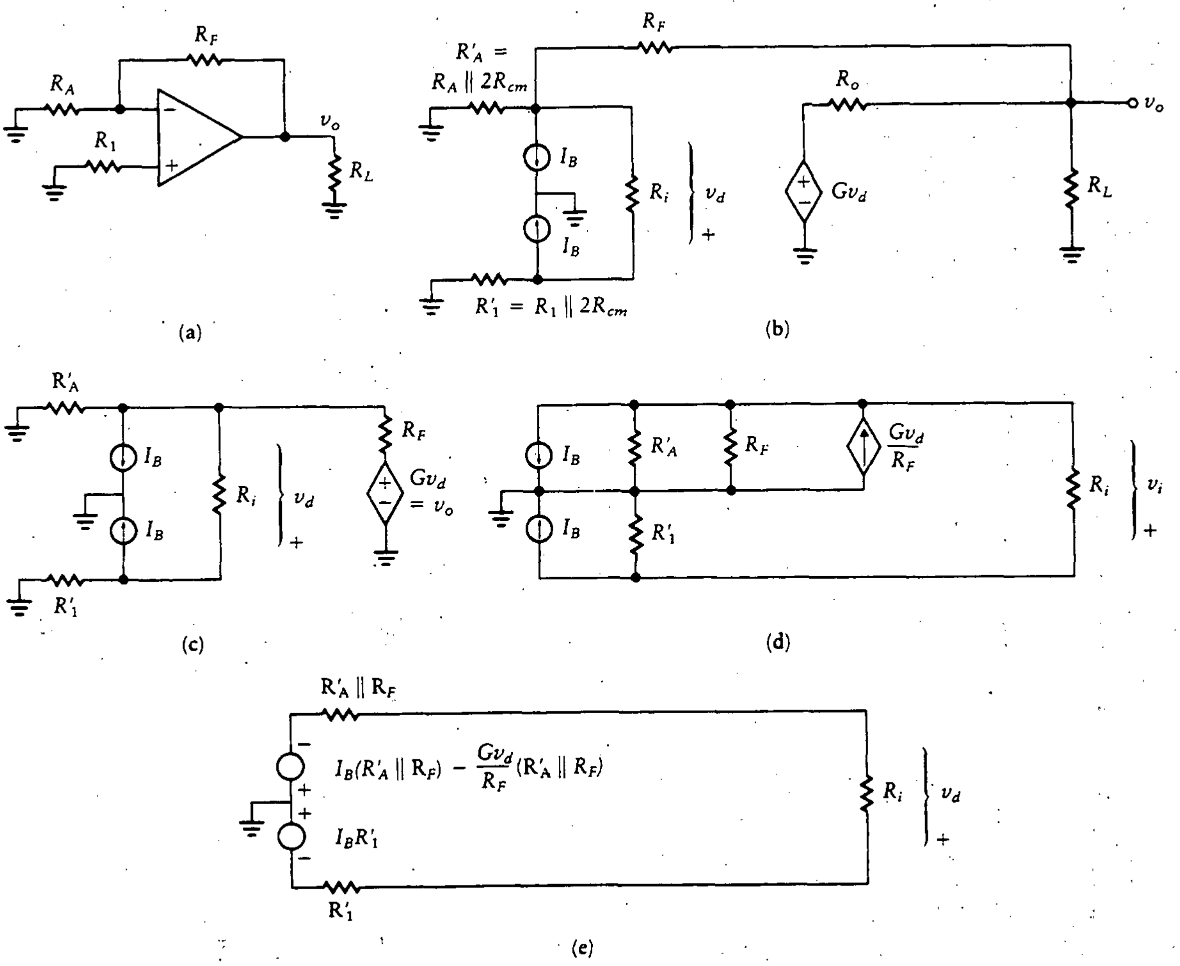


Figura 9.8 Efectos de la corriente de polarización de entrada.

donde

$$R'_A = R_A \parallel 2R_{cm}$$

$$R'_1 = R_1 \parallel 2R_{cm}$$

$$R_F \gg R_o$$

$$R_L \gg R_o$$

La resistencia en modo común, $2R_{cm}$, es del orden de varios cientos de megaohms para varios amplificadores operacionales. Entonces

$$R'_A \approx R_A$$

y

$$R'_1 \approx R_1$$

Además, se supone que G es grande, por lo que la ecuación (9.4) se convierte en la ecuación (9.5):

$$V_o = \left(1 + \frac{R_F}{R_A}\right) I_B(R_A \parallel R_F - R_1) \tag{9.5}$$

Ejemplo 9.1

Encuéntrense las tensiones de salida para las configuraciones de la figura 9.9, donde

$$I_B = 80 \text{ nA} = 8 \times 10^{-8} \text{ A}$$

SOLUCIÓN Se utiliza la forma simplificada de la ecuación (9.5) a fin de encontrar las tensiones de salida para el circuito de la figura 9.9(a).

$$V_o = \left(1 + \frac{100\,000}{10\,000}\right) (8 \times 10^{-8})(9100 - 10\,000) = -0.79 \text{ mV}$$

Para el circuito de la figura 9.9(b), se obtiene

$$V_o = \left(1 + \frac{100\,000}{10\,000}\right) (8 \times 10^{-8})(9100) = 8 \text{ mV}$$

Seleccionando $R_1 = 10$ kΩ en vez de 0 Ω, se reduce la tensión de salida debida a I_B por un factor de 10. Por tanto se contrarresta el efecto de la corriente de polarización igualando las resistencias conectadas entre la terminal positiva y tierra con las conectadas entre la terminal negativa y tierra.

9.1.4 Rechazo en modo común

Por lo común, el amplificador operacional se utiliza para amplificar la diferencia entre dos tensiones de entrada. Por tanto, opera en *modo diferencial*. Una tensión constante sumada a las dos entradas no tendería afectar la diferencia y, por tanto, no se debería transferir a la salida. En el caso práctico esta constante, o valor

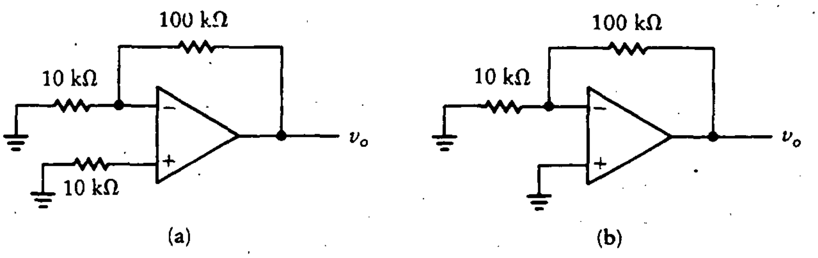


Figura 9.9
Configuraciones para el ejemplo 9.1.

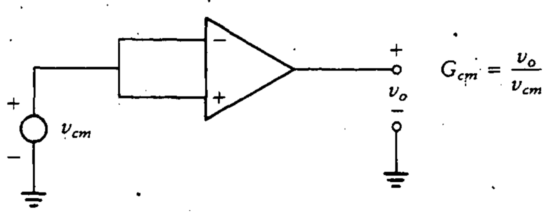


Figura 9.10
Modo común.

promedio de las entradas *afecta* la tensión de salida. Si sólo se consideran las partes iguales de las dos entradas, se tiene lo que se conoce como *modo común*.

Supóngase que las dos terminales de entrada de un amplificador operacional práctico se conectan a una fuente de tensión común. Esto se ilustra en la figura 9.10. La tensión de salida sería cero en el caso ideal. En el caso práctico, esta salida no es cero. La razón de la tensión de salida distinta de cero a la tensión de entrada aplicada es la *ganancia de tensión en modo común*, G_{cm}. La razón de rechazo en modo común (CMRR, *common-mode rejection ratio*) se define como la razón entre la ganancia de lazo abierto, G, y la ganancia en modo común. Por tanto,

$$\text{CMRR} = \frac{|G|}{|G_{cm}|} \tag{9.6a}$$

o, en decibeles,

$$\text{CMRR} = 20\log_{10}\left(\frac{|G|}{|G_{cm}|}\right) \tag{9.6b}$$

Los valores típicos del CMRR están entre 80 y 100 dB. Es deseable tener el CMRR tan grande como sea posible.

9.1.5 Razón de rechazo a la fuente de alimentación (PSRR)

La *razón de rechazo a la fuente de alimentación* (PSRR, *power supply rejection ratio*) es una medida de la capacidad del amplificador operacional para ignorar cambios en la fuente de alimentación de tensión. Si la etapa de salida de un sistema demanda una cantidad variable de corriente, la fuente de alimentación

podría cambiar. Este cambio inducido por la carga en la fuente también podría provocar cambios en la operación de otros amplificadores que comparten la misma fuente. Esto se conoce como *diafonía,* y puede conducir a inestabilidades.

El PSRR es la razón entre el cambio en v_o y el cambio total en la tensión de la fuente. Por ejemplo, si las fuentes positiva y negativa varían de +5 V a +5.5 V, el cambio total es $11 - 10 = 1$ V. Por lo general, el PSRR se especifica en microvolts por volt o a veces en decibeles. Los amplificadores operacionales típicos tienen un PSRR aproximado a los 30 μV/V.

Para disminuir los cambios en la fuente de alimentación, la fuente para cada grupo de amplificadores operacionales se debe *desacoplar* (es decir, aislar) de los demás grupos. Esto limita la interacción a un solo grupo de amplificadores operacionales. En la práctica, cada tarjeta de circuito impreso debe tener las líneas de alimentación con un capacitor hacia tierra de 0.1 μF si es de cerámica o de 1 μF si es de tantalio. Esto asegura que las variaciones en la carga no interfieran significativamente con las otras tarjetas a través de la fuente.

9.1.6 Desplazamiento de fase

Si en la entrada inversora de un amplificador operacional se tiene una señal senoidal, la salida está 180° fuera de fase con la entrada. Sin embargo, con amplificadores operacionales prácticos, el desplazamiento de fase entre la entrada y la salida disminuye conforme aumenta la frecuencia de la señal de entrada. En altas frecuencias, la diferencia de fase se aproxima a cero y una parte de la señal de salida se retroalimenta en fase. Esto cambia la retroalimentación de negativa a positiva, y el amplificador puede exhibir características de un oscilador.

Los fabricantes de amplificadores operacionales toman en cuenta esta situación y añaden un filtro interno. Esto se realiza de forma tal que el amplificador tiene una ganancia menor que la unidad si la diferencia de fase entre la salida y la entrada se aproxima a cero. No se presenta oscilación con retroalimentación positiva si la ganancia es menor que uno. Esta modificación del amplificador operacional se conoce como *compensación interna en frecuencia.* Si el fabricante no proporciona esta compensación interna, se puede añadir un capacitor externo para obtener el mismo resultado.

9.1.7 Razón de cambio (SR)

Debido a que un amplificador operacional práctico tiene una respuesta que depende de la frecuencia, la respuesta debida a un escalón no es un escalón ideal. Sería necesario que el amplificador operacional respondiera de manera uniforme a todas las frecuencias para reproducir exactamente el cambio instantáneo en la tensión que se produce con un escalón.

Si se intenta llevar a la salida de un extremo a otro por medio de la aplicación de un escalón, la transición entre los dos extremos no es instantánea. La velocidad de cambio en la tensión de salida bajo estas condiciones de entrada se conoce como *razón de cambio* (SR, *slew rate*). Por tanto, la razón de cambio es una medida de la rapidez con la cual puede cambiar la señal de salida.

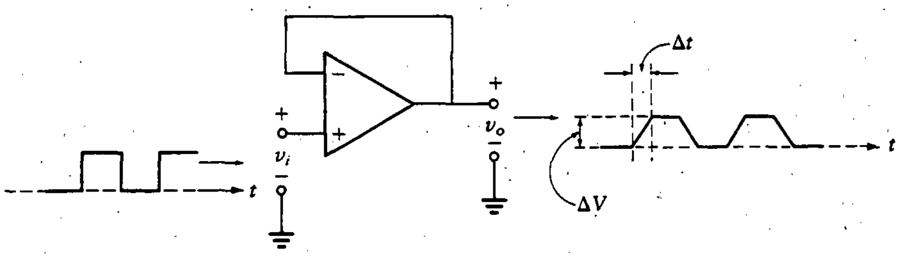


Figura 9.11
Ejemplo de la razón de cambio.

La *limitación por la razón de cambio* se produce debido a que el amplificador es incapaz de excitar rápidamente cargas capacitivas internas o externas. Estas cargas limitan las frecuencias a las cuales puede responder el amplificador.

Si se tiene una onda cuadrada en la entrada del amplificador mostrado en la figura 9.11, la salida se puede aproximar como se muestra en la figura (esta es una aproximación, ya que la curva real no puede tener esquinas). Conforme aumenta la frecuencia del tren de pulsos en la entrada, la capacidad para reproducir la onda cuadrada se deteriora, ya que los pulsos se traslapan. La salida del amplificador es capaz de cambiar a una razón de cambio máxima de

$$\mathrm{SR} = \frac{\Delta V}{\Delta t} \tag{9.7}$$

La razón de cambio se relaciona con el *ancho de banda de la potencia*, f_p, que se define como la frecuencia a la cual una señal senoidal de salida, a una tensión predeterminada, comienza a distorsionarse. Esto es, se trata de la frecuencia por encima de la cual el amplificador ya no puede sostener la máxima pendiente de la senoidal. Si la señal de salida es

$$v_o = V \operatorname{sen} 2\pi f_p t$$

entonces la máxima pendiente es

$$\mathrm{SR} = \left.\frac{dv}{dt}\right|_{\text{máx}} = 2\pi f_p V$$

El ancho de banda de la potencia está dado por

$$f_p = \frac{\mathrm{SR}}{2\pi V}$$

Como ejemplo, si el SR = 1 V/μs para un amplificador operacional en el que la salida máxima es +15 V, entonces

$$f_p = \frac{1\ \mathrm{V}/\mu s}{2\pi \times 15\ \mathrm{V}} = 10.6\ \mathrm{kHz}$$

Ejemplo 9.2

Encuéntrese la razón de cambio si un amplificador operacional 741 proporciona 16 μA a su capacitor de compensación de 30 pF.

SOLUCIÓN Como el amplificador es capaz de proporcionar 16 μA, se puede reemplazar con una fuente de 16 μA, que alimenta al capacitor de 30 pF. Cuando se tiene una fuente de corriente constante en la entrada de un capacitor, la tensión en el capacitor constituye una rampa. La pendiente de la rampa es la razón de cambio. Por tanto,

$$SR = \frac{\Delta \text{ salida de tensión}}{\Delta \text{ tiempo}} = \frac{I}{C} = \frac{16\ \mu A}{30\ pF} = 0.53\ V/\mu s$$

Ejercicios

D9.1 Si la razón de cambio para un amplificador operacional 741 inversor de ganancia unitaria es 0.5 V/μs, ¿cuánto tomará a la salida cambiar 5 V?

Resp.: 10 μs

D9.2 Para un amplificador operacional con SR = 0.6 V/μs, encuéntrese f_p para una tensión de entrada pico sin distorsión de (a) 1 V y (b) 10 V.

Resp.: (a) 95.5 kHz, (b) 9.6 kHz

D9.3 Para un amplificador operacional 741 con SR = 0.5 V/μs, encuéntrese f_p con una tensión de salida pico de 13 V.

Resp.: 6.1 kHz

9.2 MODELO MEJORADO PARA EL AMPLIFICADOR OPERACIONAL

En la figura 9.12 se muestra una versión modificada del modelo ideal de amplificador operacional. Este modelo ideal se modificó con la adición de una resistencia de entrada, una de salida y una en modo común.

Los valores típicos de estos parámetros (para el amplificador operacional 741) son

Resistencia de entrada:	$R_i = 2\ M\Omega$
Resistencia a tierra:	$2R_{cm} = 400\ M\Omega$
Resistencia de salida:	$R_o = 75\ \Omega$
Ganancia de lazo abierto en cd:	$G = 1 \times 10^5$

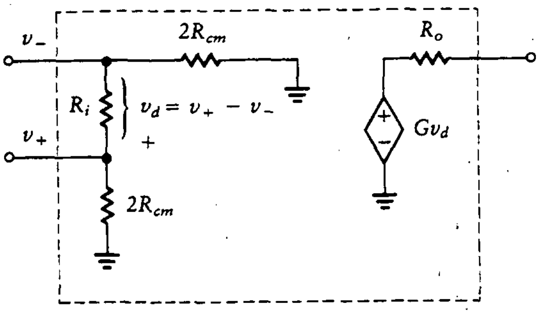


Figura 9.12 Modelo mejorado del amplificador operacional.

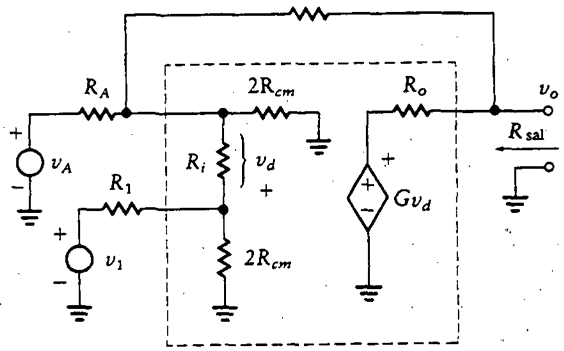


Figura 9.13 Circuito con amplificador operacional.

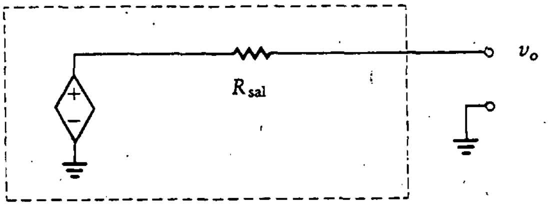


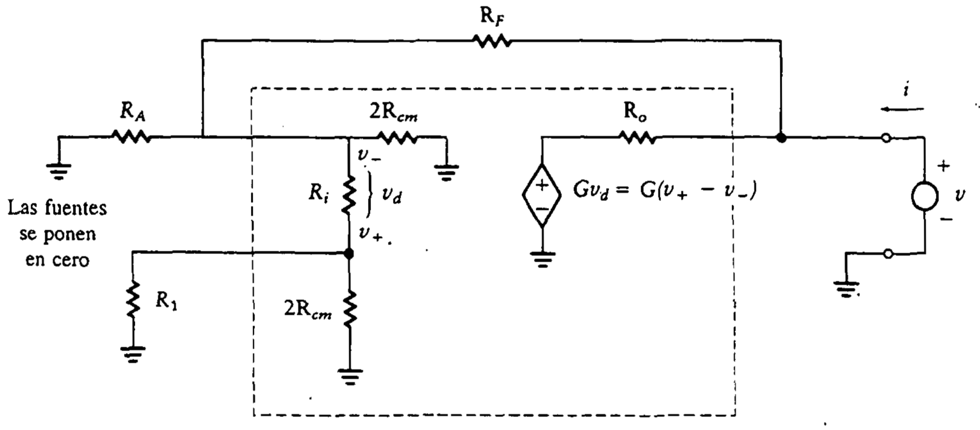
Figura 9.14
Equivalente de Thévenin para la resistencia de salida.

Véase el circuito de la figura 9.13. Las entradas inversora y no inversora del amplificador operacional están alimentadas por fuentes que tienen una resistencia en serie. La salida de este amplificador operacional se retroalimenta hacia la entrada a través de un resistor, R_F.

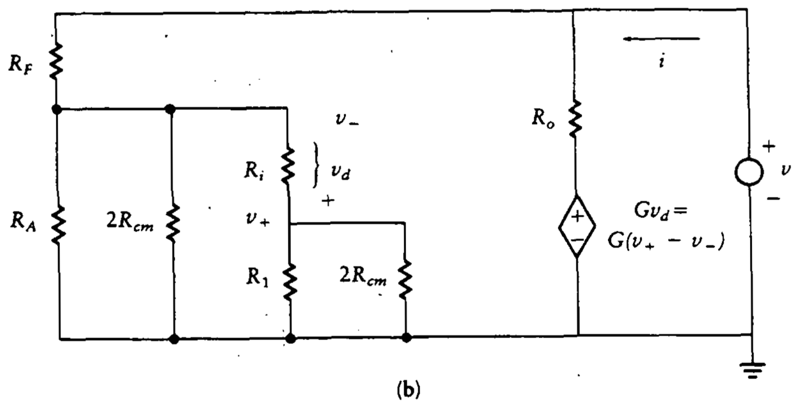
Las fuentes que alimentan las dos entradas se denotan como v_A y v_1, mientras que las resistencias en serie asociadas son R_A y R_1. Si los circuitos de entrada son más complicados, estas resistencias se pueden considerar como el equivalente de Thévenin de esos circuitos.

Como primer paso en el análisis de esta configuración, se encuentra el equivalente de Thévenin para la porción del circuito mostrada dentro de las líneas discontinuas de la figura 9.13, que se ilustra en la figura 9.14. Como el circuito no contiene fuentes independientes, la tensión equivalente de Thévenin es cero, y la corriente de cortocircuito también es cero, por lo que el circuito equivale a un solo resistor. El valor del resistor no se puede hallar encontrando combinaciones de resistores. Para encontrar la resistencia equivalente, supóngase que se aplica una fuente de tensión, v, a las terminales de salida. Entonces se calcula la corriente resultante, i, y se toma la relación, v/i. Esto proporciona la resistencia de Thévenin.

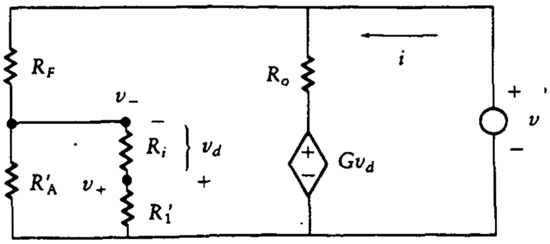
En la figura 9.15(a) se muestra la fuente de tensión aplicada. El circuito se simplifica al de la figura 9.15(b) y se reduce aún más al circuito mostrado en la figura 9.15(c) definiendo nuevas resistencias como sigue:



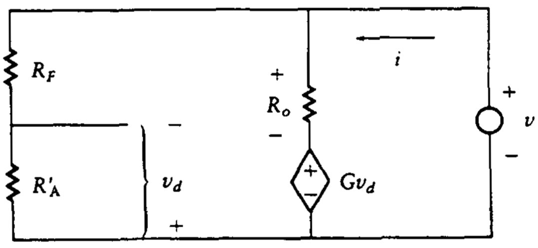
(a)



(b)



(c)



(d)

Figura 9.15 Reducción de los circuitos equivalentes de Thévenin.

$$R'_A = R_A \parallel 2R_{cm}$$

$$R'_1 = R_1 \parallel 2R_{cm}$$

Se supone que

$$R'_A \ll (R'_1 + R_i)$$

y

$$R_o \ll R'_A \parallel (R'_1 + R_i)$$

El resultado es el circuito simplificado de la figura 9.15(d). La tensión de entrada se encuentra a partir de este circuito simplificado utilizando una relación de divisor de tensión, como sigue:

$$v_d = \frac{-R'_A v}{R'_A + R_F}$$

La ecuación del lazo de salida es

$$\begin{aligned} iR_o &= v - Gv_d \\ &= v\left(1 + \frac{GR'_A}{R'_A + R_F}\right) \end{aligned}$$

Por último,

$$R_{sal} = \frac{v}{i} = \frac{R_o}{1 + R'_A G/(R_F + R'_A)} \tag{9.8}$$

R_{sal} suele ser 1 Ω o menos.

En muchos casos, R_{cm} es tan grande que

$$R'_A = R_A$$

y

$$R'_1 = R_1$$

Por tanto, R_{sal} se puede reducir a

$$R_{sal} = \frac{R_o}{1 + R_A G/(R_F + R_A)} = \frac{R_o}{G}\left(1 + \frac{R_F}{R_A}\right)$$

Ejemplo 9.3

Encuéntrese la impedancia de salida de la compuerta de potencia (*buffer*) de ganancia unitaria que se muestra en la figura 9.16.

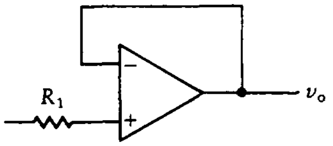


Figura 9.16 Compuerta de potencia (*buffer*) de ganancia unitaria.

SOLUCIÓN Cuando se compara el circuito de la figura 9.16 con el circuito con retroalimentación de la figura 9.13, se encuentra que

$$R_A \to \infty$$

Por tanto,

$$R'_A = \infty \parallel 2R_{cm} = 2R_{cm}$$

La ecuación (9.8) no se puede utilizar, ya que no se está seguro de que se apliquen en este caso las desigualdades que conducen a la simplificación de la figura 9.15(c). O sea que la simplificación necesaria es

$$2R_{cm} \ll R_1 \parallel (2R_{cm} + R_i)$$

Sin esta simplificación, el circuito toma la forma mostrada en la figura 9.17. Este circuito se analiza para encontrar las siguientes relaciones:

$$v_d = \frac{-R_i v}{R'_1 + R_i}$$

$$R_o i = v - G v_d = 1 + \frac{GR_i}{R_i + R'_1}$$

Entonces la resistencia de salida está dada por

$$R_{\text{sal}} = \frac{v}{i} = \frac{R_o}{1 + R_i G/(R'_1 + R_i)} \tag{9.9}$$

si se hace la suposición

$$R_o \ll (R'_1 + R_i) \ll 2R_{cm}$$

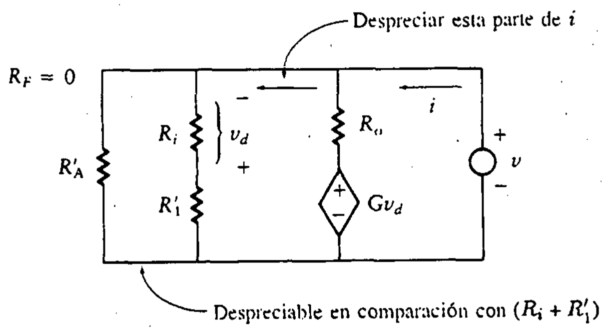


Figura 9.17
Circuito equivalente de la compuerta de potencia (*buffer*) de ganancia unitaria.

9.3 AMPLIFICADOR NO INVERSOR

En la figura 9.18(a) se ilustra el *amplificador no inversor* y en la figura 9.18(b), el circuito equivalente. La tensión de entrada se aplica entre la terminal no inversora y tierra.

9.3.1 Entrada no inversora y resistencia de salida

La resistencia de entrada a este amplificador se encuentra determinando el equivalente de Thévenin del circuito encerrado por la línea discontinua. La resistencia de carga normalmente es tal que

$$R_L \gg R_o$$

Si esto no fuera cierto, la ganancia efectiva estaría reducida y el valor efectivo de R_o sería la combinación en paralelo de R_o con R_L. Defínanse nuevamente

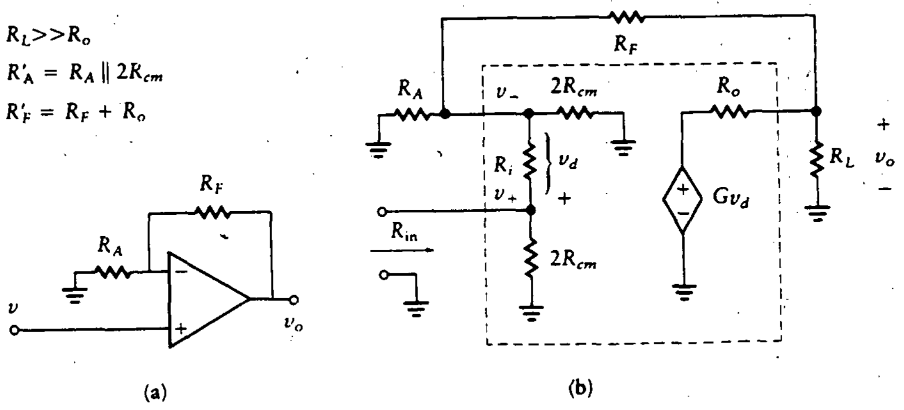
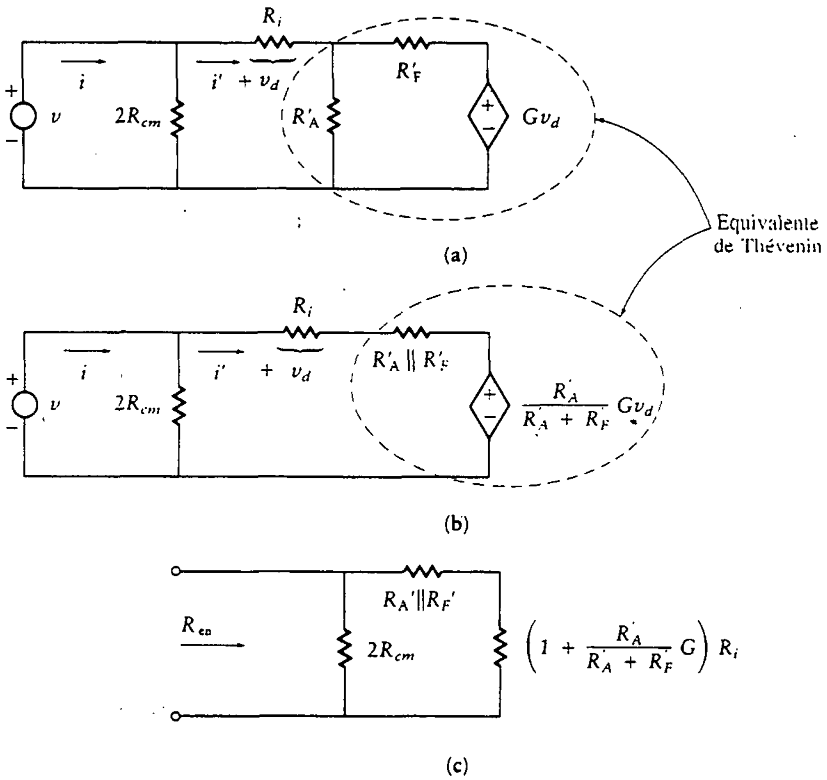


Figura 9.18
El amplificador no inversor.

Figura 9.19
Circuitos reducidos para la resistencia de entrada.



$$R'_A = R_A \parallel 2R_{cm}$$

y

$$R'_F = R_F + R_o$$

Como ahora $R_L \gg R_0$, se puede reducir la figura 9.18(a) a la forma simplificada de la figura 9.19(a). Se encuentra el equivalente de Thévenin del circuito enmarcado por la línea discontinua, y el resultado se muestra en la figura 9.19(b). Se escribe una ecuación de lazo para obtener

$$\begin{aligned}(R_i + R'_A \parallel R'_F)i' &= v - \frac{R'_A G v_d}{R'_A + R'_F} \\ &= v - \frac{R'_A G R_i i'}{R'_A + R'_F}\end{aligned}$$

puesto que

$$v_d = R_i i'$$

La resistencia a la derecha de $2R_{cm}$ está dada por

$$\frac{v}{i'} = (R'_A \parallel R'_F) + \left(1 + \frac{R'_A G}{R'_A + R'_F}\right) R_i$$

Esto se utiliza para obtener el circuito simplificado de la figura 9.19(c). Por último, se calcula la resistencia de entrada:

$$R_{en} = 2R_{cm} \left\| \left[(R'_A \parallel R'_F) + \left(1 + \frac{R'_A G}{R'_A + R'_F}\right) R_i \right] \right. \tag{9.10}$$

Recuérdese que

$$R'_A = R_A \parallel 2R_{cm}$$
$$R'_F = R_F + R_o$$
$$R_L \gg R_o$$

Si se toman sólo los términos más significativos y se supone que R_{cm} es muy grande, la ecuación (9.10) se reduce a

$$\begin{aligned} R_{en} &= 2R_{cm} \left\| \frac{R'_A G R_i}{R'_A + R'_F} \right. \\ &= 2R_{cm} \left\| \frac{G R'_i}{1 + R'_F / R'_A} \right. \end{aligned} \tag{9.11}$$

Si se utiliza el valor de los parámetros para el amplificador operacional 741, la ecuación (9.11) se convierte en

$$R_{en} = 400 \times 10^6 \left\| \frac{(10^5)(2 \times 10^6)}{1 + R_F / R_A} \right. \approx 400 \text{ M}\Omega \tag{9.12}$$

La *resistencia de salida* se encuentra de la ecuación (9.8). Se supone otra vez que R_{cm} es grande, es decir, que

$$R'_F = R_F$$

y

$$R'_A = R_A$$

Entonces la resistencia de salida está dada por

$$R_{sal} = \frac{R_o(1 + R_F/R_A)}{G}$$

$$= \frac{75(1 + R_F/R_A)}{10^5} \qquad (9.13)$$

Ejemplo 9.4

Calcúlese la resistencia de entrada para el amplificador de ganancia unitaria mostrado en la figura 9.20(a).

SOLUCIÓN El circuito equivalente se muestra en la figura 9.20(b). Como se supone que la ganancia, G, y la resistencia en modo común, R_{cm}, son grandes, se puede despreciar el término $2R_{cm} \parallel R_F$ comparado con $(1+G)R_{en}$. La ecuación (9.10) no se puede utilizar si se nota que $R_F = 0$ y $R_A = 0$. Entonces la resistencia de entrada está dada por

$$R_{en} = 2R_{cm} \parallel (1 + G)R_i = 2R_{cm}$$

Este valor casi siempre es de 20 MΩ o más.

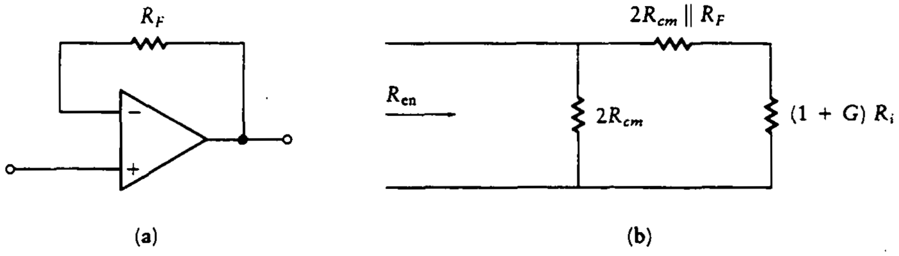


Figura 9.20 Seguidor de ganancia unitaria. Ejemplo 9.4.

9.3.2 Ganancia de tensión del amplificador no inversor

Se desea determinar la ganancia de tensión, A_+, para el circuito mostrado en la figura 9.21. Esta ganancia es definida por

$$A_+ = \frac{v_o}{v_+}$$

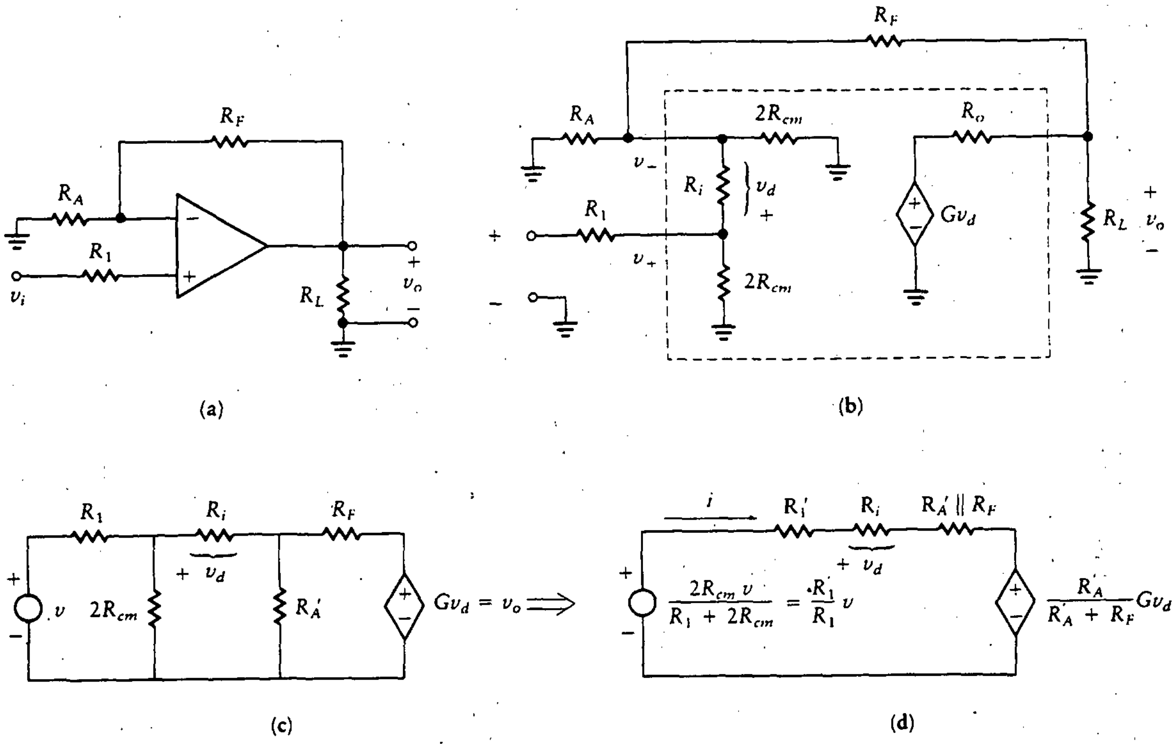


Figura 9.21 Amplificador no inversor.

El circuito equivalente se muestra en la figura 9.21(b). Se define

$$R_A' = R_A \| 2R_{cm}$$

Entonces este circuito se reduce al de la figura 9.21(c). Si se hace la definición adicional

$$R_1' = R_1 \| 2R_{cm}$$

entonces el circuito se puede reducir aún más, como el que se muestra en la figura 9.21(d). En esta reducción, se hacen las siguientes suposiciones:

$$R_L \gg R_o$$
$$R_F \gg R_o$$

Estas condiciones son deseables para prevenir la reducción de la ganancia efectiva. La LTK se aplica al circuito de la figura 9.21(d) para obtener

$$(R'_1 + R_i + R'_A \parallel R_F)i = \frac{R'_1 v_i}{R_1} - \frac{R'_A G v_d}{R'_A + R_F}$$

donde

$$v_d = R_i i$$

despejando i se obtiene

$$i = \frac{R'_1 v_i / R_1}{(R'_A \parallel R_F) + R'_1 + \left[1 + R'_A G/(R'_A + R_F)\right] R_i}$$

La tensión de salida está dada por

$$v_o = G v_d = R_i i G$$

Por último, la ganancia de tensión está dada por la relación

$$A_+ = \frac{v_o}{v_i} = \frac{R'_1 G R_i / R_1}{R'_A \parallel R_F + R'_1 + \left[1 + R'_A G/(R'_A + R_F)\right] R_i} \tag{9.14}$$

Como verificación de este resultado, el modelo se puede reducir al del amplificador operacional ideal utilizando la siguiente información:

$$R_1 = R'_1$$

$$R_A = R'_A$$

$$R_i G \gg R_F$$

$$R_i G \gg R_1$$

$$R_i G \gg R_L$$

Entonces la ecuación (9.14) se vuelve

$$A_+ = \frac{R_A + R_F}{R_A}$$

que coincide con el resultado para el modelo idealizado del capítulo 8.

Ejemplo 9.5

Encuéntrese la ganancia del seguidor de ganancia unitaria de la figura 9.22.

SOLUCIÓN En este circuito,

$$R_A = \infty$$
$$R'_A = 2R_{cm}$$
$$R_F \ll R'_A$$

En la ecuación (9.14), se supone que G es grande y que $R'_1 \approx R_1$. Entonces la ecuación (9.14) se reduce a

$$A_+ = \frac{R'_A + R_F}{R'_A} = 1$$

de modo que

$$v_o = v_i$$

como se esperaba.

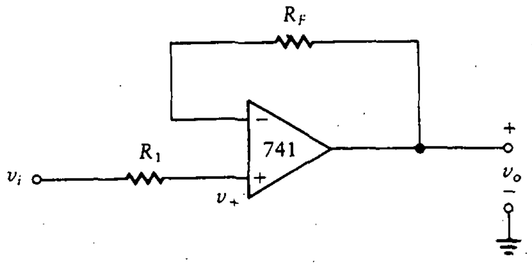


Figura 9.22 Seguidor de ganancia unitaria.

9.3.3 Consideraciones de ancho de banda

Un amplificador operacional práctico no tiene ganancia ni ancho de banda infinitos. La ganancia característica y el ancho de banda suelen variar con la frecuencia de operación. Sin embargo, el *producto ganancia por ancho de banda* (GPB, *gain-bandwidth product*) con frecuencia es constante. El GBP se define como

$$\text{GBP} = A_v \text{BW} \tag{9.15}$$

donde A_v es la ganancia de tensión de lazo cerrado (es decir, con retroalimentación) del amplificador operacional y BW el ancho de banda que corresponde a esta ganancia. Como A_v es adimensional, las unidades del GBP son las del ancho de

Tabla 9.2 Resumen de ecuaciones para el amplificador operacional no ideal.

	Amplificador Operacional no inversor		**Amplificador Operacional inversor**	
Variable	*No ideal*	*741*	*No ideal*	*741*
R_{en}	$2R_{cm} \Big\Vert \dfrac{GR_i}{1 + R_F/R_A}$	$(4 \times 10^8) \Big\Vert \dfrac{2 \times 10^{11}}{1 + R_F/R_A}$	R_A	R_A
R_{sal}	$\dfrac{R_o}{1 + \dfrac{R_A G}{R_F + R_A}}$	$75\left(1 + \dfrac{R_F}{R_A}\right)10^{-5}$	$\dfrac{R_o}{1 + \dfrac{R_A G}{R_F + R_A}}$	$75\left(1 + \dfrac{R_F}{R_A}\right)10^{-5}$
BW	$\dfrac{\text{GBP}}{1 + R_F/R_A}$	$\dfrac{10^6}{1 + R_F/R_A}$	$\dfrac{\text{GBP}}{1 + R_F/R_A}$	$\dfrac{10^6}{1 + R_F/R_A}$
Ganancia de tensión	$A_+ = \left(1 + \dfrac{R_F}{R_A}\right)$		$A_- = -\dfrac{R_F}{R_A}$	

banda, o Hertz. Un valor típico es 1 MHz. Para el amplificador no inversor de la figura 9.18, la ganancia (ideal) de lazo cerrado está dada por

$$A_v = \frac{v_o}{v_i} = 1 + \frac{R_F}{R_A} \tag{9.16}$$

Con el fin de aproximar este valor en el caso práctico, se puede elegir

$$R_1 = R_A \parallel R_F$$

para conseguir el balance de polarización. Por tanto, el ancho de banda está dado por

$$\text{BW} = \frac{\text{GBP}}{A_v} = \frac{1\ \text{MHz}}{1 + R_F/R_A} \tag{9.17}$$

ya que el producto ganancia por ancho de banda generalmente es 1 MHz.

Las variables para el amplificador operacional no inversor se resumen en la tabla 9.2.

9.3.4 Amplificadores no inversores con entradas múltiples

Se extienden los resultados anteriores al caso del amplificador no inversor con tensiones de entrada múltiples. Si las entradas $v_1, v_2, v_3, \ldots, v_n$ se aplican a través de resistencias de entrada $R_1, R_2, R_3, \ldots, R_n$, se obtiene un caso especial del resultado general establecido en la sección 8.5, como sigue:

$$v_o = \left(1 + \frac{R_F}{R_A}\right)(R_1 \parallel R_2 \parallel \cdots \parallel R_n) \sum_{k=1}^{n} \frac{v_k}{R_k} \tag{9.18}$$

Se elige

$$R_A \parallel R_F = R_1 \parallel R_2 \parallel \cdots \parallel R_n$$

con el fin de conseguir el balance de polarización. La resistencia de entrada, la resistencia de salida y el ancho de banda se encuentran de las ecuaciones (9.12), (9.13) y (9.17) respectivamente, y se resumen en la tabla 9.2.

Ejemplo 9.6

Encuéntrese la tensión de salida del sumador de dos entradas de la figura 9.23.

SOLUCIÓN La tensión de salida se encuentra de la ecuación (9.18) como sigue:

$$v_o = \left(1 + \frac{R_F}{R_A}\right)\left(\frac{R_2 v_1}{R_1 + R_2} + \frac{R_1 v_2}{R_1 + R_2}\right) \tag{9.19}$$

Se elige

$$R_A \parallel R_F = R_1 \parallel R_2$$

para conseguir el balance de polarización. Si se supone que

$$R_F = R_1 = R_2 = R_A$$

entonces la ecuación (9.19) se reduce a

$$v_o = v_1 + v_2$$

que es un sumador de dos entradas con ganancia unitaria.

Para construir un sumador no inversor de entradas múltiples, simplemente se extiende el resultado anterior.

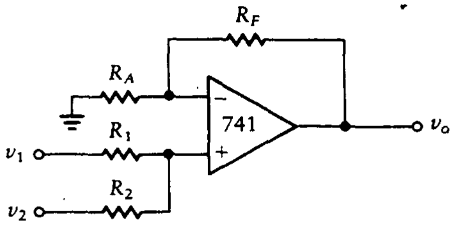


Figura 9.23
Sumador de dos entradas. Ejemplo 9.6.

Ejercicios

D9.4 Encuéntrense la resistencia de entrada y el ancho de banda del circuito con el amplificador operacional 741 de la figura D9.1. Sea $R_A = R_F = R_L = 10\ \text{k}\Omega = 2R_1$.

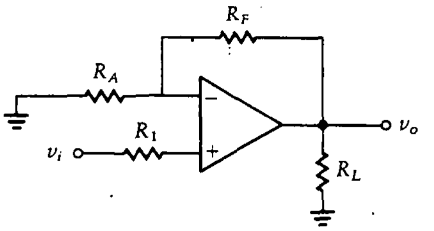


Figura D9.1

Resp.: $R_{en} = 400\ \text{M}\Omega; \text{BW} = 0.5\ \text{MHz}$

D9.5 Calcúlese la resistencia de salida, R_o, para el amplificador de la figura D9.1. Utilícese un amplificador operacional 741 con $R_A = R_F = R_L = 10\ \text{k}\Omega = 2R_1$.

Resp.: $1.5\ \text{m}\Omega$

D9.6 Encuéntrense la ganancia de tensión y el ancho de banda del circuito con el amplificador operacional 741 de la figura D9.1. Sea $R_F = R_L = 10\ \text{k}\Omega$ y $R_1 = R_A = 1\ \text{k}\Omega$.

Resp.: $A_v = 11;\ \text{BW} = 91\ \text{kHz}$

Ejemplo 9.7

Diséñese y analícese un sumador de tres entradas utilizando un amplificador 741 donde

$$v_o = 3v_1 + 2v_2 + 5v_3$$

La resistencia mínima a las terminales + y − es $R_{mín} = 10\ \text{k}\Omega$.

SOLUCIÓN Se utiliza el método de diseño de la sección 8.6, como sigue:

$$X = 10; \quad Y = 0; \quad Z = 10 - 0 - 1 = 9$$

$$R_F = 10(10\ \text{k}\Omega) = 100\ \text{k}\Omega$$

$$R_1 = \frac{100\ \text{k}\Omega}{3} = 33.3\ \text{k}\Omega$$

$$R_2 = \frac{100\ \text{k}\Omega}{2} = 50\ \text{k}\Omega$$

$$R_3 = \frac{100\ \text{k}\Omega}{5} = 20\ \text{k}\Omega$$

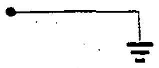
$$R_y = \frac{R_F}{Z} = 100\ \text{k}\Omega/9 = 11.1\ \text{k}\Omega$$

La ganancia del amplificador es $(1 + R_F/R_A) = 10$. El ancho de banda del amplificador es 1 MHz/10 = 100 kHz. La resistencia de salida es $75(10)/10^5 = 7.5\ \text{m}\Omega$. El método de diseño de la sección 8.6 asegura que

$$R_1 \parallel R_2 \parallel R_3 = R_F \parallel R_A = 10\ \text{k}\Omega$$

o

$$33.3\ \text{k}\Omega \parallel 50\ \text{k}\Omega \parallel 20\ \text{k}\Omega = 100\ \text{k}\Omega \parallel 11.1\ \text{k}\Omega = 10\ \text{k}\Omega$$



9.4 AMPLIFICADOR INVERSOR

En la figura 9.24 se ilustra un amplificador inversor, mientras que en la figura 9.25(a) se muestra el circuito equivalente utilizando el modelo para el amplificador operacional desarrollado antes en este capítulo.

9.4.1 Amplificador inversor. Resistencia de entrada y salida

La figura 9.25(a) se reduce a la 9.25(b) si se hace

$$R_1' = R_1 \parallel 2R_{cm}$$

$$R_F \gg R_o$$

$$R_L \gg R_o$$

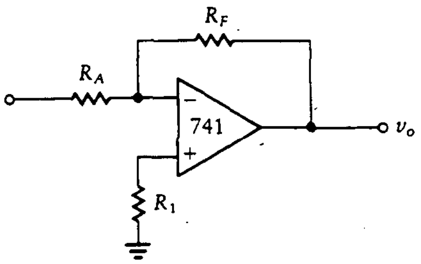


Figura 9.24
Amplificador inversor.

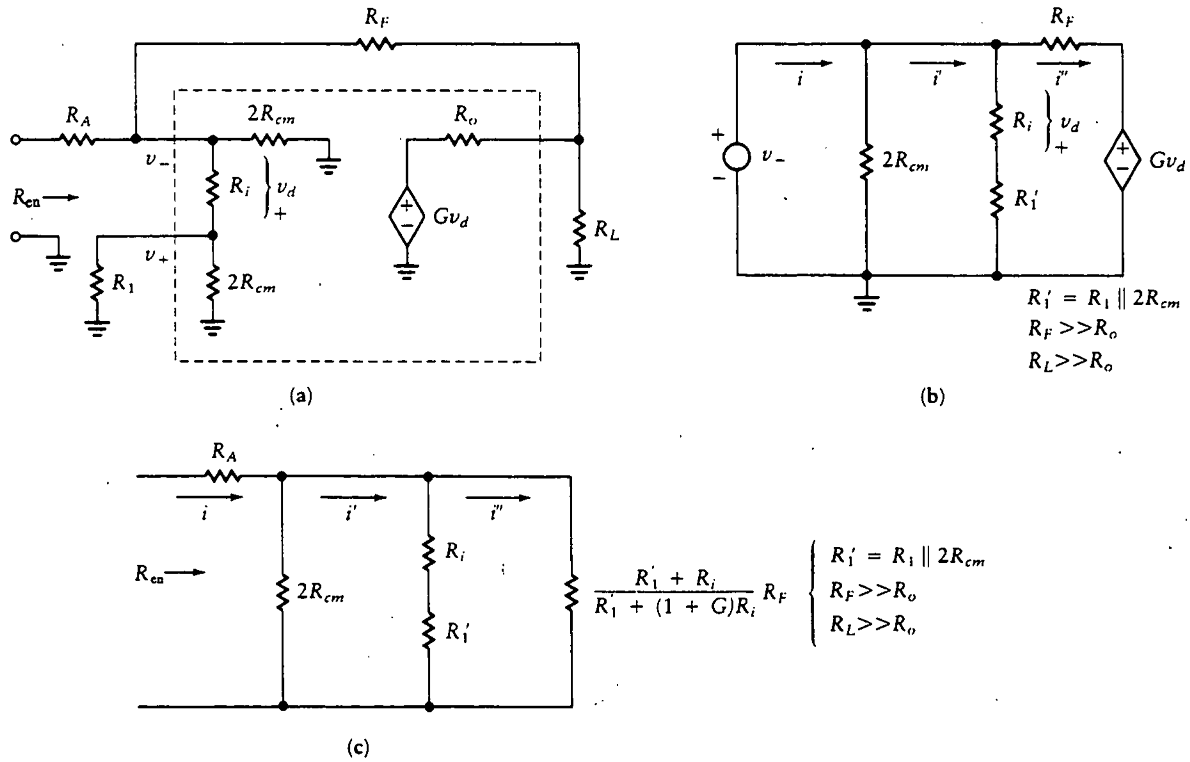


Figura 9.25 Modelo del amplificador inversor.

Es razonable suponer las desigualdades anteriores ya que, si no fueran ciertas, la salida cargaría la entrada y la ganancia volvería a reducirse.

Se puede utilizar un divisor de tensión para obtener

$$v_d = \frac{-R_i v_-}{R_i + R_1'}$$

y la ecuación de lazo da

$$R_F i'' = v_- - G v_d \,.$$

$$R_F i'' = \left(1 + \frac{G R_i}{R_i + R_1'}\right) v_-$$

$$= \frac{R_1' + (1+G)R_i}{R_i + R_1'} v_-$$

La resistencia de entrada, R_{en}, se obtiene de la figura 9.25(c), donde se reemplaza la fuente dependiente con una resistencia equivalente. El valor de este resistor es

v_-/i'', que se encuentra de la ecuación anterior. Para una G grande, la resistencia que está más a la derecha en la figura 9.25(c) es cero, y

$$R_{\text{in}} \approx R_A \tag{9.20}$$

La resistencia de salida del amplificador inversor es igual que la del amplificador no inversor. Por tanto,

$$R_{\text{sal}} = \frac{R_o(1 + R_F/R_A)}{G} \tag{9.21}$$

Utilizando los valores típicos para el amplificador operacional 741, la resistencia de salida es

$$R_{\text{sal}} = \frac{75(1 + R_F/R_A)}{10^5} \tag{9.22}$$

9.4.2 Ganancia de tensión en la entrada inversora

El circuito equivalente de la figura 9.25(a) se repite como figura 9.26(a). La ganancia en la entrada inversora, A_-, se obtiene del circuito de la figura 9.26(a) suponiendo otra vez que

$$R'_1 = R_1 \parallel 2R_{cm}$$
$$R'_A = R_A \parallel 2R_{cm}$$
$$R_L \gg R_o$$
$$R_F \gg R_o$$

Estas suposiciones reducen el circuito al mostrado en la figura 9.26(b). El circuito se reduce aún más, hasta llegar al de la figura 9.26(c), mediante el cambio de la fuente de tensión en serie con una resistencia a una fuente de corriente con una resistencia en paralelo. Entonces los resistores se pueden combinar para obtener el circuito de la figura 9.26(d). Por último, se cambia de nuevo la fuente de corriente a fuente de tensión para obtener el circuito simplificado de la figura 9.26(e). La ecuación de lazo para este circuito está dada por

$$v_d = \frac{-R_i}{R_i + R'_1 + R'_A R_F/(R'_A + R_F)} \left[\frac{R'_A R_F}{R'_A + R_F} \frac{v_i}{R_A} + \frac{R'_A G}{R'_A + R_F} v_d \right]$$

Como $v_o = G v_d$, la ganancia de tensión invertida es

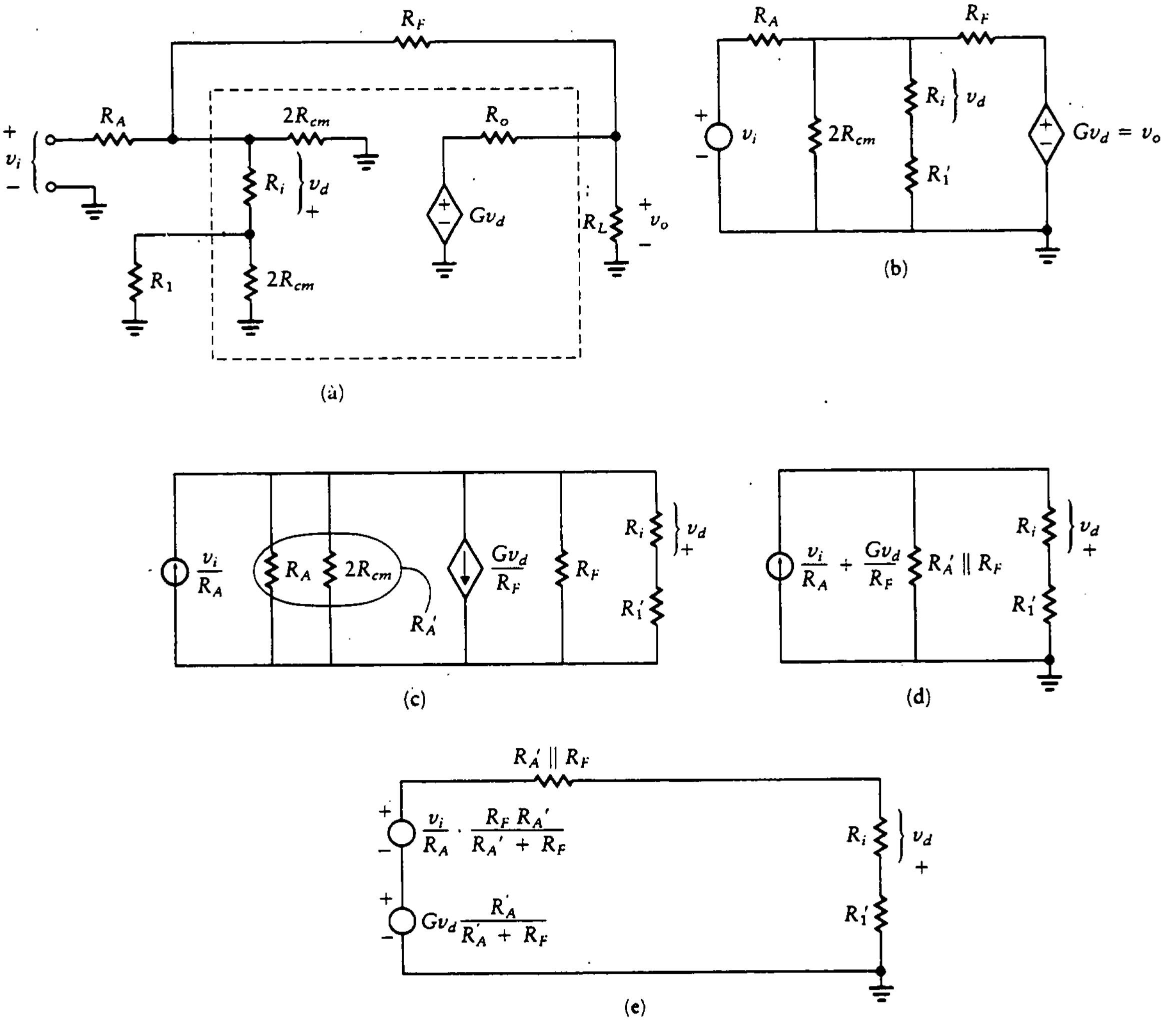


Figura 9.26 Ganancia en la entrada inversora.

$$A_- = \frac{v_o}{v_i} = -\frac{GR'_A R_i R_F / R_A}{(R_i + R'_1)(R'_A + R_F) + R'_A R_F + R_i R'_A G} \tag{9.23}$$

Esto se puede comparar con el resultado para el amplificador operacional ideal haciendo las siguientes aproximaciones.

$$R_A \ll 2R_{cm}$$

$$G \gg 1$$

Entonces

$$R'_A = R_A \parallel 2R_{cm} = R_A$$

y

$$A_- = \frac{-R_F}{R_A}$$

Esto es igual al resultado encontrado antes para el modelo simplificado. En diseño, se elige $R_1 = R_A \parallel R_F$ para conseguir el balance de polarización.

Las variables para el amplificador operacional inversor se resumen en la tabla 9.2.

9.4.3 Entradas múltiples. Amplificador inversor

Si las tensiones $v_a, v_b, \ldots, v_m$ se aplican al punto de suma (entrada inversora al amplificador operacional) a través de los resistores $R_a, R_b, \ldots, R_m$,

$$\begin{aligned} v_o &= -\frac{R_F v_a}{R_a} - \frac{R_F v_b}{R_b} - \cdots - \frac{R_F v_m}{R_m} \\ &= -R_F \sum_{j=a}^{m} \frac{v_j}{R_j} \end{aligned} \tag{9.24}$$

Para alcanzar el balance de polarización, se elige

$$R_1 = R_F \parallel R_a \parallel R_b \parallel \cdots \parallel R_m \parallel R_L$$

Defínase

$$R_A = R_a \parallel R_b \parallel \cdots \parallel R_m$$

Entonces la resistencia de salida está dada por

$$R_{\text{sal}} = \frac{R_o(1 + R_F/R_A)}{G}$$

y el ancho de banda es

$$\text{BW} = \frac{\text{GBP}}{1 + R_F/R_A}$$

Si sólo se utilizan dos entradas, la tensión de salida es

$$v_o = \frac{-R_F v_a}{R_a} - \frac{R_F v_b}{R_b} \tag{9.25}$$

La resistencia de entrada en v_a es aproximadamente igual a R_a, y la resistencia de entrada en v_b es aproximadamente R_b. Se puede obtener un sumador de dos entradas con ganancia unitaria con una tensión de salida de

$$v_o = -v_a - v_b \tag{9.26}$$

tomando los siguientes valores de resistencias:

$$R_F = R_a = R_b$$

La resistencia de la terminal de entrada no inversora hacia tierra se elige para alcanzar el balance de polarización. Por tanto,

$$R_1 = \frac{R_F}{3}$$

Entonces se obtiene

$$1 + \frac{R_F}{R_A} = 1 + \frac{R_F}{R_a \parallel R_b} = 3$$

Una ganancia simétrica (es decir, no unitaria) para un sumador de dos entradas se obtiene haciendo

$$R_a = R_b = R$$

y

$$R_1 = \frac{R_F \parallel R}{2}$$

En este caso, la tensión de salida es

$$v_o = -\left(\frac{R_F}{R}\right)(v_a + v_b) \tag{9.27}$$

La resistencia de entrada es aproximadamente R. Como

$$R_A = \frac{R}{2}$$

entonces

$$1+\frac{R_F}{R_A}=1+\frac{2R_F}{R}$$

Si m entradas se suman a través de resistores iguales (R), la tensión de salida es

$$v_o=-\left(\frac{R_F}{R}\right)\sum_{j=1}^{m} v_j \qquad (9.28)$$

Para este sumador inversor de entradas múltiples y ganancia simétrica, la resistencia en cada entrada es de alrededor de:

$$R_A=\frac{R}{m}$$

por lo que

$$1+\frac{R_F}{R_A}=1+\frac{mR_F}{R}$$

y

$$R_1=\frac{R_F \parallel R}{m}$$

La resistencia de salida es

$$R_{\text{sal}}=\left(\frac{R_o}{G}\right)\left(1+\frac{mR_F}{R}\right) \qquad (9.29)$$

Ejemplo 9.8

Diséñese y analícese un amplificador inversor de tres entradas utilizando un amplificador operacional 741 donde

$$v_o=-4v_a-2v_b-3v_c$$

y la resistencia de entrada mínima entre las terminales + y − sea $R_{\text{mín}}=8\ \text{k}\Omega$.

SOLUCIÓN Se utiliza el método de diseño de la sección 8.6 para encontrar

$$X=0; \quad Y=9; \quad Z=-10$$

Entonces

$$R_F = 10 \times 8 \text{ k}\Omega = 80 \text{ k}\Omega$$

$$R_a = \frac{80 \text{ k}\Omega}{4} = 20 \text{ k}\Omega$$

$$R_b = \frac{80 \text{ k}\Omega}{2} = 40 \text{ k}\Omega$$

$$R_c = \frac{80 \text{ k}\Omega}{3} = 26.7 \text{ k}\Omega$$

$$R_x = \frac{80 \text{ k}\Omega}{10} = 8 \text{ k}\Omega$$

La ganancia del amplificador es $1 + R_F/R_A = 10$ y el ancho de banda del amplificador es 1 MHz/10 = 100 kHz. Se encuentra la resistencia de entrada como sigue:

$$R_{en}(v_a) = 20 \text{ k}\Omega$$

$$R_{en}(v_b) = 40 \text{ k}\Omega$$

$$R_{en}(v_c) = 26.7 \text{ k}\Omega$$

La resistencia de salida es aproximadamente $75(10)/10^5 = 7.5$ MΩ. Para conseguir el balance de polarización, se ve que

$$R_x = R_a \parallel R_b \parallel R_c \parallel R_F = 8 \text{ k}\Omega$$

9.5 SUMA DIFERENCIAL

Ya se vio que un amplificador operacional se puede configurar para que produzca una salida que es la suma ponderada de múltiples entradas. Si la suma incluye tanto signos positivos como negativos, se obtiene una *suma diferencial.* La configuración del amplificador operacional de la figura 9.27 produce una tensión de salida, v_o, dada por

$$v_o = \left(1 + \frac{R_F}{R_A}\right)(R_1 \parallel R_2 \parallel R_3 \parallel \cdots \parallel R_n \parallel R_x)\sum_{i=1}^{n} \frac{v_i}{R_i} - R_F \sum_{j=a}^{m} \frac{v_j}{R_j} \qquad (9.30)$$

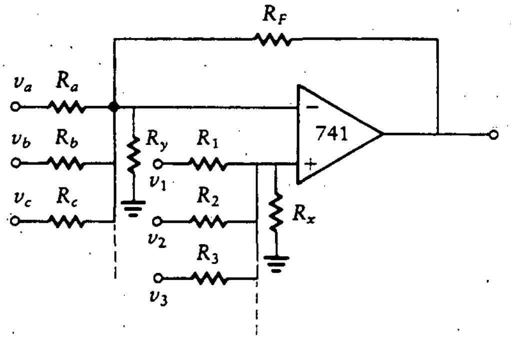


Figura 9.27
Suma diferencial.

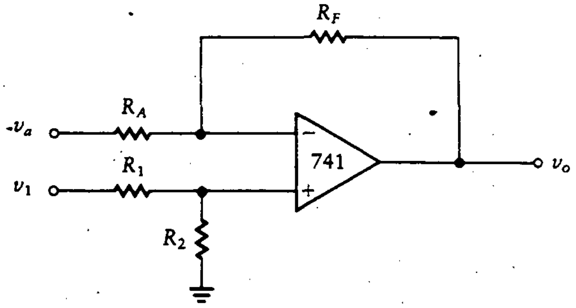


Figura 9.28
Amplificador de diferencia.

donde

$$R_A = R_a \parallel R_b \parallel R_c \parallel \cdots \parallel R_m \parallel R_y$$

Por lo general, se deberían elegir los resistores para alcanzar el balance de polarización. Esto es,

$$R_1 \parallel R_2 \parallel R_3 \parallel \cdots \parallel R_x = R_F \parallel R_a \parallel R_b \parallel R_c \parallel \cdots \parallel R_y$$

La resistencia de entrada para cada entrada inversora v_j es R_j.

Si tanto la terminal inversora como la no inversora tienen una sola entrada, el resultado es un *amplificador de diferencia,* el cual se ilustra en la figura 9.28. La tensión de salida para esta configuración es

$$v_o = \left(1 + \frac{R_F}{R_A}\right)\left(\frac{R_2}{R_1 + R_2}\right) v_1 - \frac{R_F v_a}{R_A} \tag{9.31}$$

Con el fin de conseguir el balance de polarización, normalmente se elige

$$R_1 \parallel R_2 = R_A \parallel R_F$$

La resistencia de entrada para la terminal v_a es R_A. La resistencia de entrada para la terminal v_1 es $R_1 + (R_2 \parallel R_{en})$, donde R_{en} se encuentra de la ecuación (9.11) y es

$$R_{in} = 2R_{cm} \left\| \left(\frac{GR_i}{1 + R_F/R_A} \right) \right. \approx 2R_{cm} \tag{9.32}$$

R_{sal} se encuentra de la ecuación (9.13) y es igual a

$$R_{sal} = \frac{R_o(1 + R_F/R_A)}{G} \tag{9.33}$$

El ancho de banda se encontró en la ecuación (9.17), y está dado por

$$\text{BW} = \frac{\text{GBP}}{1 + R_F/R_A} \tag{9.34}$$

Si se desea conseguir una ganancia unitaria de la diferencia, la salida está dada por

$$v_o = v_1 - v_a$$

y se establece

$$R_A = R_F = R_1 = R_2$$

Si se utiliza un amplificador operacional 741, un valor típico para estos resistores es 10 kΩ. El ancho de banda es más o menos de 500 kHz. La resistencia de entrada en v_a es entonces 10 kΩ, mientras que en la terminal v_1 la resistencia es 20 kΩ.

Supóngase que se desea la diferencia con ganancia simétrica, pero sin que las ganancias sean unitarias. Entonces se hace que

$$R_1 = R_A$$

y

$$R_2 = R_F$$

Entonces la tensión de salida es

$$v_o = \frac{R_F(v_1 - v_a)}{R_A} \tag{9.35}$$

La resistencia de entrada en la terminal v_a es R_A, y en la terminal no inversora es $R_A + (R_F \parallel R_{en})$, que es aproximadamente $R_A + R_F$, ya que $R_{en} \gg R_F$. Los valores para la resistencia de entrada, R_o, y el ancho de banda se determinan de manera sencilla utilizando las ecuaciones (9.32), (9.33) y (9.34).

Ejercicios

D9.7 Encuéntrense la ganancia y el ancho de banda para el amplificador operacional 741 de la figura 9.24 con $R_F = 10$ kΩ y $R_A = 1$ kΩ.

Resp.: $A_v = -10$; BW = 91 kHz

D9.8 Encuéntrense el ancho de banda y la resistencia de entrada para el amplificador de diferencia de la figura 9.28, utilizando el amplificador operacional 741. $R_F = R_2 = 10$ kΩ y $R_A = R_1 = 1$ kΩ.

Resp.: $R_{en}(v_1) = 11$ kΩ; BW = 91 kHz;
$R_{en}(v_a) = 1$ kΩ

Una modificación útil de la configuración de la figura 9.28 es el *conmutador de signo*, que se muestra en la figura 9.29. Con el conmutador en la posición mostrada en la figura 9.29(a),

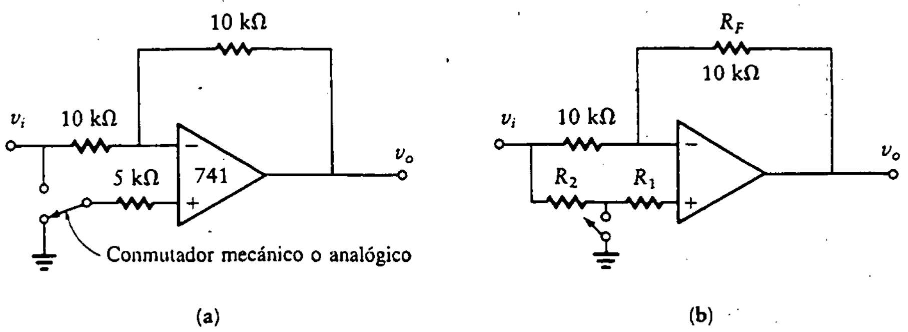
$$v_o = -v_i$$

para la posición opuesta del conmutador,

$$v_o = 2v_i - v_i = v_i$$

La resistencia de entrada es 10 kΩ para cada posición, y la polarización está balanceada en ambas posiciones. En la figura 9.29(a) se utiliza un conmutador de un polo y dos posiciones. El conmutador de signo también se puede lograr con el conmutador de una sola posición que se muestra en la figura 9.29(b). Sin embargo,

Figura 9.29
Conmutador de signo.



para esta realización, la polarización y las resistencias de entrada no son iguales en las dos posiciones del conmutador.

9.6 AMPLIFICADOR 101

El amplificador operacional 101 tiene características similares a las del 741. Un rasgo adicional es que el amplificador 101 proporciona facilidades para compensación externa, la cual se puede utilizar para aumentar el ancho de banda.

Las características principales del amplificador operacional 101 son

$$R_i = 2\ \mathrm{M\Omega}$$
$$2R_{cm} = 400\ \mathrm{M\Omega}$$
$$R_o = 100\ \Omega$$
$$G = 10^5 \quad \text{(compensado externamente)}$$

El *ajuste de desplazamiento* para el amplificador operacional 101 se logra con cualquiera de los arreglos mostrados en la figura 9.30. La terminal 1 del amplificador también se utiliza para *compensar* el ajuste del desplazamiento.

La *compensación por polo simple* se logra colocando un capacitor, C, entre las terminales 1 y 8 del empaque del amplificador operacional (véase Fig. 9.31(a)). Si se utiliza un capacitor de valor $C = 30$ pF, el GBP es

$$\mathrm{GBP} = 10^6\ \mathrm{Hz}$$

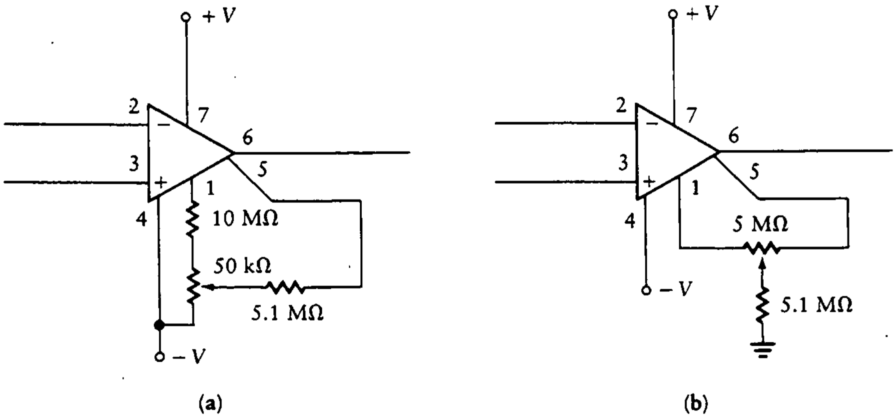
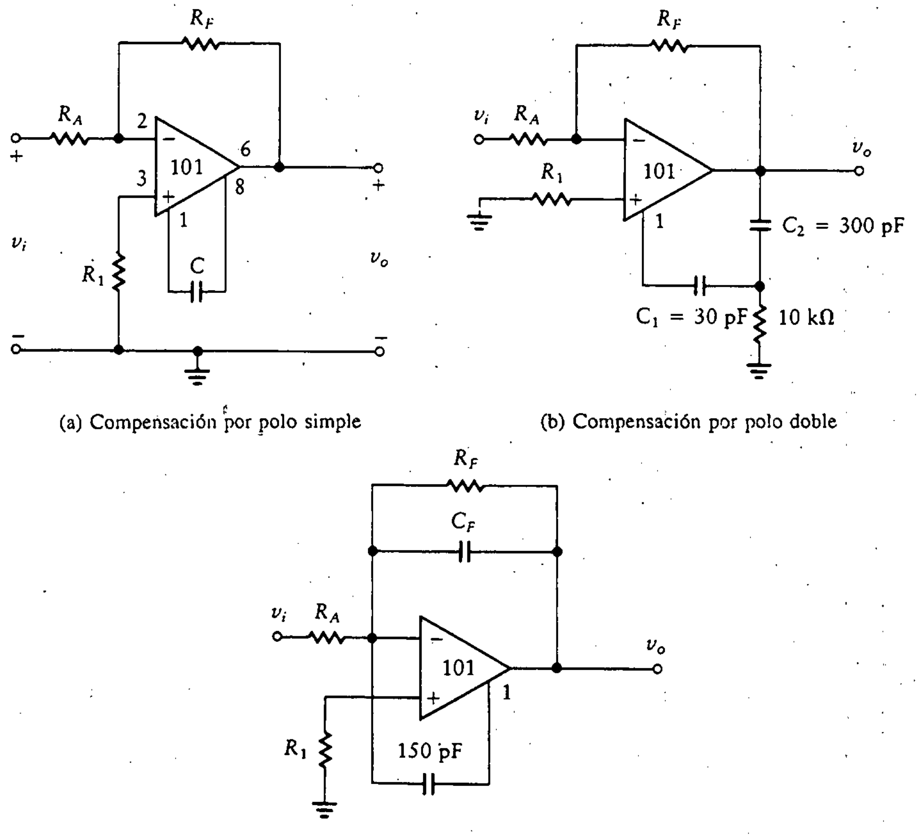


Figura 9.30 Ajuste de desplazamiento en la entrada.

Figura 9.31
Compensación en el 101.



(a) Compensación por polo simple

(b) Compensación por polo doble

(c) Compensación por retroalimentación

La amplitud de la respuesta como función de la frecuencia se muestra en la figura 9.32(a). Si el valor del capacitor se cambia a 3 pF, el GBP aumenta a

$$\text{GBP} = 10^7 \text{ Hz}$$

La compensación con $C = 3$ pF no se debe utilizar para amplificadores con ganancias inferiores a 20 dB. La respuesta en frecuencia resultante se muestra en la figura 9.32(b). Las figuras ilustradas son aproximaciones por *diagramas de Bode* con líneas rectas. Estos diagramas se presentan en el capítulo 10.

Si la compensación es por *polo doble* en vez de polo simple, el circuito es como se muestra en la figura 9.31(b). La respuesta en frecuencia presenta una caída con la frecuencia con el doble de pendiente (−40 dB por década) que la compensación por polo simple.

En la figura 9.31(c) se ilustra una *compensación por retroalimentación*. Esto es, en lugar de conectar la terminal 1 a la salida a través de un capacitor, se conecta a la entrada. Este sistema tiene un GBP de

$$\text{GBP} = 10^7 \text{ Hz}$$

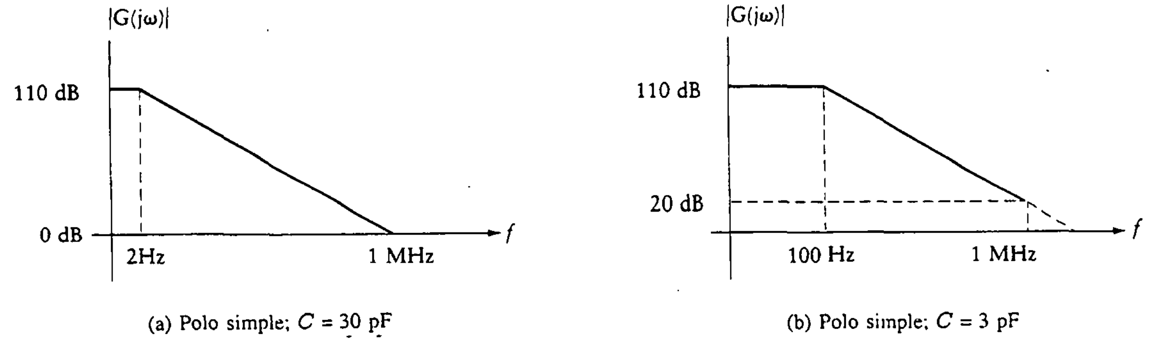


Figura 9.32 Compensación en el 101.

La capacitancia, C_F, se calcula de la ecuación (9.36):

$$C_F = \frac{1}{2\pi \times 3 \times 10^6 \times R_F} \tag{9.36}$$

R_F se selecciona utilizando consideraciones de ganancia.

9.6.1 Amplificadores 101 no inversores

Si se utiliza la configuración de la figura 9.33, la tensión de salida es

$$v_o = \left(1 + \frac{R_F}{R_A}\right) v_i$$

Las resistencias de entrada y de salida de este amplificador se encuentran aplicando las ecuaciones (9.11) y (9.13) como sigue:

$$R_{en} = 2R_{cm} \left\| \left[\frac{R_A G R_i}{R_A + R_F} \right] \right.$$

$$= 400\ \text{M}\Omega \left\| \left[\frac{10^5(2\ \text{M}\Omega)}{1 + (R_F/R_F)} \right] \right. \approx 400\ \text{M}\Omega$$

$$R_{sal} = \frac{R_o}{R_A G/(R_F + R_A)}$$

$$= \frac{100(1 + R_F/R_A)}{10^5}$$

El ancho de banda se define como el intervalo de frecuencias en el cual la ganancia está dentro del 0.707 de su máximo valor. Esto se deriva en la ecuación (9.17). Si se utiliza un capacitor de 30 pF en una compensación por polo simple, el ancho de banda está dado por

$$\text{BW}_{30} = \frac{\text{GBP}_{30}}{1 + R_F/R_A} = \frac{10^6}{1 + R_F/R_A} \tag{9.37}$$

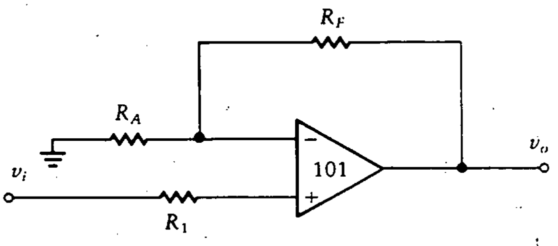


Figura 9.33 Amplificador 101 no inversor.

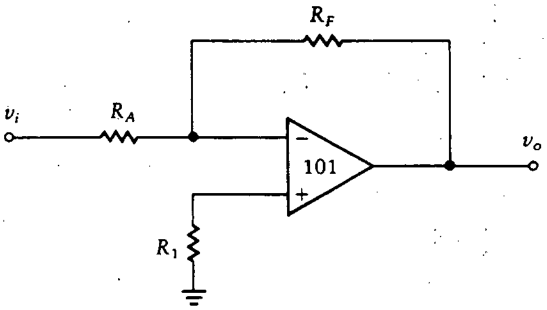


Figura 9.34 Amplificador 101 inversor

Si se utiliza un capacitor de 3 pF en compensación por polo simple o con compensación por retroalimentación, el ancho de banda es

$$BW_3 = \frac{GBP_3}{1 + R_F/R_A} = \frac{10^7}{1 + R_F/R_A} \tag{9.38}$$

Para balancear la polarización, se hace

$$R_1 = R_A \parallel R_F$$

9.6.2 Amplificadores 101 inversores

La tensión de salida para un amplificador 101 inversor, como se muestra en la figura 9.34, es

$$v_o = \frac{-R_F v_i}{R_A}$$

Otra vez, para conseguir el balance de polarización, se elige

$$R_1 = R_A \parallel R_F$$

R_{en} y R_o se encuentran como en las ecuaciones (9.12) y (9.13), y están dadas por

$$R_{en} = R_A$$

$$R_{sal} = \frac{R_o(1 + R_F/R_A)}{G} = \frac{100(1 + R_F/R_A)}{10^5}$$

Con compensación por polo doble con un capacitor de 30 pF, el ancho de banda se encuentra de la ecuación

$$BW_{30} = \frac{GBP_{30}}{1 + R_F/R_A} = \frac{10^6}{1 + R_F/R_A}$$

Esto es igual que para el amplificador no inversor de la sección anterior.

9.7 DISEÑO DE AMPLIFICADORES UTILIZANDO VARIOS AMPLIFICADORES OPERACIONALES

Ya se conocen las características eléctricas externas del amplificador operacional y se pueden utilizar como bloques de construcción en el diseño de amplificadores que requieren más de un amplificador operacional. Es importante para el diseñador especificar la resistencia de entrada a cada terminal, así como lo son también las características de ancho de banda y resistencia de salida. Otras características que ayudan a seleccionar el tipo adecuado de amplificador operacional incluyen la CMRR, la PSRR y la razón de cambio.

El primer paso en el diseño de circuitos con varios amplificadores operacionales es determinar la cantidad de ganancia por etapa. Esto se consigue dividiendo el producto ganancia por ancho de banda del amplificador operacional seleccionado por la respuesta en frecuencia requerida (ancho de banda).

El siguiente paso es determinar cuáles entradas son negativas y cuáles positivas. Esto permite saber si las conexiones se deben hacer hacia la terminal negativa o la positiva del amplificador operacional.

Si la resistencia de entrada requerida es mayor que 1 MΩ, la tensión de entrada debe ser alimentada hacia la terminal no inversora del amplificador operacional. Esto es cierto, ya que la resistencia de entrada en la terminal inversora es el valor de la resistencia de acoplamiento utilizada, y ésta es bastante menor que 1 MΩ. Existen otras consideraciones en el diseño, como el aislamiento entre las fuentes y las relaciones de fase. Se toman juntos estos conceptos a través de los siguientes dos ejemplos de diseño.

Ejemplo 9.9 Amplificador con varios amplificadores operacionales (diseño)

Diséñese un amplificador que esté compuesto por amplificadores operacionales 741 con el fin de obtener una ganancia de 800 con una impedancia de entrada de al menos 20 MΩ. El amplificador debe responder a una frecuencia de 40 kHz. Determínese el valor de todos los resistores, la resistencia de salida, la resistencia de entrada y el ancho de banda.

SOLUCIÓN La máxima ganancia por etapa es determinada por el producto ganancia por ancho de banda del amplificador operacional 741 y el ancho de banda especificado. Por tanto,

$$\frac{\text{ganancia máxima}}{\text{etapa}} = \frac{1\ \text{MHz}}{40\ \text{kHz}} = 25$$

Para conseguir una ganancia total de 800, se necesitan por lo menos tres etapas de amplificación. Para conseguir una impedancia de entrada elevada, la entrada

al primer amplificador operacional se debe conectar a la entrada no inversora. La ganancia total se debe distribuir entre las tres etapas, por lo que una posible elección es diseñar dos etapas con ganancias de 10 cada una y la tercera con una ganancia de 8. Todas las etapas son no inversoras.

Al diseñar etapas con un solo amplificador operacional en las primeras secciones del texto, se encuentra que no existe suficiente información para especificar todos los valores del diseño. Se debe elegir el valor de uno o más resistores antes de proseguir con el diseño. Ello también es cierto en este caso. Siguiendo los procedimientos, un posible conjunto de resistores para los amplificadores operacionales con ganancias de 10 es

$$R_F = 90\ \text{k}\Omega; \qquad R_A = 10\ \text{k}\Omega; \qquad R_1 = 9\ \text{k}\Omega$$

Para el amplificador operacional que necesita una ganancia de 8, se puede utilizar

$$R_F = 70\ \text{k}\Omega; \qquad R_A = 10\ \text{k}\Omega; \qquad R_1 = 8.75\ \text{k}\Omega$$

El diseño resultante se muestra en la figura 9.35. El ancho de banda del amplificador es el menor de los tres anchos de banda individuales de las etapas. Utilizando la etapa con ganancia de 10, se obtiene

$$1 + \frac{R_F}{R_A} = 1 + \frac{90\ \text{k}\Omega}{10\ \text{k}\Omega} = 10$$

Entonces el ancho de banda está dado por

$$\text{BW} = \frac{1\ \text{MHz}}{10} = 100\ \text{kHz}$$

que excede el valor requerido. La resistencia de entrada es aproximadamente 400 MΩ (véase Ec. (9.12)), lo que también excede los requerimientos. La resistencia de salida se encuentra a partir de la ecuación (9.8):

$$R_{\text{sal}} = \frac{75(1 + R_F/R_A)}{10^5} = 7.5\ \text{m}\Omega$$

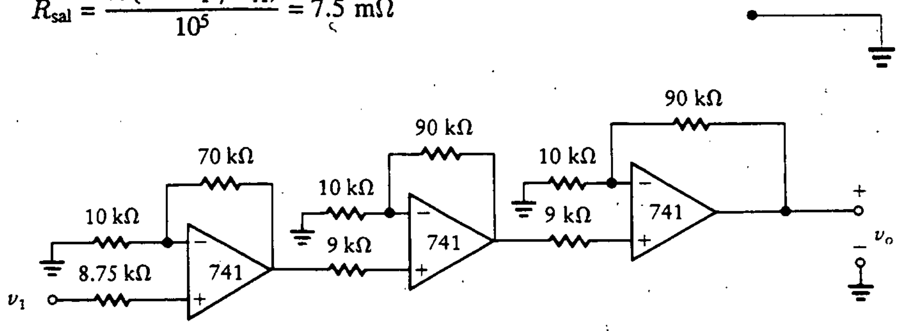


Figura 9.35
Solución para el ejemplo 9.9.

Ejemplo 9.10 Amplificador con varios amplificadores operacionales (diseño)

Diséñese un amplificador compuesto de amplificadores operacionales 741 para obtener una salida de

$$v_o = 20v_1 - 40v_2 - 45v_3$$

El amplificador debe responder a frecuencias de hasta 50 kHz. Determínese el valor de todos los resistores, la resistencia de salida, la resistencia de entrada y el ancho de banda del amplificador.

SOLUCIÓN Se utiliza el procedimiento de diseño de la sección 8.6. Se puede reducir el número de resistores en el diseño forzando a que el parámetro, Z, sea cero. Esto sería correcto si la relación entrada-salida fuera

$$v_o = 20v_1 - 10v_2 - 9v_3$$

En este punto, se determina la máxima ganancia en cada etapa utilizando los requerimientos de ancho de banda, como sigue:

$$\frac{\text{ganancia máxima}}{\text{etapa}} = \frac{\text{GBP}}{\text{BW}} = \frac{1\text{ MHz}}{50\text{ kHz}} = 20$$

Por tanto, se puede conseguir la ganancia requerida del canal v_1. Si la ganancia de cualquier canal es mayor que 20, se obtiene la ganancia con dos amplificadores en serie.

Como esta ecuación de entrada-salida no es igual que la relación dada, es necesario tener etapas de amplificación adicionales que multipliquen v_2 por 4 y v_3 por 5. La etapa de amplificación principal se diseña utilizando los siguientes valores de resistores (se elige R_F y luego se encuentran los demás valores).

$$R_F = 180\text{ k}\Omega$$

$$R_1 = \frac{180\text{ k}\Omega}{20} = 9\text{ k}\Omega$$

$$R_2 = \frac{180\text{ k}\Omega}{10} = 18\text{ k}\Omega$$

$$R_3 = \frac{180\text{ k}\Omega}{9} = 20\text{ k}\Omega$$

La primera tensión, v_1, se conecta directamente a la terminal no inversora, lo que da una resistencia de salida de más o menos 400 MΩ. La amplificación de v_2 por 4 se consigue con una etapa que utilice

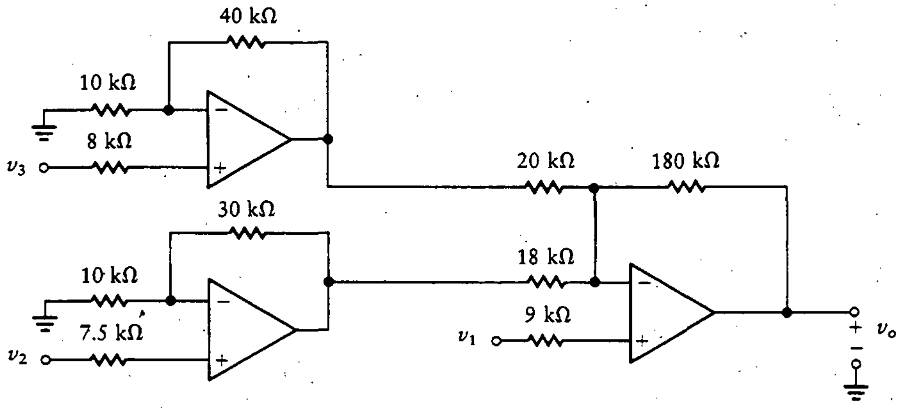


Figura 9.36 Solución para el ejemplo 9.10.

$$R_A = 10\ \text{k}\Omega$$
$$R_F = 30\ \text{k}\Omega$$
$$R_1 = 7.5\ \text{k}\Omega$$

La amplificación de v_3 por 5 se logra por medio de una etapa que utilice

$$R_A = 10\ \text{k}\Omega$$
$$R_F = 40\ \text{k}\Omega$$
$$R_1 = 8\ \text{k}\Omega$$

La resistencia de salida está dada por

$$R_{\text{sal}} = \frac{75\left[1 + R_F(R_2 \parallel R_3)\right]}{10^5} = 15\ \text{m}\Omega$$

El ancho de banda para el diseño se determina por medio del amplificador con mayor ganancia ($20v_1$),

$$\text{BW} = \frac{1\ \text{MHz}}{1 + \text{R}_\text{F}(\text{R}_2 \parallel \text{R}_3)} = 50\ \text{kHz}$$

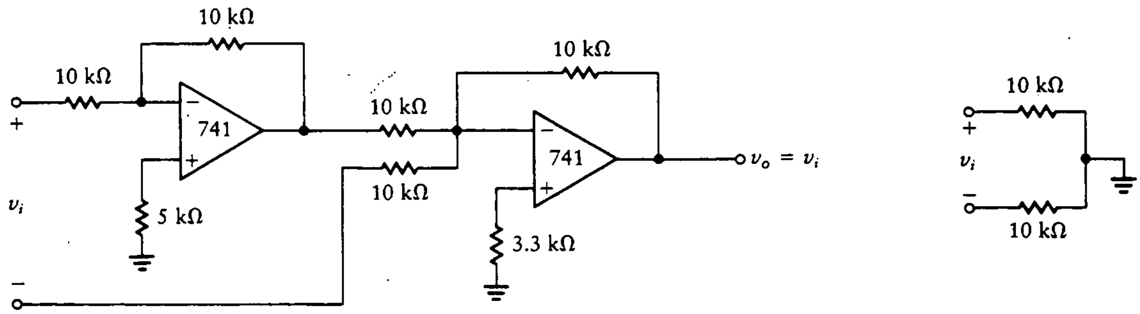
El amplificador resultante se muestra en la figura 9.36.

9.8 AMPLIFICADORES CON ENTRADAS Y SALIDAS BALANCEADAS

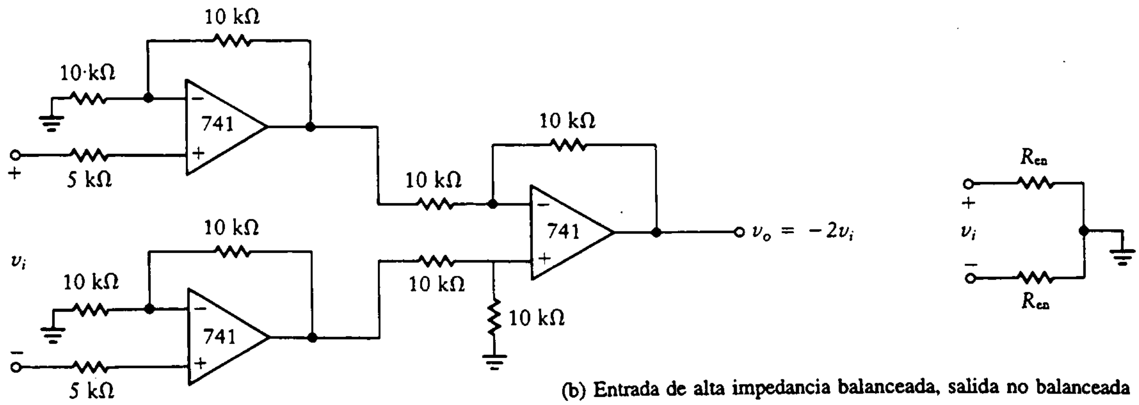
Los efectos de desplazamientos se pueden eliminar o balancear de varias formas. Un método directo es aplicar una pequeña tensión en la entrada para cancelar los efectos del desplazamiento. A menudo esta tensión se toma de un potenciómetro, por lo que se puede ajustar. Un segundo método es colocar dos amplificadores operacionales en cascada de manera que los desplazamientos se cancelen entre sí.

En la figura 9.37 se muestran varias configuraciones de entradas y salidas balanceadas. Éstas utilizan el segundo método de balanceo, el de colocar en cascada dos amplificadores operacionales.

En la configuración mostrada, por ejemplo, en la figura 9.37(b), si v_1 se toma de una fuente de alta impedancia, los resistores de 5 kΩ ya no son útiles. La corriente de polarización podría no estar balanceada en cada amplificador. Sin embargo, los efectos de desplazamientos iguales debido a corrientes de polarización sin balancear en los dos amplificadores de entrada podrían cancelarse entre sí. El arreglo alterno mostrado en la figura evita este problema.

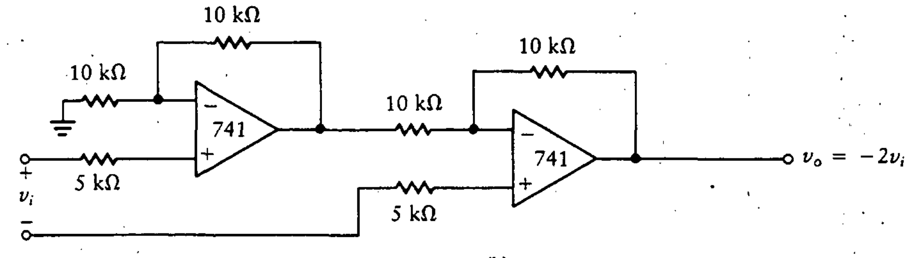


(a) Entrada balanceada, salida no balanceada

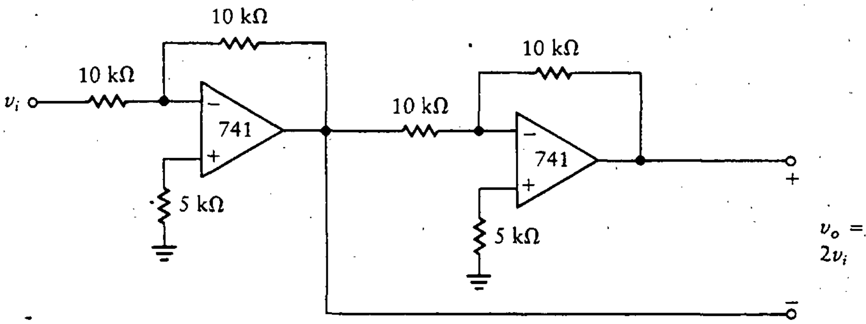


(b) Entrada de alta impedancia balanceada, salida no balanceada

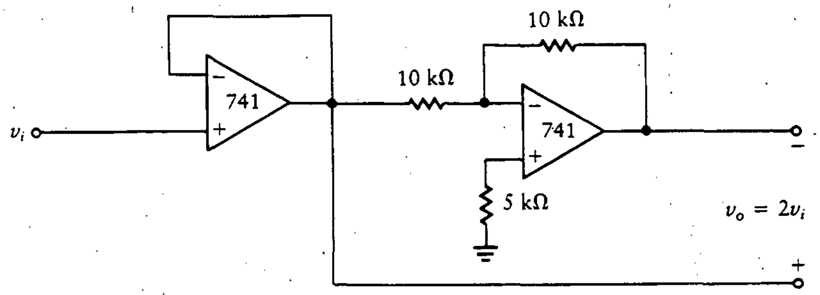
Figura 9.37 Entradas y salidas balanceadas.



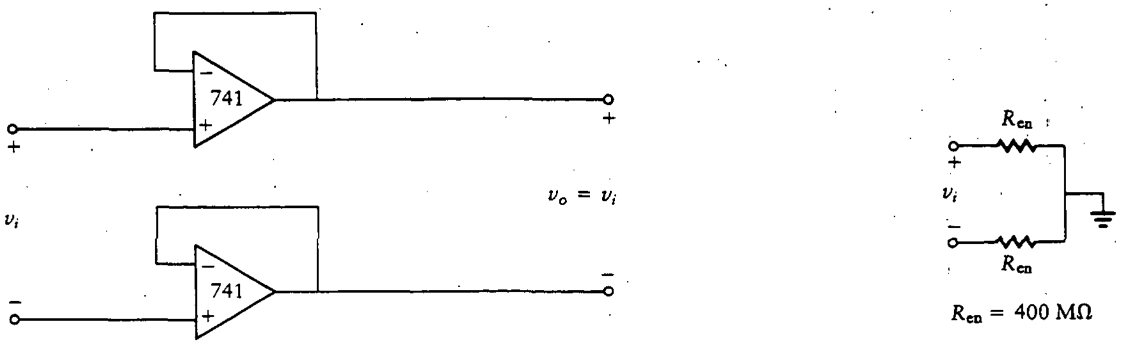
Arreglo alterno para (b)



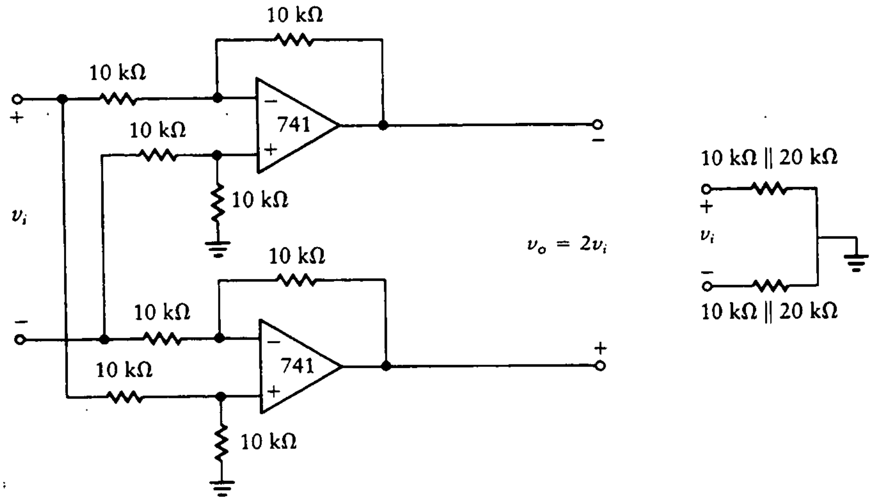
(c) Entrada no balanceada, salida balanceada



(d) Entrada de alta impedancia no balanceada, salida balanceada



(e) Entrada diferencial de alta impedancia, salida balanceada



(f) Entrada balanceada, salida balanceada

Figura 9.37 (continuación)

9.9 ACOPLAMIENTO ENTRE ENTRADAS MÚLTIPLES

Cuando se conecta más de una señal de entrada ya sea a la entrada inversora o a la no inversora del amplificador operacional, se puede producir un acoplamiento entre las entradas. Con frecuencia esto es un problema molesto, ya que la variación en un canal puede producir entradas en un canal adjunto. Considérese el amplificador operacional no inversor con dos entradas de la figura 9.38(a), donde cada canal se alimenta con una fuente de tensión en serie con una resistencia de fuente. Aquí, v_1 y v_2 son fuentes de tensión ideales con resistencias en serie r_1 y r_2, respectivamente. Se escribirán las ecuaciones para las tensiones efectivas v_1' y v_2' en el amplificador sumador. Con v_2 igual a cero, como se muestra en la figura 9.38(b), la tensión en el amplificador operacional, v_2', es

$$v_2' = v_1 \frac{r_2}{r_1 + r_2 + R_1 + R_2}$$

Cuando v_1 es igual a cero, la tensión v_1' es (véase Fig. 9.38(c))

$$v_1' = v_2 \frac{r_1}{r_1 + r_2 + R_1 + R_2}$$

Nótese que la tensión v_2' se debe a v_1 y la tensión v_1' se debe a v_2. Este efecto de acoplamiento produce una diafonía indeseable entre las dos entradas. El efecto se puede eliminar diseñando un sistema con $r_1 = 0$ y $r_2 = 0$. Por tanto, para eliminar

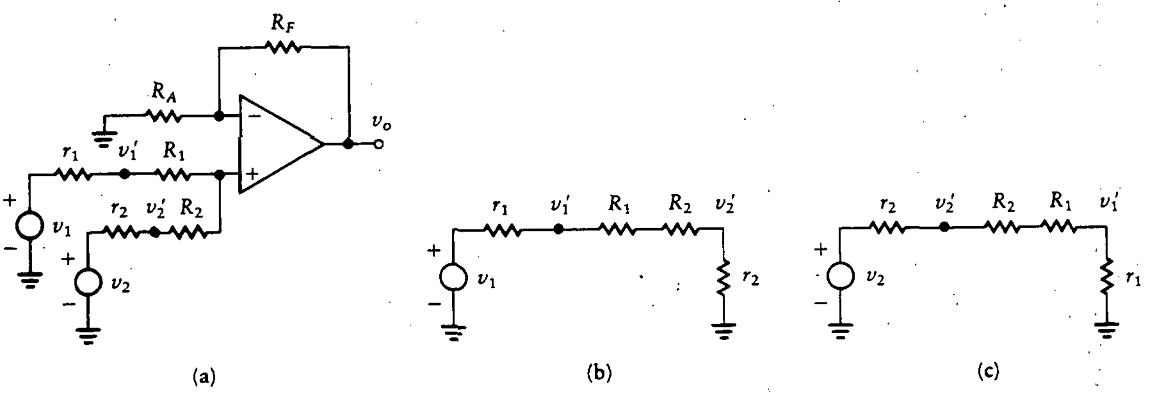


Figura 9.38 Acoplamiento entre entradas múltiples.

el acoplamiento, cada entrada de un inversor múltiple se debe alimentar con un amplificador operacional que tenga una impedancia de salida cero (o muy baja).

9.10 AMPLIFICADORES DE AUDIO

Una utilización común para amplificadores lineales es proporcionar ganancia a sistemas de audio. Un *amplificador de audio* recibe una señal de entrada de un micrófono, una aguja de tocadiscos, un tocacintas o un sintonizador de AM/FM. La salida del amplificador alimenta un sistema de bocinas, auriculares o una grabadora. Estos dispositivos de entrada por lo general tienen baja tensión de salida y alta impedancia de salida. Por tanto, la impedancia de entrada del amplificador debe ser muy alta de modo que sea mucho mayor a la impedancia de salida del dispositivo de entrada. Si esto no se cumple, el amplificador carga de manera significativa al dispositivo de entrada, y por tanto la ganancia disminuye.

Los dispositivos que son alimentados por el amplificador en general tienen baja impedancia. Por ejemplo, la impedancia de una simple bocina es normalmente de 8 Ω. Estos dispositivos pueden requerir potencias del orden de 1 a 10 W.

Ejemplo 9.11 Amplificador de audio

Encuéntrese la máxima resistencia de salida para un amplificador de audio que debe desarrollar una potencia de salida de 1 W en una bocina de 8 Ω. Encuéntrese también la corriente que debe ser capaz de proporcionar el amplificador operacional. Supóngase que se dispone de una tensión de salida de 16 V pico a pico en el amplificador sin carga.

SOLUCIÓN La corriente de carga pico está dada por

$$i_{pico} = \frac{v_{pico}}{R_s + R_L} = \frac{8}{R_s + 8}$$

donde R_S es la resistencia de salida del amplificador. Si se supone que la salida es senoidal, la potencia proporcionada a la carga es

$$P_L = \frac{i_{pico}^2 R_L}{2}$$
$$= 4i_{pico}^2 = 4\left[\frac{8}{R_s + 8}\right]^2 = 1$$

Como resulta que la potencia en la carga es 1 W, esta expresión se hace igual a 1. Entonces se despeja la ecuación para encontrar la resistencia de salida, R_s:

$$R_s = 8\ \Omega$$

Esta es la máxima resistencia de salida del amplificador.

Ahora se encuentra la corriente de salida necesaria. Con el fin de desarrollar 1 W de potencia en una carga de 8 Ω, la corriente rms necesaria es 0.353 A. Esto es, si esta cantidad se eleva al cuadrado y se multiplica por 8 Ω (la resistencia de carga), el resultado es uno. Por tanto, el amplificador operacional debe ser capaz de proporcionar esta cantidad de corriente. Por lo común, los amplificadores operacionales no proporcionan suficiente potencia para alimentar bocinas del nivel deseado. El 741, por ejemplo, está limitado a aproximadamente 20 mA. Una alternativa es que el diseñador utilice el amplificador operacional para excitar un amplificador Darlington, o CSDC, analizado en la sección 6.4.

PROBLEMAS

9.1 Considérese el modelo mejorado para el amplificador operacional con

$$G = 10^5$$
$$R_i = 1\ \text{M}\Omega$$
$$R_{cm} = 200\ \text{M}\Omega$$

Despéjese la red de la figura P9.1 para la resistencia, R_o.

9.2 En cada uno de los circuitos de la figura P9.2, $V_{io} = 10$ mV, el coeficiente de temperatura para la tensión de desplazamiento en la entrada es 10 μV/°C, la temperatura es 50°C y $R_{en} = 1$ MΩ. Encuéntrese el mayor desplazamiento posible en v_o debido a V_{io}.

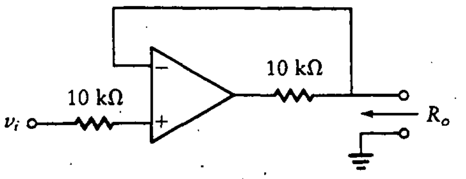


Figura P9.1

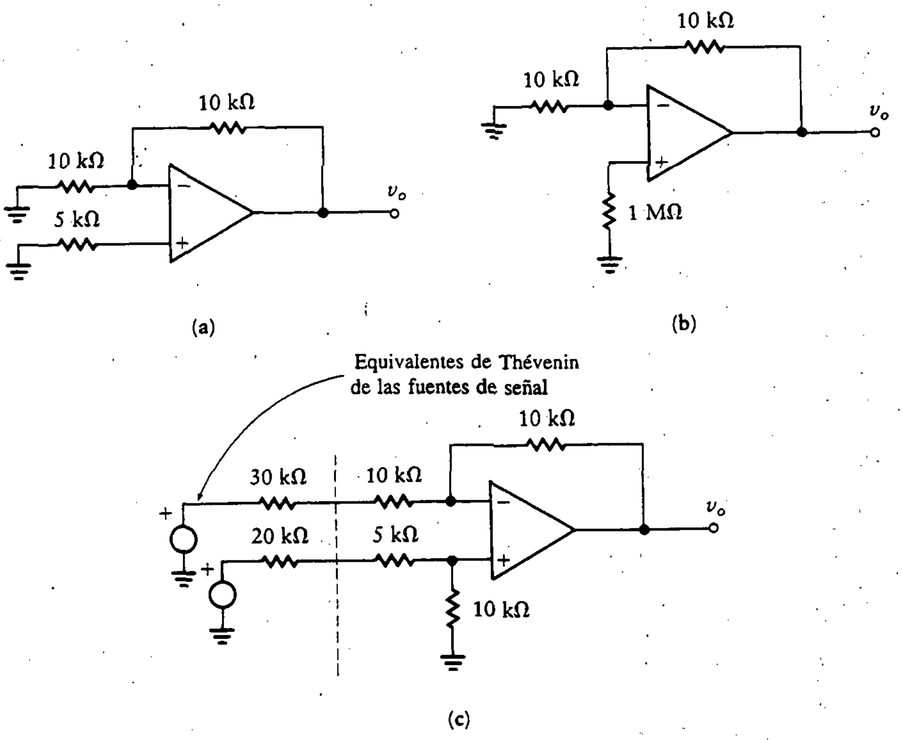


Figura P9.2

9.3 Para cada uno de los circuitos de la figura P9.2, la corriente de polarización de entrada del amplificador operacional es 800 nA, el desplazamiento de polarización es 20 nA, el coeficiente de temperatura de la corriente de polarización de entrada es -10 nA/°C y el coeficiente de temperatura para el desplazamiento de la corriente de polarización de entrada es -2 nA/°C. Encuéntrese lo siguiente.

a. El mayor desplazamiento posible en v_o debido a efectos promedio en la corriente de polarización.
b. El mayor desplazamiento posible en v_o debido a efectos de desplazamiento de la polarización.
c. El mayor desplazamiento posible en v_o debido al desplazamiento de la corriente de polarización y el desplazamiento de la polarización combinados.

9.4 Diséñese un amplificador con un amplificador operacional 741 que proporcione una salida dada por la ecuación

$$v_o = 10v_1 + 6v_2 + 4v_3$$

La resistencia equivalente en las terminales positiva y negativa es 10 kΩ. Determínense el valor de cada resistor, el ancho de banda, la resistencia en cada entrada y la resistencia de salida.

9.5 Diséñese un amplificador con un amplificador operacional 741 que proporcione una salida dada por la ecuación

$$v_o = -10v_1 - 5v_2 - 4v_3$$

La resistencia equivalente en las terminales positiva y negativa es 10 kΩ. Determínense el valor de cada resistor, el ancho de banda, la resistencia en cada entrada y la resistencia de salida.

9.6 Diséñese un amplificador con un amplificador operacional 741 que proporcione una salida dada por la ecuación

$$v_o = 10v_1 + 6v_2 - 3v_3 - 4v_4$$

La resistencia equivalente en las terminales positiva y negativa es 10 kΩ. Determínense el valor de cada resistor, el ancho de banda, la resistencia en cada entrada y la resistencia de salida.

En los problemas 9.7 a 9.16, diséñense circuitos con el amplificador operacional 741 que generen la tensión de salida indicada, v_o, a partir de las tensiones de entrada v_1, v_2 y v_3. Asegúrese que las corrientes de polarización estén balanceadas en cada diseño. Para cada diseño, encuéntrense la resistencia en cada entrada, la resistencia de salida y el ancho de banda. La resistencia de entrada debe ser al menos de 100 MΩ y el ancho de banda debe ser mayor que 20 kHz. Puede ser necesario utilizar más de un amplificador operacional en algunos de los diseños.

9.7 $v_o = 700v_1$

9.8 $v_o = \dfrac{v_1}{700}$

9.9 $v_o = -700v_1$

9.10 $v_o = \dfrac{-v_1}{700}$

9.11 $v_o = v_1 - v_2$

9.12 $v_o = 10v_1 - v_2$

9.13 $v_o = v_1 - 10v_2$

9.14 $v_o = v_1 + 700v_2$

9.15 $v_o = -(v_1 + 700v_2)$

9.16 $v_o = v_1 - 2v_2 + 3v_3$

En los problemas 9.17 a 9.22, diséñense circuitos con varios amplificadores operacionales 741 para obtener la tensión de salida indicada, v_o, a partir de las tensiones de entrada v_1, v_2 y v_3. La resistencia en cada entrada debe ser de 100 MΩ o más y las entradas no deben estar acopladas entre sí. Para cada diseño, encuéntrense R_{en}, R_o y el ancho de banda. Se debe obtener un ancho de banda de 50 kHz como mínimo.

9.17 $v_o = 3(v_1 + v_2)$

9.18 $v_o = 3(v_1 - v_2)$

9.19 $v_o = 1000v_1 - 300v_2$

9.20 $v_o = v_1 + v_2 - v_3$

9.21 $v_o = 0.63v_1 + 0.3v_2 + 0.42v_3$

9.22 $v_o = 100v_1 + 50v_2$

En los problemas 9.23 a 9.26, diséñense circuitos con un amplificador 101 que generen la tensión de salida indicada, v_o, a partir de las tensiones de entrada v_1 y v_2. Si es posible, utilícese un capacitor de compensación de 3 pF. Asegúrese de balancear la corriente de polarización en cada entrada. Calcúlense R_{en}, R_o y el ancho de banda.

9.23 $v_o = 700v_1$

9.24 $v_o = 10v_1 - v_2$

9.25 $v_o = 20v_1 + 30v_2$

9.26 $v_o = v_1 - 15v_2$

En los problemas 9.27 a 9.29, diséñense circuitos con varios amplificadores operacionales 101 para obtener la tensión v_o a partir de las tensiones de entrada v_1 y v_2. La resistencia en cada entrada debe ser al menos 100 MΩ y las entradas no deben estar directamente acopladas entre sí. El ancho de banda debe ser tan grande como sea posible, utilizando compensación por capacitores de 30 pF o 3 pF. En cada caso, encuéntrese el ancho de banda.

9.27 $v_o = 10(v_1 + v_2)$

9.28 $v_o = 10v_1 - v_2$

9.29 $v_o = 1000v_1 - 300v_2$

9.30 Diséñese un circuito utilizando amplificadores operacionales 741, los cuales, a partir de las tensiones *diferenciales* v_1 y v_2, proporcionen una tensión de salida

$$v_o = 100v_1 + 50v_2$$

Las resistencias de entrada deben estar balanceadas a tierra y ser superiores a 100 MΩ. El ancho de banda mínimo debe ser 50 kHz.

9.31 Diséñese un circuito utilizando amplificadores operacionales 741, los cuales, a partir de las tensiones v_1 y v_2, proporcionen una tensión de salida *balanceada*

$$v_o = 100v_1 - 50v_2$$

Las resistencias de salida deben ser menores que 1 Ω.

9.32 Diséñese un circuito utilizando amplificadores operacionales 741 que tengan entrada y salida balanceadas, ganancia de 100, impedancia de entrada mayor que 100 MΩ e impedancia de salida menor que 1 Ω.

9.33 Dos tensiones diferenciales v_A y v_B, cada una balanceada con respecto a tierra, están disponibles como entradas. La fuente v_A tiene una resistencia de Thévenin entre 10 kΩ y 210 kΩ, mientras que la fuente v_B tiene una resistencia de Thévenin entre 50 kΩ y 150 kΩ. Diséñese un circuito con varios 741 para generar la tensión

$$v_o = 10(v_A - v_B)$$

con respecto a tierra sin acoplamiento entre las dos fuentes de entrada. El balance de la corriente de polarización debe ser el mejor posible.

9.34 Diséñese un amplificador de audio con una sola fuente de alimentación utilizando un amplificador operacional 741 y que tenga una ganancia de 100. Encuéntrense la impedancia de entrada, la impedancia de salida y la respuesta en frecuencia de su diseño. (Utilícense las hojas de especificaciones para el amplificador operacional 741 dadas en el Ap. D.)

PROBLEMAS ADICIONALES

En los problemas PA9.1 y PA9.2, diseñe sistemas con varios amp-op 741 para obtener la salida indicada, v_o, a partir de las tensiones de entrada, v_1, v_2 y v_3. La resistencia de entrada en cada terminal debe ser 100 MΩ o más, y las entradas no deben estar directamente acopladas. Para cada diseño, encuentre R_{en}, R_{sal} y el ancho de banda. Se debe obtener un mínimo de 50 kHz de ancho de banda.

PA9.1 $v_o = 500v_1 - 50v_2$

PA9.2 $v_o = 70v_1 - (\frac{1}{7})v_2$

PA9.3 Diseñe un sistema con amp-op para medir la corriente de salida de una fuente de alimentación, como se muestra en la figura PA9.1. Se utiliza

la tensión a través de una resistencia de precisión de 1 Ω para medir la corriente de salida de la fuente de alimentación. Esta corriente varía de 75 a 125 mA. La entrada al voltímetro digital (VMD) debe estar en el intervalo de 0.75 a 1.25 V.

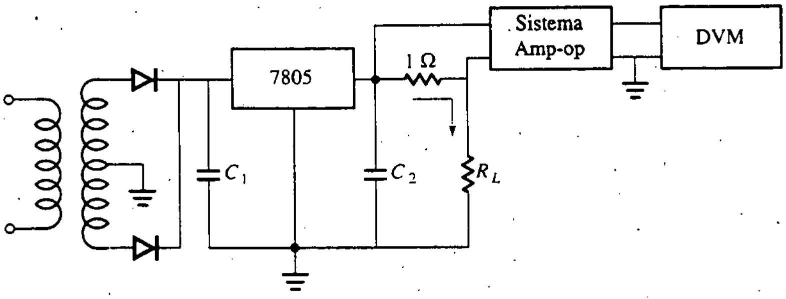


Figura PA9.1

PA9.4 Un sistema de potencia trifásico balanceado en *Y* opera a 50 Hz. La magnitud de las tensiones de línea a línea es $V_{21} = V_{32} = V_{13} = 110$ V rms. Diseñe un sistema de instrumentación para observar la tensión, V_{21}, como se muestra en la figura PA9.2 y obtener una tensión de salida, V_o, dada por la ecuación

$$V_o = 0.1V_{21}$$

Utilice amp-op 101 y seleccione un valor adecuado para el capacitor de compensación (30 pF o 3 pF). R_{en} debe ser mayor a 100 MΩ. Seleccione el valor apropiado de V_{CC} para los amp-op 101.

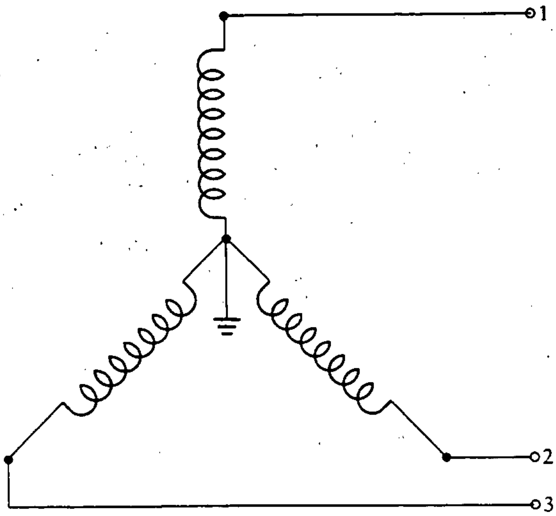


Figura PA9.2

10

CARACTERÍSTICAS DE LA RESPUESTA EN FRECUENCIA

10.0 INTRODUCCIÓN

Supóngase que una persona, luego de recibir su título de ingeniería eléctrica, obtuvo un empleo en la XYZ Audio Corporation, una compañía que diseña y fabrica equipo estereofónico. Como su jefe sabía que dicha persona tenía bases sólidas en diseño electrónico, se le asignó la tarea de diseñar un amplificador como parte de un sistema de reproducción de discos compactos. El ingeniero revisó todos sus conocimientos en electrónica, tomó muchas decisiones sobre las alternativas y eligió un amplificador EC. El amplificador se diseñó utilizando las técnicas expuestas en los capítulos anteriores. Con el fin de conseguir la ganancia necesaria con una sola etapa, el ingeniero colocó un capacitor en paralelo con el resistor de emisor.

Se construyó un prototipo del sistema y se probó un disco. ¡El resultado fue un desastre! El sonido distaba mucho de ser lo que se esperaba y, de hecho, el ingeniero determinó que el amplificador no estaba respondiendo bien a las frecuencias bajas de la señal de audio. ¡La salida estaba distorsionada! ¿Qué estuvo mal?

El ingeniero olvidó completamente que los capacitores (e inductores) son elementos que dependen de la frecuencia. Siempre que estén presentes en un circuito, la respuesta se vuelve dependiente de la frecuencia. Por tanto, el ingeniero falló al realizar el análisis de frecuencia de su amplificador. Este capítulo enseñará cómo corregir este error de diseño.

Anteriormente en este texto se consideró a los amplificadores como si su comportamiento fuese independiente de la frecuencia de la señal de entrada. Esto no

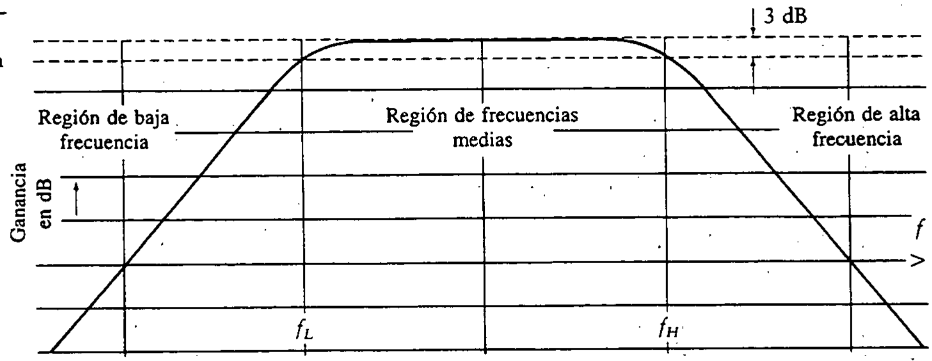


Figura 10.1
Ganancia contra frecuencia para un amplificador con acoplamiento R_C.

es cierto en el caso práctico. El presente capítulo se concentra en los aspectos relativos a la dependencia de la frecuencia de varios amplificadores.

La capacitancia dentro de un amplificador, que provoca que la respuesta dependa de la frecuencia, puede presentarse por diseño o de manera fortuita. Los capacitores de *acoplamiento* y de *paso* a menudo se diseñan en el sistema, con la condición de que sean cortocircuitos a frecuencias de señal. Es decir, se pretende que estos capacitores se presenten como circuitos abiertos para tensiones de polarización en cd, pero permitiendo el paso de todos los componentes de señal sin atenuación. Los capacitores no cambian en forma repentina de una condición de cortocircuito a una de circuito abierto cuando la frecuencia se aproxima a cero. Por el contrario, se aproximan a un circuito abierto al disminuir la frecuencia, debido a lo cual su desempeñó se degrada al disminuir la frecuencia de entrada.

El segundo tipo de capacitancia que se encuentra en un amplificador aparece sin intención. Siempre que dos conductores se hallen separados por cualquier material no conductor, estará presente una capacitancia. Por tanto, hay una capacitancia interna dentro de todo dispositivo semiconductor, una capacitancia entre contactos y capacitancias de alambrado debido a las configuraciones de los circuitos. Conforme aumenta la frecuencia, estas capacitancias tienden a llevar a cortocircuito a la señal y, por tanto, disminuyen la ganancia.

En la figura 10.1 se ilustra una respuesta frecuencia-amplitud típica para un amplificador con acoplamiento RC. Nótese que la máxima ganancia se produce para un *intervalo medio* de frecuencias y disminuye tanto a frecuencias bajas como altas. Los límites inferior y superior del intervalo medio, f_L y f_H, se conocen como *frecuencias de corte* y se definen como los puntos en los cuales la ganancia cae a un 0.707 de su valor en el intervalo medio. Este número es la raíz cuadrada de 0.5 y por tanto representa la frecuencia a la cual la potencia de la salida se reduce a la mitad de su valor en frecuencias medias. Esto se conoce como *punto de potencia media.*

Los amplificadores se pueden analizar como sistemas lineales; la respuesta en frecuencia se puede describir mediante una función compleja que proporciona la respuesta en magnitud y en desplazamiento de fase para cada frecuencia de entrada. La primera parte de este capítulo se destina a aprender cómo dibujar estas dos curvas de respuesta a partir de la ecuación de la función de transferencia del sistema.

En particular, se concentra en un método simple, conocido como *diagrama de Bode,* que permite dibujar los diagramas casi por inspección.

El concepto de diagramas de Bode se aplica entonces al análisis de la respuesta en frecuencia de los amplificadores operacionales. Se sigue con un tratamiento paralelo para los amplificadores con BJT y FET, y se da énfasis a la respuesta de estos amplificadores tanto en baja como en alta frecuencia.

10.1 DIAGRAMAS DE BODE

Cuando un sistema contiene capacitancia, inductancia o ambas, la respuesta del sistema es función de la frecuencia de la señal de entrada. Las gráficas en frecuencia de la amplitud y la fase son medidas importantes del comportamiento del sistema. El análisis de los sistemas dependientes de la frecuencia se puede llevar a cabo utilizando el método de la impedancia, también conocido como *análisis sinusoidal en estado estacionario.* Estos análisis conducen a fórmulas que relacionan la salida con la entrada. Se verá la manera en que estas fórmulas se pueden traducir a curvas de respuesta en frecuencia, lo cual demuestra claramente cómo se comporta el amplificador para señales de entrada de frecuencia variable.

Se comienza con un ejemplo simple. Considérese el circuito serie de la figura 10.2. La tensión de salida compleja (fasor) del circuito está dada por

$$V_o(j\omega) = \frac{j\omega RC\, V_i(j\omega)}{1 + j\omega RC}$$

donde $V_i(j\omega)$ es el fasor de la tensión de entrada. Por tanto, representa la magnitud y la fase de aquella sinusoide. Como ejemplo específico, supóngase que el resistor y el capacitor se eligen de forma que

$$\text{RC} = \frac{1}{4}$$

Entonces la relación del fasor de salida al de entrada, que se conoce como *función de transferencia,* está dada por

$$G(j\omega) = \frac{V_o(j\omega)}{V_i(j\omega)} = \frac{j\omega}{j\omega + 4}$$

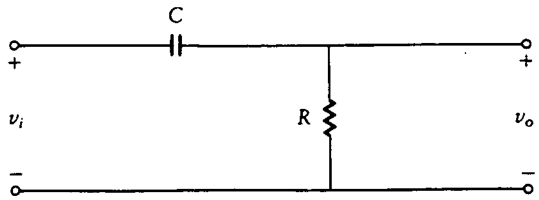


Figura 10.2
Un circuito serie.

Esta es una función compleja de la frecuencia en radianes, ω. Al tratar números complejos (o funciones), en realidad se está trabajando con dos conjuntos de números (o funciones). Estos se eligen comúnmente como parte real y parte imaginaria o como magnitud y fase. La representación en magnitud y fase es más común en el análisis sinusoidal de estado estacionario, ya que tiene significado físico en términos de amplitudes y desplazamientos de fase de las señales sinusoides.

La amplitud y la fase de la función de transferencia se denotan como $A(\omega)$ y $\phi(\omega)$, respectivamente. Para este ejemplo, están dadas por

$$
\begin{aligned}
A(\omega) &= |G(j\omega)| = \left|\frac{j\omega}{j\omega + 4}\right| \\
&= \frac{\omega}{\sqrt{\omega^2 + 16}} \\
\phi(\omega) &= \underline{/G(j\omega)} = 90° - \tan^{-1}\left(\frac{\omega}{4}\right)
\end{aligned}
$$

Como ejemplo de aplicación de estos resultados, supóngase que la entrada al sistema está dada por

$$v_i(t) = 3\cos(7t + 30°)$$

La salida del sistema en estado estacionario es una sinusoide de la misma frecuencia, 7 rad/s, pero con amplitud y fase diferentes. Con el fin de encontrar la amplitud y la fase nuevas, sólo es necesario evaluar $A(\omega)$ y $\phi(\omega)$ a la frecuencia dada. Por tanto,

$$
\begin{aligned}
A(\omega)|_{\omega=7} &= \frac{7}{\sqrt{7^2 + 16}} = \frac{7}{\sqrt{65}} = 0.87 \\
\phi(\omega)|_{\omega=7} &= 90° - \tan^{-1}\left(\frac{7}{4}\right) = 90° - 60° = 30°
\end{aligned}
$$

La amplitud de la salida es igual a la de la entrada multiplicada por $A(\omega)$, mientras que la fase de salida es la fase de entrada desplazada por $\phi(\omega)$. Por tanto, la señal de salida en el tiempo está dada por

$$v_o(t) = 2.6\cos(7t + 60°)$$

Supóngase que se pide medir en el laboratorio la respuesta en frecuencia de un sistema. Se podrían tomar en cuenta las relaciones de amplitud y fase con la simple aplicación de una entrada sinusoidal y la observación de la amplitud y el desplazamiento de fase en la salida. Como se está tomando la relación de la amplitud de salida a la de entrada, el valor real de amplitud en la entrada no es

crítico. Sólo necesita ser lo bastante grande para que la señal no sea cubierta por el ruido, pero no tan grande que sature al sistema. En la práctica, la función de transferencia se evalúa a una frecuencia particular (la frecuencia de la entrada). Luego se varía la frecuencia de entrada para encontrar la función de transferencia en otros valores de frecuencia.

La transformada de Laplace está bastante relacionada con la función de transferencia sinusoidal en estado estacionario, y se utiliza en partes del siguiente análisis. La variable en la transformada de Laplace es s en vez de $j\omega$. La variable s es compleja, mientras que la frecuencia en radianes, ω, es una variable real. Se puede cambiar una expresión, de estado estacionario sinusoidal a transformada de Laplace, haciendo la siguiente sustitución:

$$s = j\omega\,.$$

Esto podría parecer uan modificación menor, pero simplifica en forma considerable las matemáticas ya que se estarán factorizando polinomios en s. Si se utiliza $j\omega$ en vez de s, es necesario trabajar con polinomios complejos. Nótese que el análisis sinusoidal en estado estacionario es un caso especial del análisis por transformada de Laplace, donde se restringe a la variable compleja s al eje imaginario. Se evitan los argumentos relativos a la existencia de la transformada, ya que si es cierto que existe la expresión sinusoidal en estado estacionario, la transformada de Laplace debe converger a lo largo del eje imaginario. No hay necesidad de trabajar con funciones para las cuales la transformada no existe a lo largo del eje imaginario, ya que podrían no provenir de circuitos reales.

Muchos sistemas electrónicos poseen trayectorias de retroalimentación. Esto es particularmente cierto en el caso de sistemas de control. Aunque los resultados de este capítulo se aplican a sistemas con y sin retroalimentación, el análisis inicial se dirige al caso con retroalimentación.

Es útil definir algunos términos nuevos. Se define $G(s)$ como el producto de todas las relaciones de entrada-salida por trayectorias directas. Esta función de transferencia, $G(s)$, representa por tanto la función de transferencia del sistema si se abren todas las trayectorias de retroalimentación (es decir, si se cortan). También se define $H(s)$ como el producto de todas las relaciones de entrada-salida por retroalimentación. El producto de estas dos se conoce como *función de transferencia de lazo,* y es una característica importante de todo el sistema. Esta función producto, $G(s)H(s)$, se puede caracterizar mediante la razón de dos polinomios para cualquier sistema lineal, y está dada en la ecuación (10.1):

$$G(s)H(s) = \frac{b_m s^m + b_{m-1}s^{m-1} + \cdots + b_1 s + b_0}{a_n s^n + a_{n-1}s^{n-1} + \cdots + a_1 s + a_0} \tag{10.1}$$

Un *cero* de $G(s)H(s)$ se define como cualquier valor numérico de s que hace que el polinomio numerador en la ecuación (10.1) tome el valor cero. Por tanto, en este valor de s,

$$G(s)H(s) = 0$$

Un *polo* de $G(s)H(s)$ se define como cualquier valor numérico de s que hace que el polinomio denominador en la ecuación (10.1) tome el valor cero. Por tanto, en este valor de s,

$$G(s)H(s) \to \infty$$

La respuesta sinusoidal se obtiene haciendo $s = j\omega$ en la ecuación (10.1).

En este momento el objetivo es graficar la respuesta en frecuencia representada por $G(s)H(s)$. Se inicia con los valores límite de la frecuencia, ya que serán críticos al desarrollar el método de inspección para graficar la respuesta. Conforme la frecuencia, ω, se aproxima a infinito, se pueden ignorar todas las potencias de s excepto las más altas del numerador y el denominador. Esto es, si ω es grande, ω^n es mucho mayor que w^{n-1}. Por tanto, haciendo $s = j\omega$ y conservando sólo las potencias mayores, se tiene

$$G(j\omega)H(j\omega) \approx \frac{b_m(j\omega)^m}{a_n(j\omega)^n} = \left(\frac{b_m}{a_n}\right) j^{m-n}\omega^{m-n}$$

Esto muestra que conforme la frecuencia se aproxima a infinito, la curva de amplitud es proporcional a ω^{m-n}. La curva de fase se aproxima a $(m-n)$ veces 90°, ya que éste es el ángulo del término j^{m-n}.

Se examinará ahora el otro extremo, conforme ω se aproxima a cero. Para este caso, se pueden despreciar todas las potencias de ω excepto las más bajas. Esto es, si ω es muy pequeña, ω^{n-1} será mucho mayor que w^n. Por tanto, conforme la frecuencia se acerca a cero, la función de respuesta se aproxima a

$$G(j\omega)H(j\omega) = \frac{b_0}{a_0}$$

Esto es cierto siempre que a_0 y b_0 sean distintos de cero. Si alguna o ambas constantes son cero, es necesario incluir la potencia más baja de ω que se encuentre presente.

Como ejemplo, considérese la función de transferencia de lazo,

$$G(s)H(s) = \frac{6s^3 + 2s^2 + 3s}{s^5 + 4s^4 + 2s^3 + s^2 + 10},$$

En altas frecuencias, esto es aproximadamente igual a

$$G(j\omega)H(j\omega) = \frac{6(j\omega)^3}{(j\omega)^5}$$

y la amplitud y la fase están dadas por

$$A(\omega) = |G(j\omega)H(j\omega)| \approx \frac{6}{\omega^2} = 6\omega^{-2}$$
$$\phi(\omega) = \underline{/G(j\omega)H(j\omega)} \approx -180^\circ$$

En bajas frecuencias, se mantienen las potencias bajas del numerador y el denominador para obtener

$$G(j\omega)H(j\omega) \approx \frac{3j\omega}{10}$$

y la amplitud y fase están dadas por

$$A(\omega) = |G(j\omega)H(j\omega)| = \frac{3\omega}{10}$$
$$\phi(\omega) = \underline{/G(j\omega)H(j\omega)} \approx 90^\circ$$

Una vez que se encuentra el comportamiento de la curva en valores extremos de w, unas cuantas medidas más son suficientes para graficar toda la curva. Es necesario hacer más medidas a frecuencias donde se producen los cambios más grandes en amplitud y fase, y menos medidas en intervalos donde la función es casi constante.

Ya que se determinó el comportamiento de la curva en puntos extremos, se revisan otros parámetros críticos de las curvas de respuesta en frecuencia.

10.1.1 Términos de la función $G(s)H(s)$

Como los polinomios en s se pueden factorizar, las funciones $G(s)H(s)$ que se tratan pueden verse como productos de términos simples. Cuando los términos complejos se multiplican, la amplitud resultante es el producto de las amplitudes individuales, mientras que la fase resultante es la suma algebraica de las fases individuales. Por tanto, es útil aprender en primer lugar el tratamiento de estos términos simples que resultan de la factorización de los polinomios $G(s)H(s)$.

En vez de manejar directamente las curvas de amplitud, es usual utilizar sus logaritmos. De esta forma, la multiplicación de las diferentes amplitudes equivale a la suma de sus logaritmos. Se utiliza el *decibel* (dB) para describir las curvas de amplitud como función de la frecuencia. El decibel se define como en la ecuación (10.2):

$$\text{dB} = 20\log_{10} A(\omega) = 20\log_{10} |G(j\omega)H(j\omega)| \tag{10.2}$$

Se utilizan las observaciones de la sección anterior como ayuda para graficar los diferentes componentes de $G(s)H(s)$. Esto es, se estudia primero el comportamiento de estas curvas para valores pequeños y grandes de la frecuencia. Se ve que la *ganancia en decibeles es, en general, proporcional al logaritmo de la frecuencia.* Por tanto, si se utiliza una escala logarítmica para el eje de la frecuencia, estas curvas

serán líneas rectas y, por tanto, será mucho más fácil graficar por inspección. Por esta razón, suele utilizarse papel semilogarítmico para graficar los componentes de $G(s)H(s)$. La frecuencia se grafica en la escala logarítmica horizontal, mientras que la amplitud en decibeles y la fase se grafican a lo largo de la escala lineal vertical. El número de ciclos del papel semilogarítmico determina cuántos órdenes de magnitud en variación de frecuencia se pueden graficar. Es común utilizar papel semilogarítmico de tres o cuatro ciclos para aplicaciones de propósito general.

10.1.2 La aproximación asintótica

El numerador y el denominador de $G(s)H(s)$, dados por la ecuación (10.1), se pueden factorizar en un producto de funciones. Los factores individuales son de una de las siguientes formas:

1. Factores invariantes con la frecuencia (constantes), K.
2. Términos que corresponden a ceros o polos simples (orden 1) en el origen, s o $1/s$.
3. Términos lineales que corresponden a ceros simples (no en el origen), $s\tau_1+1$.
4. términos lineales que corresponden a polos simples, $(s\tau_2+1)^{-1}$.
5. Términos cuadráticos que corresponden a ceros o polos simples,

$$\left(\frac{s}{\omega_n}\right)^2+\frac{2\zeta s}{\omega_n}+1$$

o

$$\frac{1}{(s/\omega_n)^2+2\zeta s/\omega_n+1}$$

Se verá ahora cómo graficar estos factores. Podrían, por supuesto, graficarse punto por punto evaluando la función para varios valores de la frecuencia. Se verá también que utilizando los valores límite de la frecuencia (es decir, las asíntotas de la curva), se pueden graficar las curvas con bastante exactitud y casi por inspección.

1. *Factores invariantes con la frecuencia.* La constante de ganancia K, que es independiente de la frecuencia, se grafica a partir de la representación en decibeles de la ecuación (10.3):

$$K_{\text{dB}}=20\log_{10}K \tag{10.3}$$

La constante K representa el producto de todos los términos invariantes con la frecuencia en la función $G(s)H(s)$. La ecuación (10.3) se grafica en la figura 10.3. Nótese que la fase de esta constante real es cero para todas las frecuencias.

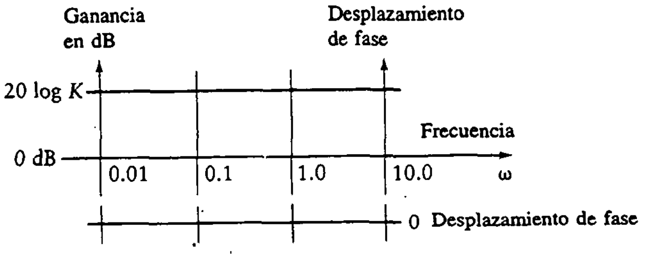


Figura 10.3
Ganancia y fase para un factor constante.

2. *Ceros o polos en el origen.* Los factores son de la forma

$$s \tag{10.4a}$$

o

$$\frac{1}{s} \tag{10.4b}$$

Se hace $s = j\omega$ y se encuentran la amplitud y la fase para el cero como sigue:

$$A(\omega)_{\text{dB}} = 20\log(|j\omega|) = 20\log\omega \tag{10.5a}$$

$$\phi(\omega) = \underline{/j\omega} = 90^\circ \tag{10.5b}$$

Para el polo,

$$A(\omega)_{\text{dB}} = -20\log\omega \tag{10.5c}$$

y

$$\phi(\omega) = \underline{/1/j\omega} = 90^\circ \tag{10.5d}$$

Se desviará un momento la atención para explorar los ceros o polos múltiples en el origen. Si los factores s o $1/s$ están elevados a la potencia n, se tienen ceros o polos múltiples. Como estos factores se multiplican entre sí en la expresión $G(s)H(s)$, se suman las amplitudes en decibeles, así como las fases. Entonces, la amplitud para un cero múltiple es

$$20n\log\omega \text{ dB} \tag{10.6}$$

y para un polo múltiple es

$$-20n\log\omega \text{ dB}$$

La fase para el cero múltiple es

$$n90°\qquad(10.7)$$

y para el polo es

$$-n90°$$

En la figura 10.4 se ilustran las gráficas de amplitud y fase para ceros y polos múltiples. Si $n = 1$, se trata de ceros y polos simples. Nótese que la curva de amplitud atraviesa 0 dB cuando $w = 1$. Esto es cierto porque $\log 1 = 0$. Una *década* se define como un cambio en frecuencia por un factor de diez. Cuando la frecuencia aumenta 10 veces, el logaritmo de la frecuencia aumenta una unidad. Entonces, la pendiente de las curvas en la figura 10.4 es $\pm 20n$ dB/década. Una *octava* se define como un cambio en frecuencia por un factor de dos. Como el logaritmo de 2 es aproximadamente 0.3, una pendiente de $20n$ dB por década es casi igual a una pendiente de $6n$ dB por octava.

Aún no ha sido necesario hacer aproximaciones. Las curvas de la figura 10.4 son representaciones exactas de la amplitud y la fase de los factores s_n y s^{-n}.

Si el polinomio de una función de transferencia contiene tanto una constante (término invariante en la frecuencia) como polos y ceros en el origen, la gráfica combinada se forma sumando los resultados (1) y (2). Para una graficación sencilla, la porción constante de la función de transferencia, K, se puede combinar con los términos s^n. Como ejemplo, considérese un polo simple en el origen, como en la ecuación (10.8).

$$\frac{K}{j\omega} = \frac{1}{j\omega/K}\qquad(10.8)$$

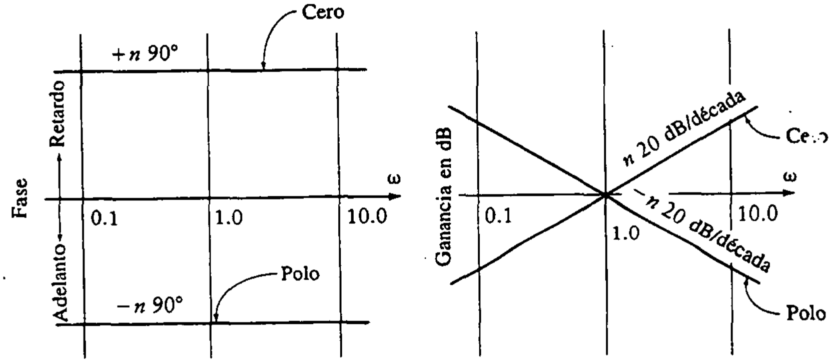
La frecuencia variable puede visualizarse como ω/K en lugar de ω. La multiplicación de la frecuencia por 10 es una multiplicación por 10 de ω/K. Por tanto, la respuesta en amplitud para este término tiene la misma pendiente que la correspondiente al polo simple en el origen, $1/s$. La única diferencia es que la curva de amplitud interseca la línea de 0 dB a una frecuencia de $\omega = K$ en vez de $\omega = 1$. La fase permanece constante a $-90°$, como en el caso en que no hay constante K. Debe quedar claro que estos resultados no son diferentes de los que se obtendrían si se sumaran los dos componentes individuales de la curva de amplitud.

3. *Ceros.* Considérense ahora los ceros que no están en el origen. Si son simples (no múltiples), el factor es de la forma

$$(j\omega\tau + 1)\qquad(10.9)$$

La gráfica de amplitud resultante ya no es una línea recta, por lo que se recurrirá a aproximaciones asintóticas. Si la frecuencia es muy pequeña, tal que $\omega\tau \ll 1$, la amplitud en decibeles (dB) se puede aproximar por

Figura 10.4
Ganancia y fase para ceros múltiples y polos en el origen.



(a) Respuesta en fase (b) Respuesta en amplitud

$$20\log_{10}|j\omega\tau + 1| \approx 20\log_{10} 1 = 0 \text{ dB} \tag{10.10}$$

Por tanto, para valores pequeños de frecuencia, la magnitud permanece muy cercana a 0 dB. Ahora bien, cuando la frecuencia es muy grande, $\omega\tau \gg 1$, se puede despreciar el término constante para obtener

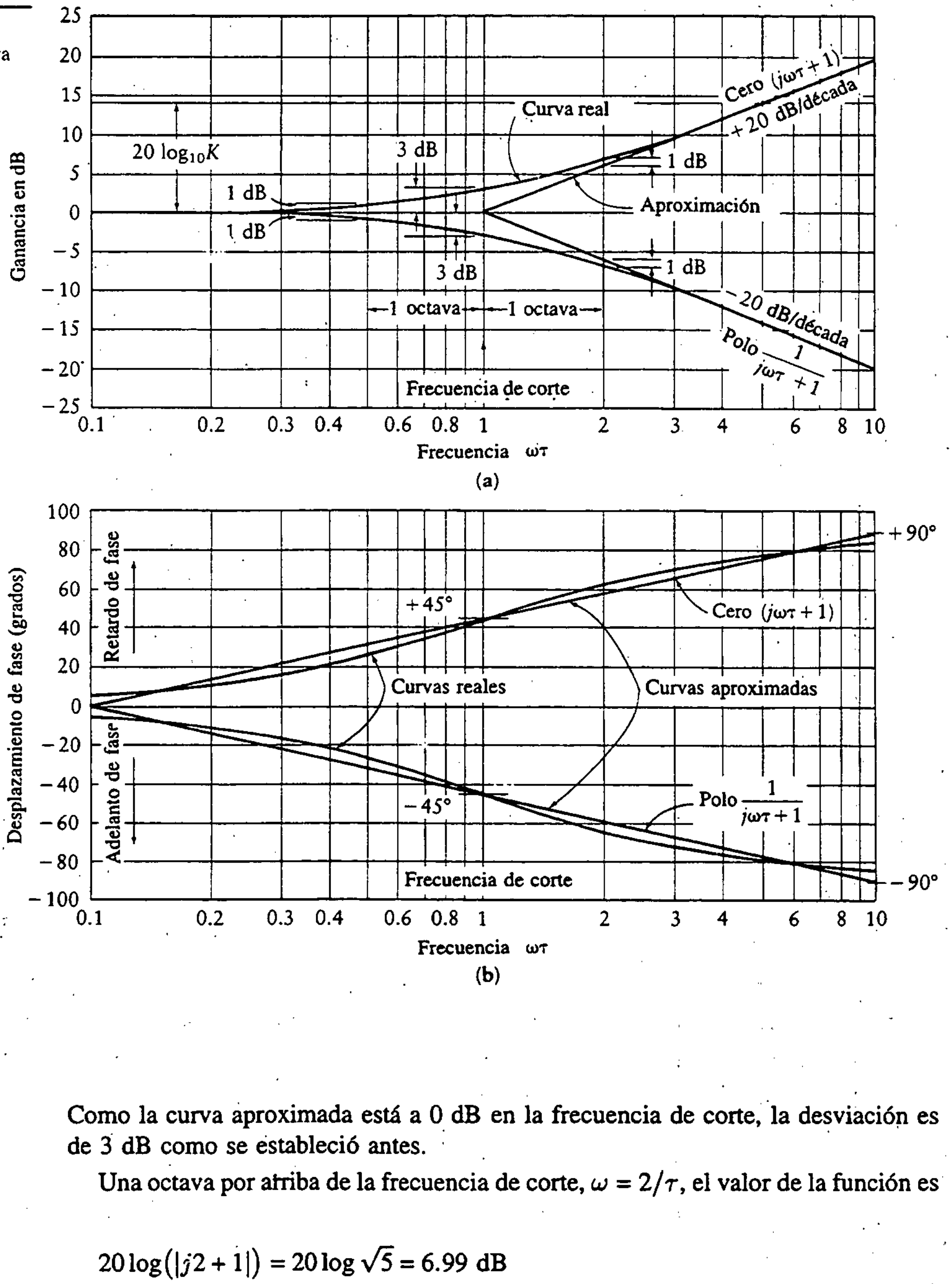
$$20\log_{10}|j\omega\tau + 1| \approx 20\log_{10}\omega\tau \tag{10.11}$$

Este resultado es similar a aquél para el cero en el origen, por lo que las gráficas de amplitud y fase recuerdan la gráfica para el término $j\omega\tau$. Por tanto, la pendiente (para ω grande) es 20 dB/década, y esta línea recta interseca la línea de 0 dB en $\omega\tau = 1$, $\omega = 1/\tau$. Este punto de intersección se conoce como *frecuencia de corte.* Las dos líneas rectas, una para frecuencias pequeñas y otra para altas, se intersecan en la frecuencia de corte y constituyen la representación asintótica de las curvas. Estas se ilustran en la figura 10.5(a).

Se demostró que cuando se conoce la frecuencia de corte, la curva aproximada para la amplitud de un cero simple se dibuja fácilmente por inspección. Supóngase que la aproximación no es muy buena y que se requiere una mayor precisión. Los primeros pasos para aproximar la curva exacta también se pueden lograr por inspección. De hecho, la amplitud real de la curva se desvía sólo ligeramente de las asíntotas rectas. En la figura 10.5(a) se muestran tanto la aproximación asintótica como la curva exacta. En la frecuencia de corte, la curva real está 3 dB por arriba de la aproximación. A una octava de separación de la frecuencia de corte, la curva real se desvía de la aproximación cerca de 1 dB. Estas variaciones se pueden ver a partir de la ecuación. En la frecuencia de corte, $\omega = 1/\tau$, el valor de la función es

$$20\log(|j1 + 1|) = 20\log\sqrt{2} = 3 \text{ dB}$$

Figura 10.5
Curvas de respuesta para ceros y polos.



Como la curva aproximada está a 0 dB en la frecuencia de corte, la desviación es de 3 dB como se estableció antes.

Una octava por arriba de la frecuencia de corte, $\omega = 2/\tau$, el valor de la función es

$$20\log(|j2+1|) = 20\log\sqrt{5} = 6.99 \text{ dB}$$

La curva aproximada está cerca de 6 dB, una octava por arriba de la frecuencia de corte, por lo que la desviación es 1 dB, como se estableció.

Una octava por debajo de la frecuencia de corte, $\omega = 1/2\tau$, el valor de la función es

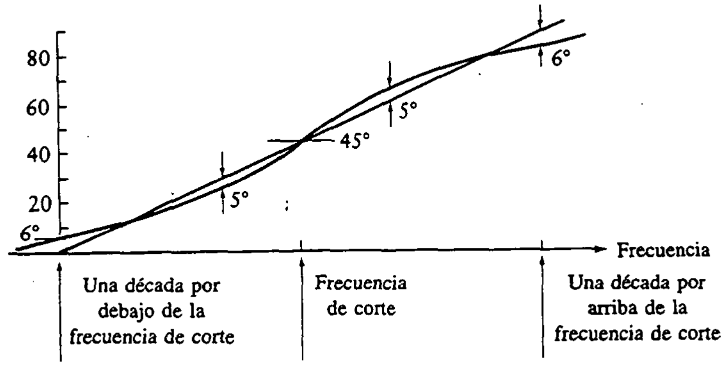


Figura 10.6
Curva de fase.

$$20 \log \left(\left| \frac{j}{2} + 1 \right| \right) = 20 \log \sqrt{\frac{5}{4}} = 0.97 \text{ dB}$$

La curva aproximada se halla a cero dB, una octava por debajo de la frecuencia de corte, por lo que la desviación es otra vez cercana a 1 dB.

La fase de la expresión en la ecuación (10.9) es simplemente el ángulo cuya tangente es la razón de la parte imaginaria a la parte real de la función. Por tanto,

$$\begin{aligned} \phi(\omega) &= \underline{/1 + j\omega\tau} \\ &= \tan^{-1} \omega\tau \end{aligned} \tag{10.12}$$

En la gráfica de la figura 10.5(b) la frecuencia variable, $\omega\tau$, se encuentra en la escala logarítmica horizontal. La curva de arcotangente tiene un valor de 45° cuando $\omega\tau = 1$, que está en la frecuencia de corte. La curva de fase inicia en 0°, aumenta hasta un máximo de 90°, y es simétrica alrededor del punto de 45°. La curva completa de respuesta en frecuencia para el cero incluye la curva de amplitud mostrada en la figura 10.5(a) y la curva de fase de la figura 10.5(b).

Para dibujar una primera aproximación de la curva de fase, se pueden utilizar tres líneas rectas. La curva es horizontal desde baja frecuencia hasta un décimo de la frecuencia de corte. Una línea recta, con pendiente de 45°/década, va de $0.1\omega_c$ hasta $10\omega_c$ pasando por 45° en la frecuencia de corte. Para frecuencias por encima de $10\omega_c$, la línea es otra vez horizontal en 90° a 10 veces la frecuencia de corte. La pendiente de esta curva aproximada es de 45°/década. La máxima cantidad que se desvía la línea recta aproximada de la curva real es 6°. La aproximación y la curva real se muestran en la figura 10.6.

4. *Polos.* Los polos simples de la forma $1/(j\omega\tau + 1)$ se pueden tratar en forma similar a los ceros simples. Como el logaritmo de una cantidad inversa es igual al negativo del logaritmo de la cantidad, se tiene

$$20\log\left(\frac{1}{j\omega\tau+1}\right) = -20\log(j\omega\tau+1) \tag{10.13}$$

La curva para un polo simple es similar a la de un cero simple, excepto que se refleja alrededor de la línea de 0 dB. Para frecuencias pequeñas, la amplitud permanece en 0 dB. Para frecuencias grandes, la asíntota es una línea recta de pendiente −20 dB/década. Esta aproximación asintótica se muestra en la figura 10.5(a). Nótese que interseca el eje de 0 dB en $\omega = 1/\tau$, que es la frecuencia de corte. Como en el caso del cero, la amplitud real de la curva se desvía de la aproximación por línea recta en −3 dB en la frecuencia de corte y en cerca de −1 dB a un medio y al doble de la frecuencia de corte.

La curva de fase de un polo es similar a la del cero, pero se refleja alrededor de la línea $\phi = 0$. Como el polo se encuentra en el denominador de $G(s)H(s)$, el signo se cambia cuando el ángulo se traslada al numerador. Por tanto,

$$\phi(\omega) = -\tan^{-1}\omega\tau \tag{10.14}$$

La ecuación (10.14) representa una curva de arcotangente, que inicia en cero a frecuencia cero y se aproxima a un valor de −90° para frecuencias grandes. El punto de −45° de fase se produce en la frecuencia de corte. La curva de fase real y su aproximación por líneas rectas es el negativo de la que se muestra en la figura 10.6.

Si la función de transferencia tiene ceros o polos múltiples, las diferentes curvas de amplitud y fase se deben sumar entre sí tantas veces como sea el orden de la raíz. Así por ejemplo, para dos polos o ceros repetidos, la pendiente cambia de ±20 dB/década a ±40 dB/década, y el ángulo de fase es ±90° a la frecuencia de corte. El ángulo de fase varía de 0° a ±180° en vez de 0° a ±90°, y la pendiente es ±90°/década en vez de ±45°/década. Las funciones correspondientes se muestran en la figura 10.

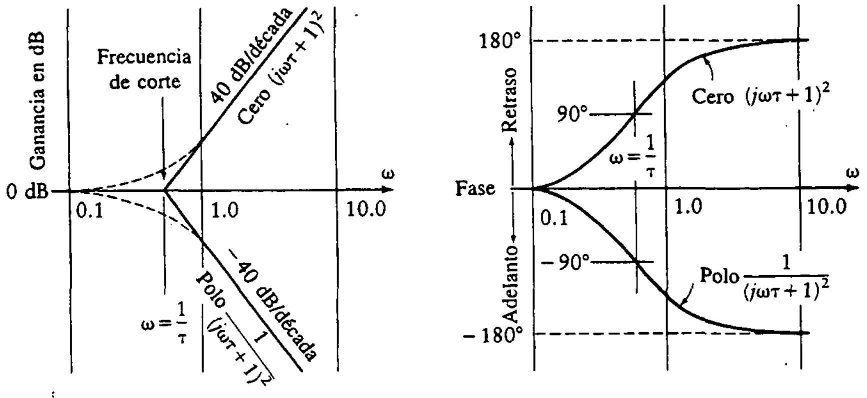
5. *Polos cuadráticos.* Los polos cuadráticos son de la forma

$$\begin{aligned} G(s)H(s) &= \frac{\omega_n^2}{s^2+2s\zeta\omega_n+\omega_n^2} \\ &= \frac{1}{(s/\omega_n)^2+2s\zeta/\omega_n+1} \end{aligned} \tag{10.15}$$

Esto se normaliza con un cambio de variables, haciendo

$$u = \frac{\omega}{\omega_n}$$

Figura 10.7
Polos y ceros dobles.



(a) Respuesta en amplitud (b) Respuesta en fase

Esto se realiza después de sustituir $s = j\omega$. Entonces la ecuación se vuelve

$$G(u)H(u) = \frac{1}{1 - u^2 + j2\zeta u} \tag{10.16}$$

La amplitud y la fase de la expresión en la ecuación (10.16) se grafican en la figura 10.8.

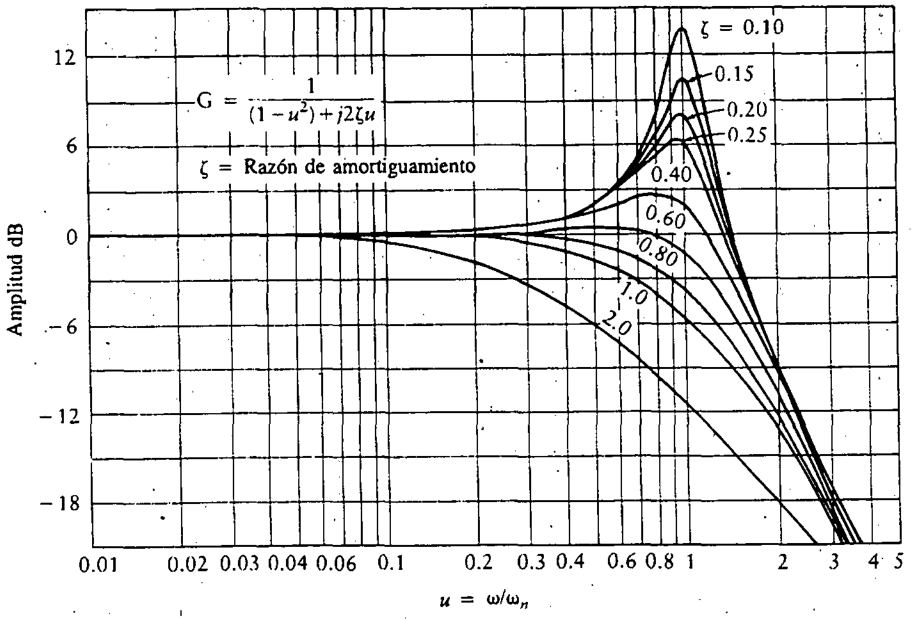
Como las respuestas en amplitud y en fase para términos cuadráticos dependen no sólo de la frecuencia de corte sino también de la *razón de amortiguamiento*, ζ, se utiliza una gráfica paramétrica como la de la figura 10.8 para hacer la gráfica. Las respuestas en amplitud y en fase se grafican localizando la frecuencia de paso y la razón de amortiguamiento para el factor cuadrático particular, encontrado por comparación con la expresión dada en la ecuación (10.15).

Los resultados de la figura 10.8 se pueden comparar con los del polo doble con frecuencia de corte unitaria. La amplitud para el polo doble es una línea de −40 dB/década que se inicia en la frecuencia de corte. La fase es una línea de pendiente −90°/década que inicia en 1/10 y termina en 10 veces la frecuencia de corte. La diferencia entre la gráfica del polo doble y la del polo cuadrático se puede ver como un factor de corrección. Estas diferencias (factores de corrección) se grafican en la figura 10.9 para varios valores del factor de amortiguamiento, ζ. Por tanto, al resolver un problema con un polo cuadrático éste se puede tratar en primer lugar como un polo doble para luego aplicar las correcciones de la figura 10.9.

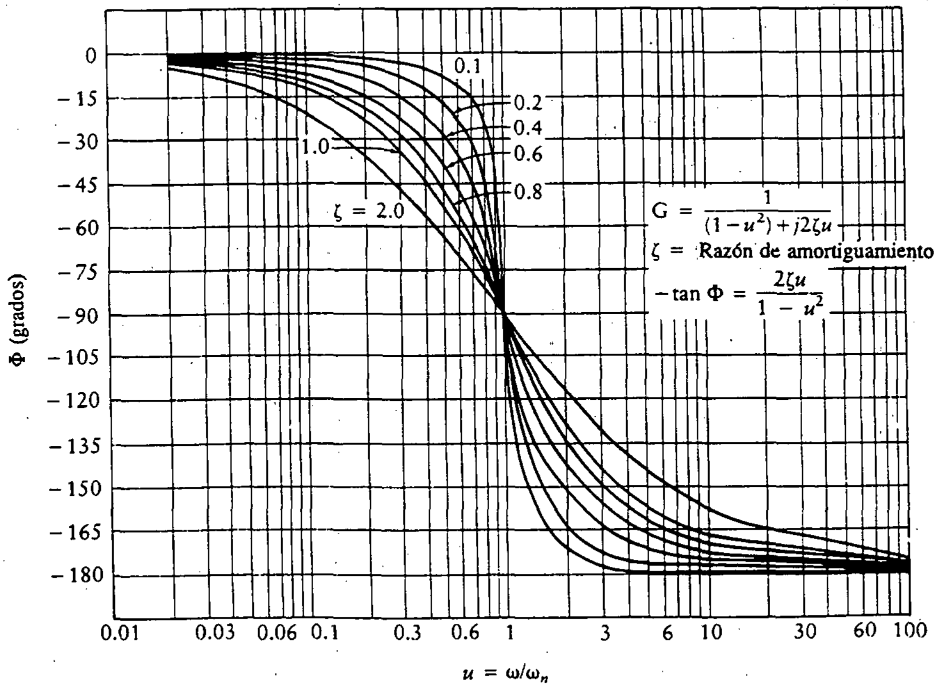
10.1.3 Ejemplos de diagramas de Bode

Los conceptos presentados en la sección anterior se aplican ahora a varios ejemplos.

Figura 10.8
Amplitud y fase de un polo cuadrático.

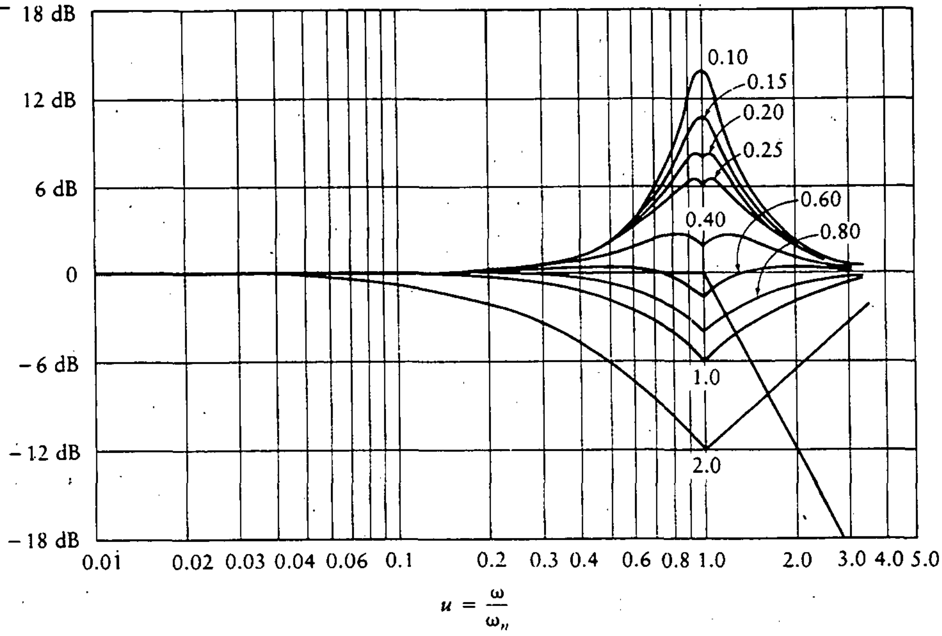


(a)

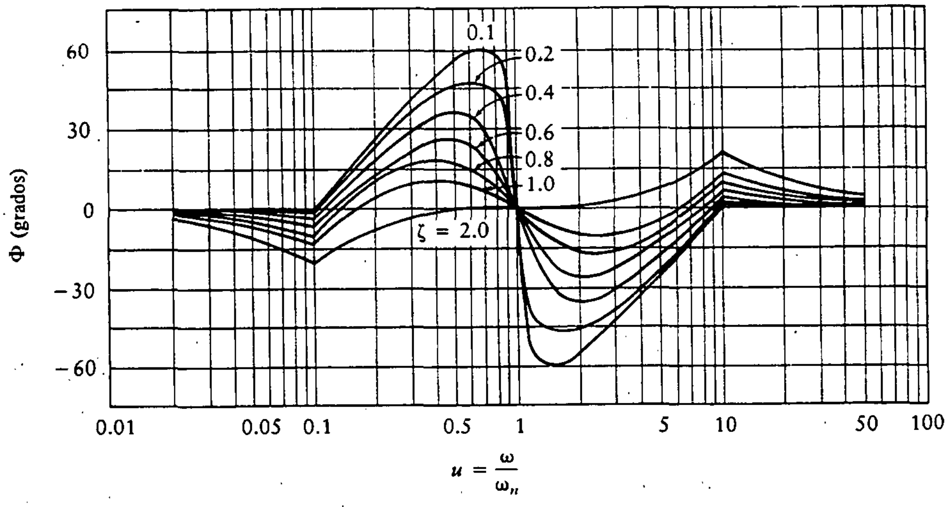


(b)

Figura 10.9
Factores de corrección para el polo cuadrático.



(a)



(b)

Ejemplo 10.1

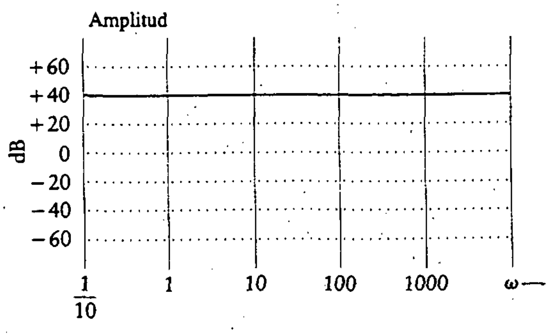
Dibújese el diagrama de Bode para la función de transferencia de lazo

$$G(s)H(s) = 100$$

SOLUCIÓN Este es un caso simple de un factor invariante en frecuencia, y

$$K_{dB} = 20\log(100) = 20(2) = 40 \text{ dB} \quad \text{para toda } \omega$$

La fase es cero en todas las frecuencias, ya que la función de transferencia de lazo es real. La gráfica se muestra en la figura 10.10.



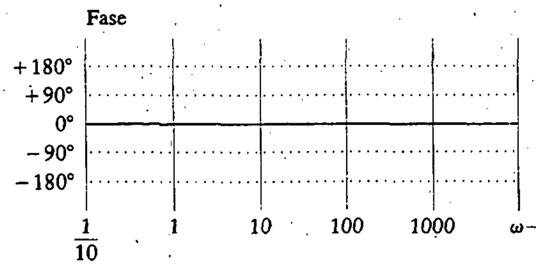


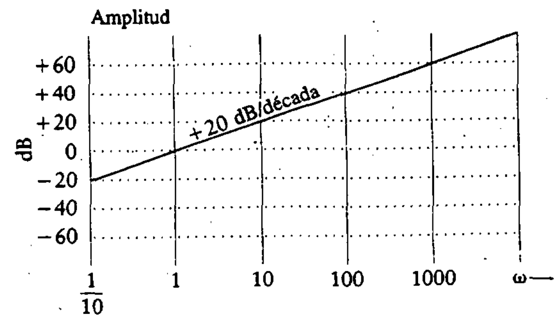
Figura 10.10 Respuesta en frecuencia para el ejemplo 10.1.

Ejemplo 10.2

Dibújese el diagrama de Bode para la función de transferencia de lazo

$$G(s)H(s) = s$$

SOLUCIÓN Este es el caso de un cero simple en el origen. El diagrama de amplitud resultante es una línea recta de pendiente 20 dB/década. La línea pasa a través del eje de 0 dB en $\omega = 1$. La fase es una constante de 90° para todas las frecuencias, ya que la función de transferencia para $s = j\omega$ es puramente imaginaria. El resultado se muestra en la figura 10.11.



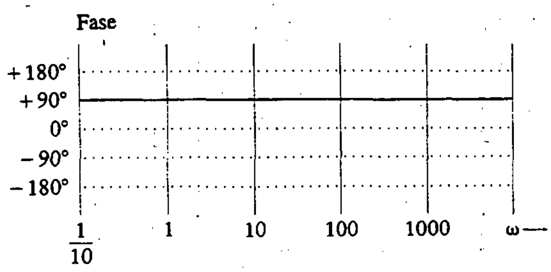


Figura 10.11 Respuesta en frecuencia para el ejemplo 10.2.

Ejemplo 10.3

Dibújese el diagrama de Bode para la función de transferencia de lazo

$$G(s)H(s) = \frac{10}{s+10} = \frac{1}{s/10+1}$$

SOLUCIÓN Esta expresión contiene un polo simple. La frecuencia de corte es $\omega = 10$. Conforme la frecuencia se aproxima a cero, la amplitud se aproxima a uno, lo que corresponde a 0 dB. A la derecha de la frecuencia de corte, la pendiente de la curva de amplitud es -20 dB/década. La curva de fase inicia en 0° y pasa a través de $-45°$ a la frecuencia de corte. La porción central de la aproximación de fase tiene una pendiente de $-45°$/década, por lo que la aproximación empieza a disminuir de 0° a una frecuencia de 1. Alcanza la máxima fase negativa de $-90°$ a una frecuencia de 100. Las curvas resultantes se muestran en la figura 10.12.

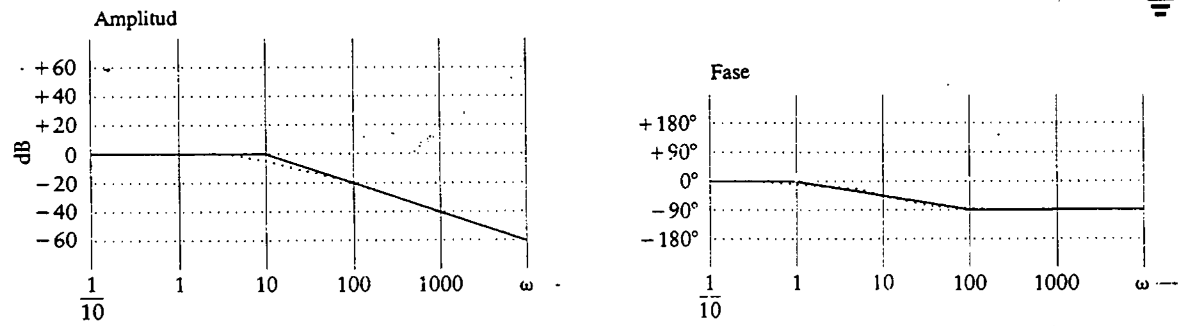


Figura 10.12 Respuesta en frecuencia para el ejemplo 10.3.

Ejemplo 10.4

Dibújese el diagrama de Bode para la función de transferencia de lazo

$$G(s)H(s) = \frac{s}{s+10} = \frac{0.1s}{0.1s+1}$$

SOLUCIÓN Esta función de transferencia es el producto de dos factores. Uno de ellos es un cero simple en el origen, como en el ejemplo 10.2, y el otro constituye un polo simple, como en el ejemplo 10.3. Se puede graficar por separado y sumar los resultados, o graficar en forma simultánea. Se elige este último método.

El cero se halla en el origen, y el polo tiene una frecuencia de corte de 10. Por tanto, si se inicia la gráfica de amplitud en pequeños valores de frecuencia, el cero es el término dominante. La gráfica inicia con una línea recta con pendiente 20 dB/década. Para valores de frecuencia pequeños, la función de transferencia se aproxima por $s/10$, debido a lo cual la gráfica interseca el eje de 0 dB en

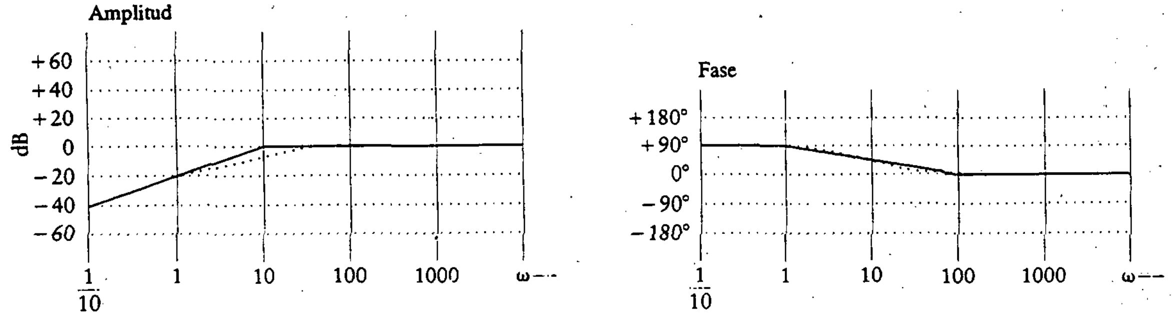


Figura 10.13 Respuesta en frecuencia para el ejemplo 10.4.

$\omega = 10$. Conforme aumenta la frecuencia, el siguiente efecto se produce a la frecuencia de corte de $\omega = 10$. En este punto, se suma una línea recta de pendiente −20 dB/década. El resultado es un cambio en la pendiente de la curva de +20 dB/década a 0 (es decir, horizontal). La curva resultante se muestra en la figura 10.13. Nótese que se ilustra tanto la aproximación como la curva corregida, donde la curva corregida se muestra en línea punteada. A la frecuencia de corte, la corrección es −3 dB.

La gráfica de fase se desarrolla en forma similar. Se inicia nuevamente con frecuencias pequeñas, donde predomina el cero. Entonces la fase es de 90° hasta que entran en juego los efectos del polo. Recuérdese que la gráfica de fase para el polo es una línea recta con pendiente de −45°/década que inicia en $\frac{1}{10}$ de la frecuencia de corte y termina en 10 veces dicha frecuencia de corte. El resultado se muestra en la figura 10.13.

Ejemplo 10.5

Dibújese el diagrama de Bode para la función de transferencia

$$G(s)H(s) = \frac{1}{s^2 + 3s + 10} = \frac{0.1}{0.1s^2 + 0.3s + 1}$$

SOLUCIÓN Este es un ejemplo de polo cuadrático. Se inicia colocando esto en la forma de la ecuación (10.15) como sigue:

$$G(s)H(s) = \frac{0.1}{(s/\omega_n)^2 + 2\zeta s/\omega_n + 1} \tag{10.17}$$

donde

$$\omega_n = \sqrt{10} = 3.16 \text{ rad/s} \tag{10.18}$$

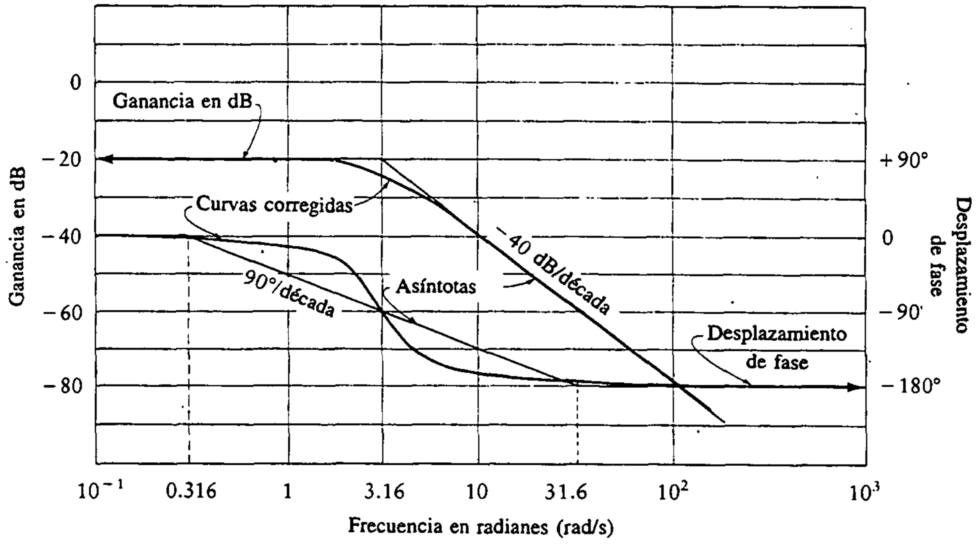


Figura 10.14 Diagramas de Bode para el ejemplo 10.5.

y

$$\zeta = \frac{0.3\omega_n}{2} = 0.474 \tag{10.19}$$

En primer lugar se coloca la frecuencia de corte en el diagrama de Bode. La primera aproximación se dibuja de la misma manera que para el polo doble situado en la frecuencia de corte. Esto es, para el diagrama de amplitud, se inicia en esta frecuencia y se dibuja una línea de −40 dB/década hacia la derecha. La gráfica de fase es una aproximación a la curva del arcotangente que se extiende de 0 a −180°. Estas aproximaciones asintóticas se muestran en la figura 10.14. Debido a que la corrección de las asíntotas depende de la razón de amortiguamiento, es necesario referirse a la figura 10.8 ó 10.9. La forma real de la curva de amplitud es como se muestra en la figura 10.8(a) para una razón de amortiguamiento de 0.475 y frecuencia de corte $\sqrt{10}$. Es necesario hacer una interpolación entre las dos curvas mostradas para razones de amortiguamiento de 0.4 y 0.6. Para hacer la gráfica, se inicia con las aproximaciones de la figura 10.14 y se aplican las correcciones de la figura 10.9(a). Se realiza la interpolación ya que no se muestra una curva para una razón de amortiguamiento de 0.475. También se dibuja la curva de fase iniciando con la aproximación de la figura 10.14 y aplicando las desviaciones dadas en la figura 10.9(b). Las curvas de amplitud y fase resultantes también se muestran en la figura 10.14. Nótese que la corrección para la curva de desplazamiento de fase es más pronunciada que para la curva de amplitud.

Ejercicios

D10.1 Dibújese el diagrama de Bode para la función de transferencia de lazo

$$G(s)H(s) = -0.1$$

Resp.: Véase la figura D10.1.

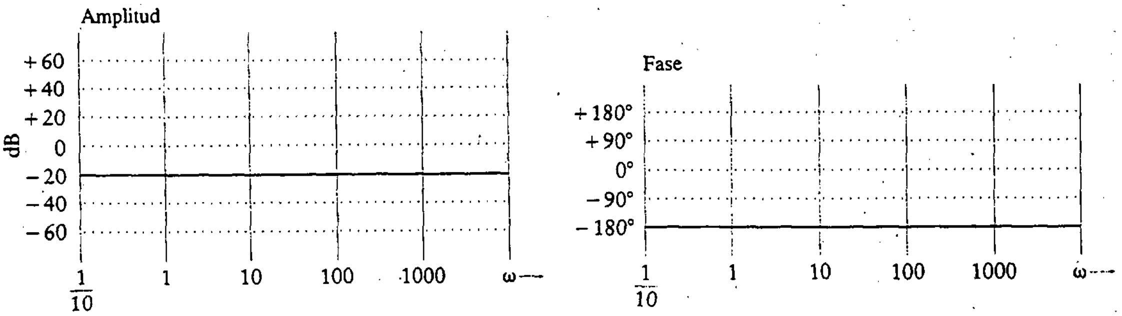


Figura D10.1

D10.2 Dibújese el diagrama de Bode para la función de transferencia de lazo

$$G(s)H(s) = \frac{K}{s}$$

Resp.: Véase la figura D10.2.

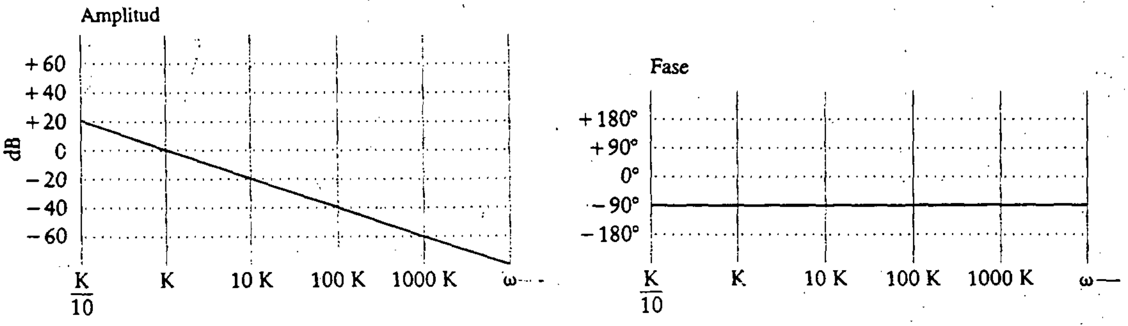


Figura D10.2

D10.3 Dibújese el diagrama de Bode para la función de transferencia de lazo

$$G(s)H(s) = 0.1s + 1$$

Resp.: Véase la figura D10.3.

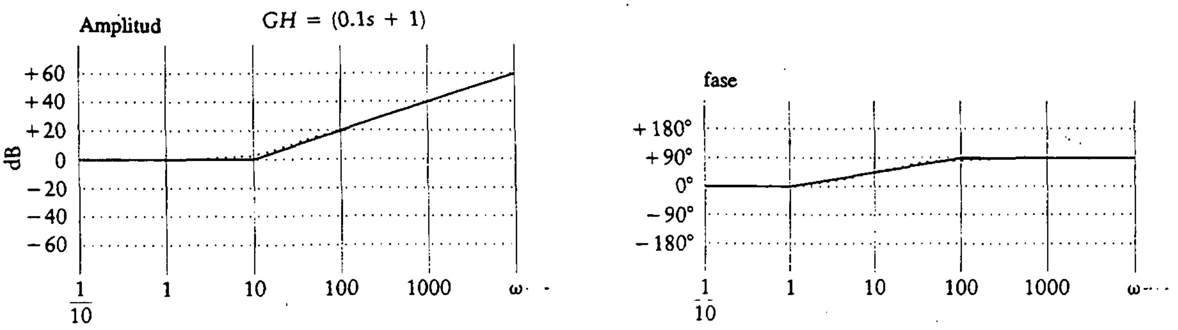


Figura D10.3

D10.4 Dibújese el diagrama de Bode para el sistema con función de transferencia de lazo

$$G(s)H(s) = \frac{0.03}{s(0.5s+1)(0.06s^2+0.1s+1)}$$

Resp.: Nótese que para el término cuadrático, $\omega_n = 4.08$ y $\zeta = 0.204$. Las gráficas resultantes se muestran en la figura D10.4.

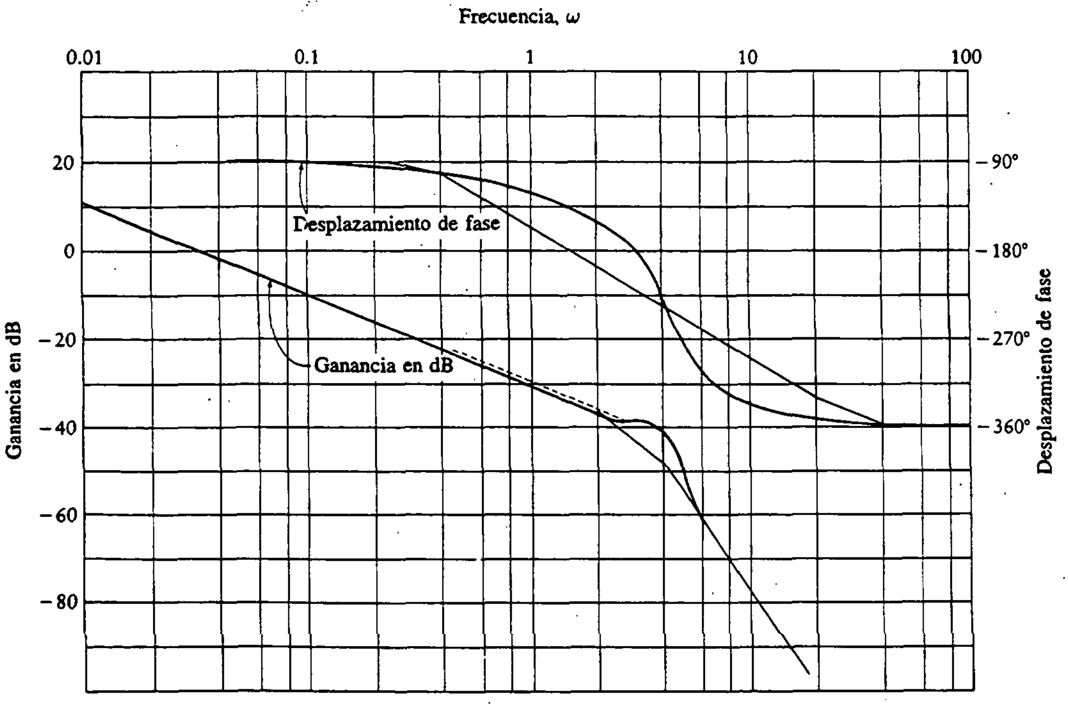


Figura D10.4

10.2 RESPUESTA EN FRECUENCIA DEL AMPLIFICADOR OPERACIONAL

Ya que se tiene algo de experiencia en diagramas de Bode, es posible aplicar estos conceptos al análisis en frecuencia de circuitos con amplificador operacional.

En la figura 10.15 se muestra la característica típica de lazo abierto en amplitud de un amplificador operacional como función de la frecuencia. Los números son comunes para un amplificador operacional μA741 de propósito general. Esta gráfica se puede aproximar con la expresión de la ecuación (10.20).

$$G(s) = \frac{G_o}{1 + s/\omega_c} \tag{10.20}$$

La constante G_o es la ganancia de lazo abierto en cd para el amplificador operacional, y ω_c la frecuencia de corte. Esta característica amplitud-frecuencia es el resultado de la compensación interna dentro del amplificador operacional. La curva mostrada es para una compensación interna por polo simple. Por lo general, las hojas de especificaciones del fabricante muestran tanto la respuesta en amplitud como la fase del amplificador operacional. Esta información se muestra en el apéndice D.

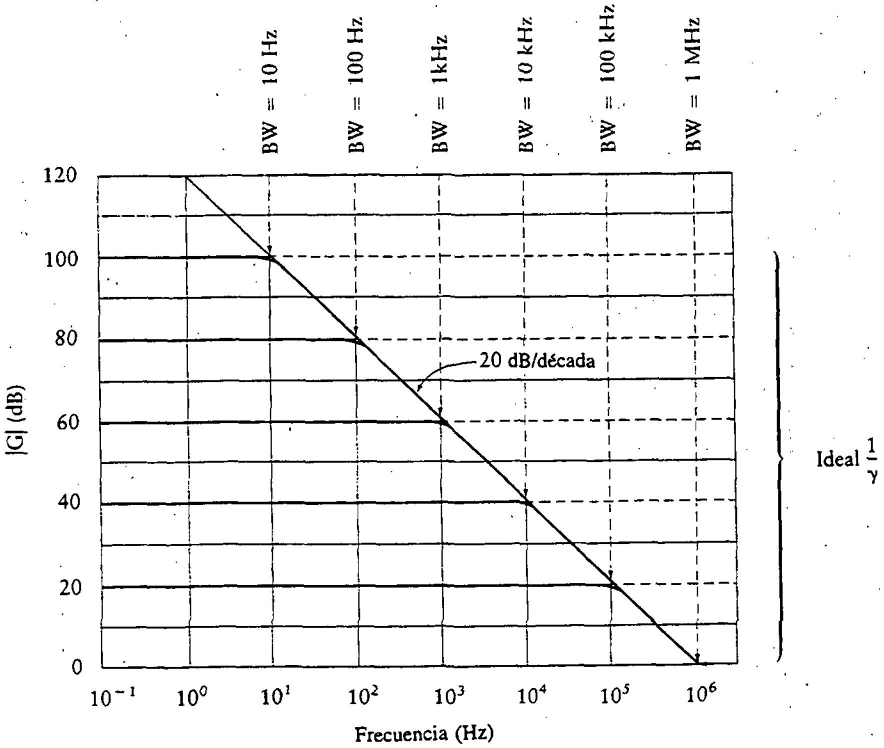


Figura 10.15
Características de ganancia de lazo abierto de un amplificador operacional.

Un examen de la curva en la figura 10.15 muestra que la ganancia es de 100 dB en baja frecuencia, y que luego cae con una pendiente de −20 dB/década hasta 0 dB a una frecuencia de 10^6 Hz. La GBP es una constante de 10^6 Hz.

Se encontrará ahora la ganancia de lazo cerrado para este amplificador operacional en una típica aplicación como amplificador inversor, como se ilustra en la figura 10.16. La ganancia de lazo cerrado se encuentra escribiendo las ecuaciones de nodo en v_+ y v_- como sigue:

$$v_+ = 0$$

$$\frac{v_- - v_1}{R_A} = \frac{v_o - v_-}{R_F}$$

Despejando el valor de la tensión en la entrada inversora, se obtiene

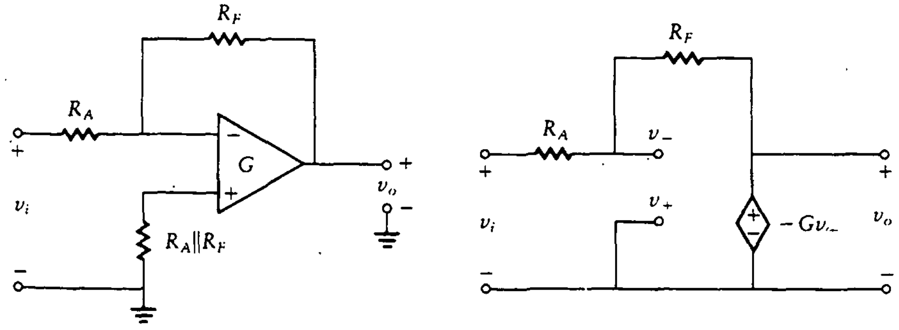
$$v_- = \frac{v_i R_F + v_o R_A}{R_F + R_A}$$

Se utiliza ahora la relación de la ganancia de lazo abierto para despejar la tensión de salida:

$$\begin{aligned} v_o &= -Gv_- \\ &= \frac{-Gv_i R_F}{R_A + R_F} - \frac{Gv_o R_A}{R_A + R_F} \end{aligned}$$

Esta expresión se puede simplificar definiendo un nuevo parámetro como la relación para el divisor de tensión entre R_A y R_F:

$$\gamma = \frac{R_A}{R_F + R_A}$$



(a) (b)

Figura 10.16
Amplificador operacional inversor.

Entonces la tensión de salida está dada por

$$v_o = \frac{-Gv_iR_F\gamma}{R_A} - Gv_o\gamma$$

y la ganancia de tensión es la razón de la tensión de salida a la de entrada,

$$A_v = \frac{v_o}{v_i} = \frac{-G\gamma R_F/R_A}{1+G\gamma} \tag{10.21}$$

Conforme la ganancia, G, se aproxima a infinito, la ganancia de tensión, A_v, se aproxima a

$$A_v = \frac{-R_F}{R_A}$$

Recuérdese que G es una función de la frecuencia dada por la ecuación (10.20). Sustituyendo esto para G en la ecuación (10.21), se obtiene

$$\begin{aligned} A_v &= \frac{-R_F}{R_A}\frac{G_o\gamma}{1+G_o\gamma+s/\omega_c} \\ &= \frac{-R_F}{R_A}\frac{G_o\gamma/(1+G_o\gamma)}{1+\dfrac{s}{\omega_c(1+G_o\gamma)}} \end{aligned} \tag{10.22}$$

Si la ganancia en cd es grande, se puede suponer que $\gamma G_o \gg 1$. Entonces la ecuación (10.22) se reduce a

$$A_v = \frac{-R_F}{R_A}\frac{1}{1+s/\gamma G_o\omega_c}$$

Esta ecuación de ganancia contiene un polo simple. Por tanto, el diagrama de Bode inicia en $20\log(R_F/R_A)$ y tiene una frecuencia de corte en

$$\omega = \frac{G_o\omega_c}{1+R_F/R_A}$$

Nótese que aparece el producto $G_o\omega_c$ en estas ecuaciones. Por tanto, si la ganancia de lazo cerrado permanece en un valor fijo, existe una relación inversa entre G_o y ω_c. Conforme aumenta la ganancia, la frecuencia de corte (es decir, el ancho de banda) debe disminuir de manera que el producto permanezca constante. Esta relación inversa entre la ganancia y el ancho de banda es un compromiso importante por considerar en el diseño.

10.3 RESPUESTA EN BAJA FRECUENCIA: BJT

El amplificador BJT normalmente contiene capacitores con el fin de acoplar la salida a la carga y realizar un cortocircuito en el resistor de emisor. Se trata de que estos capacitores sean circuitos abiertos en condiciones de cd pero cortocircuitos para las frecuencias de la señal de interés. En la práctica, el capacitor se desvía de la condición de cortocircuito si la frecuencia disminuye. Esto produce una degradación de la respuesta: ahora el amplificador depende de la frecuencia. En esta sección, se estudia la respuesta en baja frecuencia del amplificador. Se examinarán por separado los efectos de los capacitores de acoplamiento y de paso.

10.3.1 Capacitancia de acoplamiento

En la figura 10.17 se muestra un amplificador EC con capacitores de acoplamiento C_1 y C_2. El circuito equivalente se muestra en la figura 10.18. Conforme la frecuencia se reduce hacia cero, ambos capacitores de acoplamiento se aproximan a condiciones de circuito abierto y la señal de entrada se atenúa. La impedancia de entrada está dada por

$$\begin{aligned} Z_{en} &= R_{en} + \frac{1}{sC_2} \\ &= \left[R_B \parallel (h_{ie} + \beta R_E)\right] + \frac{1}{sC_2} \end{aligned}$$

donde

$$R_B = R_1 \parallel R_2$$

Figura 10.17 Amplificador EC.

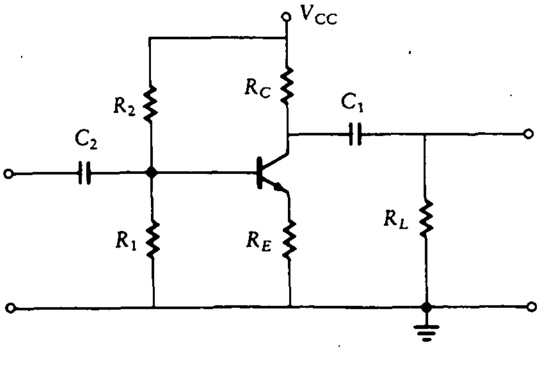
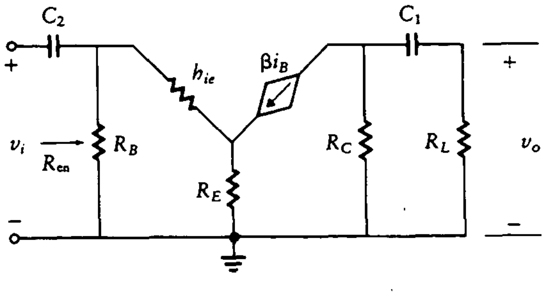


Figura 10.18 Circuito equivalente del amplificador EC.



Si ahora se supone que la resistencia de la fuente es mucho menor que la resistencia de entrada, entonces la corriente de entrada está dada por

$$I_{en} = \frac{V_i}{R_{en} + 1/sC_2}$$

y la corriente de base es

$$\begin{aligned} I_B &= \frac{V_i}{R_{en} + 1/sC_2} \frac{R_B}{R_B + h_{ie} + \beta R_E} \\ &= \frac{V_i R_B}{R_B + h_{ie} + \beta R_E} \frac{sC_2}{sC_2 R_{en} + 1} \\ &= \frac{V_i R_B}{R_B + h_{ie} + \beta R_E} \frac{sC_2 R_{en}}{sC_2 R_{en} + 1} \frac{1}{R_{en}} \end{aligned}$$

pero

$$R_{en} = R_B \parallel (h_{ie} + \beta R_E)$$

lo que simplifica esta expresión para dar

$$I_B = \frac{V_i}{h_{ie} + \beta R_E} \frac{\tau_2 s}{\tau_2 s + 1}$$

donde τ_2 es la constante de tiempo de la combinación resistor-capacitor en la base. Esto es,

$$\tau_2 = R_{en} C_2$$

Si la resistencia de la fuente, R_i, no es mucho menor que R_{en}, se debe añadir R_i a R_{en} al calcular τ_2.

La tensión de salida está dada por

$$\begin{aligned} V_o &= \frac{-\beta I_B R_C R_L}{R_C + R_L + 1/sC_1} = \frac{-\beta I_B R_C R_L sC_1}{sC_1(R_C + R_L) + 1} \\ &= -\beta I_B (R_C \parallel R_L) \frac{\tau_1 s}{\tau_1 s + 1} \end{aligned}$$

donde τ_1 es la constante de tiempo asociada con el lazo R_C en la salida. Esto es,

$$\tau_1 = C_1(R_C + R_L)$$

Ahora la ganancia de tensión está dada por

$$A_v = \frac{V_o}{V_i} = \frac{-R_C \parallel R_L}{h_{ib} + R_E} \frac{\tau_1 \tau_2 s^2}{(s\tau_1 + 1)(s\tau_2 + 1)}$$

$$= \frac{-R_C \parallel R_L}{h_{ib} + R_E} \frac{s^2}{(s + 1/\tau_1)(s + 1/\tau_2)} \tag{10.23}$$

La ganancia de corriente está dada por

$$A_i = A_v \frac{Z_{en}}{Z_L}$$

$$= \frac{-R_C \parallel R_L}{h_{ib} + R_E} \frac{\tau_1 \tau_2 s^2}{(\tau_1 s + 1)(\tau_2 s + 1)} \frac{R_{en} + 1/sC_2}{R_L}$$

$$= \frac{-R_B^2 R_C C_1 C_2}{R_E} \frac{s^2(1 + 1/sR_B C_2)}{(s\tau_1 + 1)(s\tau_2 + 1)}$$

$$= \frac{-R_C \parallel R_L}{h_{ib} + R_E} \frac{\tau_1 \tau_2 s^2}{(\tau_1 s + 1)(\tau_2 s + 1)} \frac{R_B(h_{ie} + \beta R_E)}{R_B + h_{ie} + \beta R_E} \frac{\tau_2 s + 1}{\tau_2 s R_L}$$

$$= -\frac{R_B}{R_B/\beta + h_{ib} + R_E} \frac{s}{s + 1/\tau_1} \frac{R_C}{R_C + R_L} \tag{10.24}$$

Supóngase que se desea dibujar el diagrama de Bode para la ganancia de corriente de la ecuación (10.24). Nótese en primer lugar que la expresión tiene un cero de primer orden en el origen y un polo. La frecuencia de corte se encuentra a una frecuencia de $1/\tau_1$. Para frecuencias por debajo de la frecuencia de corte, el cero provoca que la gráfica crezca a 20 dB/década. En la frecuencia de corte, $1/\tau_1$, se suma una línea de pendiente negativa de −20 dB/década. Por tanto, el resultado permanece constante. Se grafican estos resultados para un ejemplo particular que sigue al análisis de una simplificación. Las ecuaciones (10.23) y (10.24) se pueden simplificar definiendo la ganancia de media frecuencia como el valor de la ganancia en frecuencias a la derecha de la frecuencia de corte. Esto equivale a tomar el límite de las expresiones de las dos ecuaciones conforme s se aproxima a infinito. Haciendo esto y sustituyendo en los valores para τ_1 y τ_2, se encuentra, de la ecuación (10.23),

$$A_{vm} = A_v|_{s\to\infty} = \frac{-R_C \parallel R_L}{R_E + h_{ib}} \tag{10.25}$$

De la misma forma, la ecuación (10.24) da

$$A_{im} = A_i|_{s\to\infty} = \frac{-R_B}{R_B/\beta + h_{ib} + R_E} \frac{R_C}{R_C + R_L} \tag{10.26}$$

Ahora se pueden utilizar estas ganancias a frecuencias medias para normalizar las expresiones de las ecuaciones (10.23) y (10.24). Esto es, se divide entre los valores a frecuencias medias para obtener

$$\frac{A_v}{A_{vm}} = \frac{s^2}{(s+1/\tau_1)(s+1/\tau_2)} \tag{10.27}$$

$$\frac{A_i}{A_{im}} = \frac{s}{s+1/\tau_1} \tag{10.28}$$

Ejemplo 10.6

Grafíquese la respuesta en baja frecuencia para el amplificador mostrado en la figura 10.19. Supóngase una resistencia de fuente cero.

SOLUCIÓN Sólo se requiere calcular las ganancias a frecuencias medias y las frecuencias de corte. Con el fin de encontrar las frecuencias de corte, se necesitan las constantes de tiempo τ_1 y τ_2.

$$V_{BB} = \frac{2200(10)}{22\,200} = 0.991 \text{ V}$$

$$R_B = 2.2 \text{ k}\Omega \parallel 20 \text{ k}\Omega = 1.98 \text{ k}\Omega$$

$$I_{CQ} = \frac{0.991 - 0.7}{1980/200 + 100} = 2.65 \text{ mA}$$

$$h_{ib} = \frac{26 \text{ mV}}{2.65 \text{ mA}} = 9.8 \ \Omega$$

$$R_{\text{en}} = 1.98 \text{ k}\Omega \parallel [(9.8 + 100)200] \ \Omega = 1.82 \text{ k}\Omega$$

$$\tau_1 = C_1(R_C + R_L)$$

$$= (5 \times 10^{-6})(2 \text{ k}\Omega) = 0.01 \text{ s}$$

entonces

$$\omega_1 = 100 \text{ rad/s}$$

$$\tau_2 = C_2 R_{\text{en}} = (50 \times 10^{-6})(1.82 \text{ k}\Omega) = 0.091 \text{ s}$$

y

$$\omega_2 = 11 \text{ rad/s}$$

Las ganancias a frecuencias medias están dadas por las ecuaciones (10.25) y (10.26).

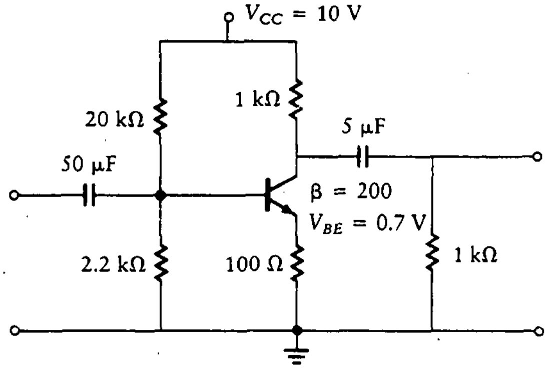


Figura 10.19
Amplificador EC para el ejemplo 10.6.

$$A_{vm} = \frac{-R_C \parallel R_L}{R_E + h_{ib}} = \frac{500}{100 + 9.8} = -4.55$$

$$A_{im} = \frac{-R_B}{R_B/\beta + h_{ib} + R_E} \frac{R_C}{R_C + R_L}$$

$$= \frac{-2000}{9.9 + 9.8 + 100} \frac{1000}{2000} = -8.28$$

Las ganancias normalizadas se grafican en el diagrama de Bode a partir de las ecuaciones

$$\frac{A_v}{A_{vm}} = \frac{s^2}{(s + 1/\tau_1)(s + 1/\tau_2)} = \tau_1\tau_2 \frac{s^2}{(\tau_1 s + 1)(\tau_2 s + 1)}$$

$$= 0.91 \times 10^{-3} \frac{s^2}{(0.01s + 1)(0.0091 + 1)} \quad (10.29a)$$

$$\frac{A_i}{A_{im}} = \frac{s}{s + 1/\tau_1} = 10^{-2} \frac{s}{0.01s + 1} \quad (10.29b)$$

La gráfica de amplitud de tensión inicia con una pendiente de 40 dB/década. En la primera frecuencia de corte, $\omega = 11$, la pendiente cambia a 20 dB/década. La curva real se desvía 3 dB de la aproximación asintótica por línea recta en la frecuencia de corte y por 1 dB a un medio y al doble de esta frecuencia de corte. En la segunda frecuencia de corte, $\omega = 100$, la pendiente cambia a 0 dB/década. A la derecha de este punto, la amplitud permanece en 0 dB. Esto se muestra en la figura 10.20.

La curva de fase inicia en 180°. Las frecuencias de corte están ubicadas en $\omega = 11$ y $\omega = 100$ rad/s. Comenzando en $\frac{1}{10}$ de la primera frecuencia de corte, o 1.1 rad/s, la curva sigue una asíntota de −45°/década hasta $\frac{1}{10}$ de la segunda frecuencia de corte, o 10 rad/s. En $\omega = 100$ rad/s, el efecto del primer polo desaparece y la curva asintótica tiene una pendiente de −45°/década hasta una frecuencia de 1000. De aquí en adelante la pendiente de la curva de fase es 0°/década.

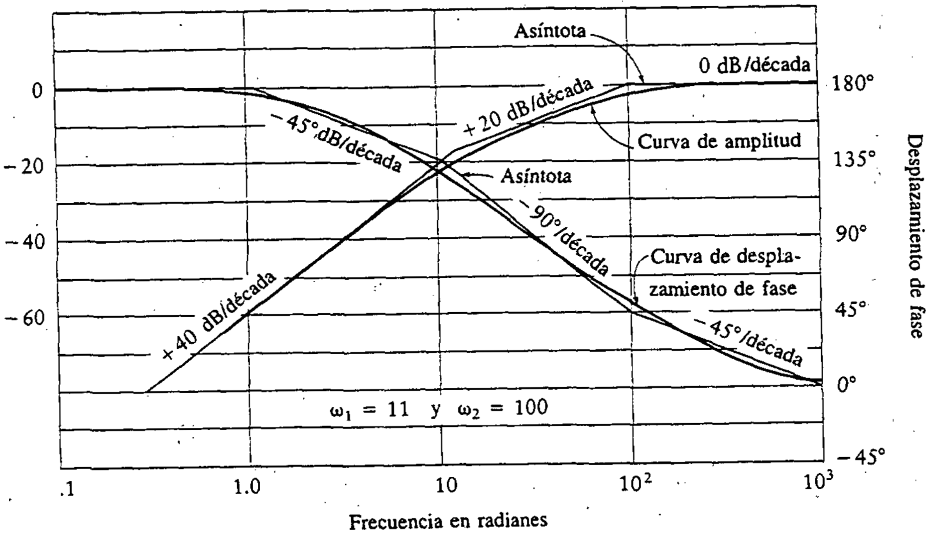


Figura 10.20
Diagrama de Bode para el ejemplo 10.6.

Las correcciones a las curvas asintóticas tanto para la fase como para la ganancia se muestran en la figura 10.20.

La amplitud de la gráfica de corriente inicia con una pendiente de 20 dB/década. Continúa con esta pendiente hasta la frecuencia de corte en 100 rad/s. En este punto, la pendiente disminuye en 0 dB/década y la amplitud permanece constante en 0 dB. El desplazamiento de fase comienza en $-90°$ en baja frecuencia. A 10 rad/s, la pendiente se vuelve de $-45°$/década y se mantiene ahí hasta 100 rad/s, punto en el cual el desplazamiento de fase se vuelve cero.

10.3.2 Diseño para una característica de frecuencia dada

Supóngase que se desea diseñar un amplificador con un corte de baja frecuencia específico. Esto es, la ganancia disminuye a baja frecuencia y se especifica el punto en el que la respuesta cae 3 dB por debajo del valor a frecuencia media. Si sólo hubiera una frecuencia de corte, la tarea de diseño sería trivial. Simplemente se igualaría la frecuencia de corte con la frecuencia dada.

De hecho, suelen tenerse dos frecuencias de corte que interactúan entre sí, por lo que el diseño es más complejo. Se presentan tres métodos de diseño. El método específico que se utilice en un diseño particular depende del grado de separación entre las dos frecuencias. El primer método requiere una separación tal que prácticamente no exista interacción y, por tanto, se reduzca al problema del diseño de una sola frecuencia de corte. Los otros dos métodos permiten la interacción parcial y total de los dos efectos. Se analizan los tres métodos y se aplican a un ejemplo.

Método 1 Se deja que un polo refleje toda la caída de 3 dB y se coloca el otro polo una década más abajo en frecuencia. Por tanto, conforme se reduce la frecuencia hacia cero, el requerimiento de diseño de los 3 dB se consigue antes de que tenga efecto el segundo polo.

Método 2 Se igualan las dos frecuencias de corte y se hace que cada una disminuya la magnitud 1.5 dB a la frecuencia especificada. Por tanto, la disminución total es de 3 dB, como lo requiere el diseño. Los polos en las frecuencias de corte reales están por debajo de la frecuencia de diseño especificada (3 dB). Si se colocan ambos polos a la frecuencia de corte de diseño, la caída a esa frecuencia es de 6 dB en lugar de los 3 dB requeridos. Se utiliza la ecuación (10.27), donde

$$\frac{1}{\tau_1} = \frac{1}{\tau_2} = \omega_c$$

Por tanto, la ganancia de tensión normalizada es

$$\frac{A_v}{A_{vm}} = \frac{s^2}{(s + \omega_c)^2}$$

El punto de 3 dB se produce cuando esta magnitud normalizada cae a 0.707. Por tanto, se hace que $s = j\omega_o$, donde ω_o es la frecuencia de 3 dB especificada:

$$\frac{\omega_o^2}{\omega_a^2 + \omega_c^2} = \frac{1}{\sqrt{2}}$$

Despejando ω_o, se obtiene

$$\omega_o = 1.55\omega_c \tag{10.30}$$

Método 3 El primer método separa las frecuencias de corte lo suficiente para que se pueda ignorar la frecuencia más baja. El segundo método hace iguales a las dos frecuencias. El tercer método elige valores iguales para los capacitores, lo cual conduce a frecuencias de corte que interactúan pero no son iguales. Esto permite el intercambio de componentes y con frecuencia representa un método de diseño eficiente. Se comienza el análisis con la ecuación (10.27), donde se hace

$$\omega_1 = \frac{1}{\tau_1}$$

y

$$\omega_1 = \frac{1}{\tau_2}$$

Por tanto, si la ganancia normalizada se hace igual a 0.707 a a una frecuencia ω_o, se tiene

$$\frac{A_v}{A_{vm}} = \left.\frac{(j\omega)^2}{(j\omega + \omega_1)(j\omega + \omega_2)}\right|_{\omega = \omega_o}$$

$$= \frac{\omega_o^2}{\sqrt{\omega_o^2 + \omega_1^2}\sqrt{\omega_o^2 + \omega_2^2}}$$

$$= \frac{1}{\sqrt{2}}$$

Despejando ω_o, se obtiene

$$2\omega_o^4 = (\omega_o^2 + \omega_1^2)(\omega_o^2 + \omega_2^2)$$
$$= \omega_o^4 + \omega_o^2(\omega_1^2 + \omega_2^2) + \omega_1^2\omega_2^2$$

En muchos casos, tanto ω_1 como ω_2 son menores a ω_o. Por tanto, se puede aproximar

$$\omega_o^4 = \omega_o^2(\omega_1^2 + \omega_2^2)$$

Por último,

$$\omega_o = \sqrt{\omega_1^2 + \omega_2^2}$$

y, sustituyendo ω_1 y ω_2, se tiene

$$\omega_o = \sqrt{\frac{1}{C_1^2(R_C + R_L)^2} + \frac{1}{R_{en}^2 C_2^2}}$$

Si se hace $C_1 = C_2 = C$ y se despeja C, se obtiene

$$C = \frac{1}{\omega_o R_{en}(R_C + R_L)}\sqrt{R_{en}^2 + (R_C + R_L)^2} \qquad (10.31)$$

Nuevamente, si la resistencia de fuente, R_i, es significativa en comparación con R_{en}, se tendrá que incluir la resistencia R_i con el valor de R_{en} en estas expresiones. Esto es, se reemplaza R_{en} por $R_i + R_{en}$.

Ejemplo 10.7

Un amplificador EC se diseña con

$$R_C = R_L = 2\ \text{k}\Omega$$
$$R_{en} \approx R_B = 5\ \text{k}\Omega$$

Determínese el tamaño de capacitores que proporcionen una frecuencia de corte baja en 20 Hz.

SOLUCIÓN Se ilustrará cada uno de los tres métodos.

Método 1 Se coloca un polo en la frecuencia dada y el otro una década por debajo de este punto. Por tanto,

$$C_1 = \frac{1}{2\pi f(R_L + R_C)} = 2\ \mu\text{F}$$

$$C_2 = \frac{1}{2\pi(f/10)R_{en}} = 15.9\ \mu\text{F}$$

Método 2 Se hace que ambas frecuencias de corte tengan el mismo valor. De la ecuación (10.30) se tiene

$$f_o = 1.55 f_c$$

o

$$f_c = \frac{20}{1.55} = 12.9\ \text{Hz}$$

Entonces se calcula que los capacitores sean

$$C_1 = \frac{1}{2\pi f(R_L + R_C)} = 3.8\ \mu\text{F}$$

$$C_2 = \frac{1}{2\pi f R_{en}} = 2.46\ \mu\text{F}$$

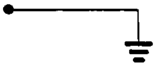
Método 3 Se hace que ambos capacitores sean iguales. Entonces, de la ecuación (10.31),

$$C = \frac{1}{2\pi f R_{en}(R_C + R_L)}\sqrt{R_{en}^2 + (R_C + R_L)^2} = 2.55\ \mu\text{F}$$

Entonces las frecuencias de corte están dadas por

$$f_1 = \frac{1}{2\pi\tau_1} = \frac{1}{2\pi C(R_C + R_L)} = 15.6\ \text{Hz}$$

$$f_2 = \frac{1}{2\pi\tau_2} = \frac{1}{2\pi C R_{en}} = 12.5\ \text{Hz}$$



Ejercicio

D10.5 Determínese la respuesta en baja frecuencia para el amplificador de la figura 10.17 cuando $C_2 = 2\ \mu\text{F}$, $R_1 = 10\ \text{k}\Omega$, $R_2 = 90\ \text{k}\Omega$, $R_C = 1\ \text{k}\Omega$, $R_E = 200\ \Omega$, $C_1 = 4\ \mu\text{F}$, $R_L = 2\ \text{k}\Omega$, $\beta = 100$, $V_{BE} = 0.7$ V y $V_{CC} = 20$ V.

Resp.: $\tau_1 = C_1(R_L + R_C) = 0.012;$

$\tau_2 = C_2 R_{en} = 0.0125;$

$f_1 = \dfrac{1}{2\pi\tau_1} = 13.3\ \text{Hz};$

$f_2 = \dfrac{1}{2\pi\tau_2} = 12.7\ \text{Hz};$

La curva de ganancia en decibeles en baja frecuencia inicia con una pendiente de 40 dB/década hasta que se alcanza f_1, entonces la pendiente cambia a 20 dB/década hasta que se alcanza f_2. Por último, la curva se vuelve horizontal a la derecha de f_2.

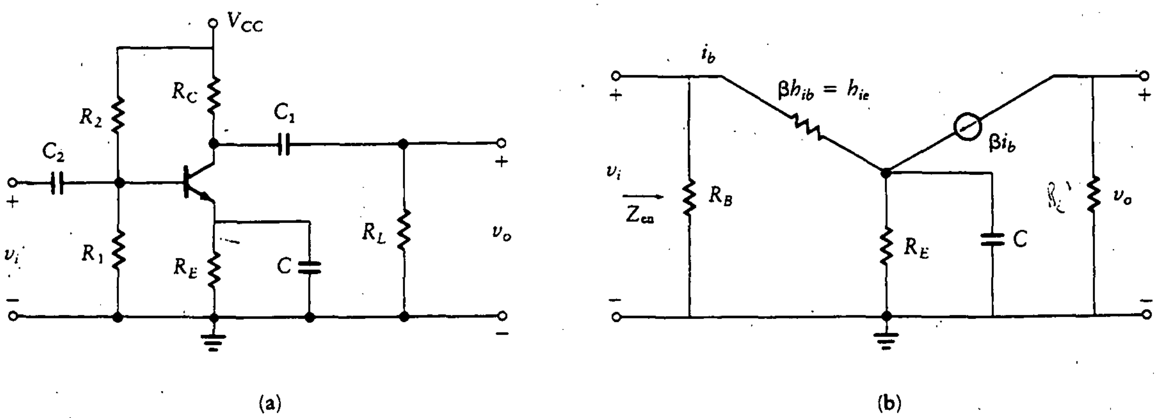
10.3.3 Capacitor de paso para el resistor de emisor

Se presentaron los efectos de los capacitores de acoplamiento sobre la respuesta en frecuencia. En esta sección se explora la adición de un capacitor de paso en paralelo con el resistor de emisor.

El amplificador EC de una sola etapa con capacitor de paso se muestra en la figura 10.21(a). En la figura 10.21(b) se muestra el circuito equivalente de este amplificador. Las siguientes ecuaciones se derivan del circuito equivalente:

$$Z_{en} = R_B \parallel \beta \left(h_{ib} + R_E \parallel \frac{1}{sC} \right)$$

Figura 10.21 Amplificador EC con capacitor de paso.



(a) (b)

$$I_b = \frac{V_i}{\beta[h_{ib} + R_E \parallel 1/sC]}$$

$$V_o = -\beta I_b R'_L = \frac{-V_i R'_L}{h_{ib} + R_E \parallel 1/sC}$$

donde

$$R'_L = R_L \parallel R_C$$

Ahora se encuentra la ganancia en tensión.

$$A_v = \frac{V_o}{V_i} = \frac{-R'_L}{h_{ib} + \dfrac{R_E/sC}{R_E + 1/sC}}$$

$$= \frac{-R'_L(1 + 1/sCR_E)}{h_{ib}(1 + 1/sC + R_E) + R_E/sCR_E} \tag{10.32}$$

Para normalizar esta ganancia, se divide por la ganancia en frecuencias medias, A_{vm}, para obtener

$$\frac{A_v}{A_{vm}} = \frac{s + 1/R_E C}{s + (1 + R_E/h_{ib})/R_E C} = \frac{s + 1/\tau_a}{s + 1/\tau_b} \tag{10.33}$$

donde

$$A_{vm} = -R'_L/h_{ib}$$

$$\tau_a = R_E C$$

$$\tau_b = \frac{R_E C}{1 + R_E/h_{ib}} = C(R_E \parallel h_{ib})$$

Nótese que τ_a es mayor a τ_b. El diagrama de Bode de la ganancia normalizada en la ecuación (10.33) contiene dos frecuencias de corte. La menor de estas dos se debe al cero. Por tanto, se inicia en baja frecuencia con una línea horizontal. A la frecuencia de corte del cero, $1/\tau_a$, la curva se dirige hacia arriba con una pendiente de +20 dB/década. Cuando se alcanza la segunda frecuencia de corte, la del polo, la curva se vuelve horizontal otra vez. Esto se ilustra en la figura 10.22.

10.3.4 Efecto combinado del capacitor de acoplamiento y el capacitor de paso

En muchos circuitos de interés, están presentes tanto el capacitor de acoplamiento como el de paso. Los capacitores de paso se seleccionan a menudo para tener

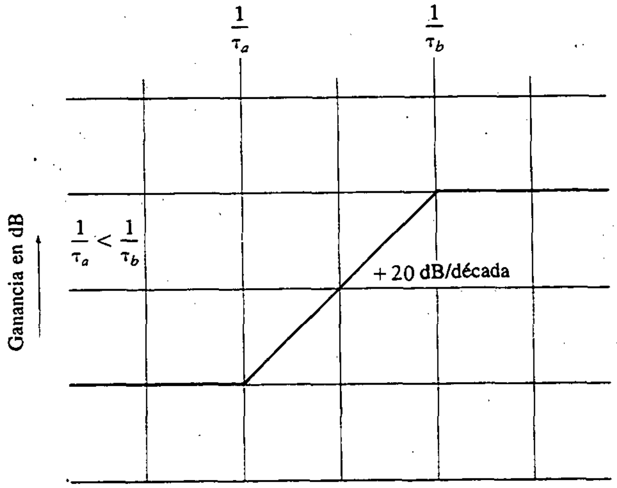


Figura 10.22
Gráfica de amplitud para el amplificador EC de la figura 10.21.

frecuencias de corte por debajo de las de los capacitores de acoplamiento. Como la resistencia en paralelo con los capacitores de paso en general es menor que la resistencia en paralelo con los capacitores de acoplamiento, los capacitores de paso deben ser considerablemente mayores que los de acoplamiento para cumplir con los requerimientos de las frecuencias de corte. Esto es, para que la frecuencia de corte sea más pequeña, la constante de tiempo RC debe ser mayor. Si se puede cumplir esta condición, los efectos de los capacitores de paso se pueden ignorar en el análisis en frecuencia y en el diseño de amplificadores.

Se examinarán las ecuaciones derivadas en las secciones 10.3.1 y 10.3.3. Estos tres capacitores se pueden despejar en términos de las constantes de tiempo

$$C_1 = \frac{\tau_1}{R_C + R_L} \tag{10.34a}$$

$$C_2 = \frac{\tau_2}{R_{en}} \tag{10.34b}$$

$$C_b = \frac{\tau_b}{R_E \parallel h_{ib}} \tag{10.34c}$$

En la ecuación (10.33) se ignoran los efectos del cero, pues se supone que los capacitores de acoplamiento reducen bastante la ganancia en el intervalo afectado por este cero. Esto es, se supone una vez más que las frecuencias de corte debidas a los capacitores de paso son mucho menores que las debidas a los capacitores de acoplamiento. Por tanto, el cero del capacitor de paso en la respuesta no afecta la salida hasta que la frecuencia sea muy pequeña.

10.3.5 Respuesta en baja frecuencia. Amplificador ES

La característica en baja frecuencia del amplificador ES es similar a la del amplificador EC, y la función de la respuesta está dada por la siguiente ecuación:

$$\frac{A_v}{A_{vm}} = \frac{s^2}{(s + 1/\tau_1)(s + 1/\tau_2)}$$

Como las constantes de tiempo son funciones de la combinación RC, se pueden escribir como sigue:

$$\tau_1(\text{salida}) = C_1\left[R_L + R_E \parallel (R_B/\beta + h_{ib})\right] \parallel (R_i/\beta)$$

$$\tau_2(\text{entrada}) = C_2(R_{en} + R_i)$$

La R_{en} para el amplificador ES es mucho mayor que la resistencia de salida. Por tanto, la constante de tiempo en la entrada es mucho menor que la constante de tiempo en la salida, y por lo general se hace que la pérdida de 3 dB se produzca en el circuito de salida. Esto conduce a los valores de capacitores más bajos posibles. Por tanto, la combinación resistor-capacitor se diseña en la entrada para que no refleje pérdida alguna en la frecuencia de corte. Esto se logra colocando la frecuencia de corte en la entrada una década por debajo de la frecuencia de corte del circuito de salida.

10.3.6 Respuesta en baja frecuencia. Amplificador BC

El diseño del amplificador BC es casi idéntico al del amplificador ES excepto porque el polo dominante se desplaza del circuito de salida al de entrada. Por tanto, para mantener razonable el valor de los capacitores, se hace que la pérdida de 3 dB se presente en el circuito de entrada, manteniendo la frecuencia de corte del circuito de salida por debajo del límite requerido en la frecuencia más baja. Las constantes de tiempo para estos circuitos son como sigue:

$$\tau_1(\text{salida}) = C_1(R_C + R_L)$$

$$\tau_2(\text{entrada}) = C_2[R_E \parallel (h_{ib} + R_B/\beta) + R_i]$$

$$= C_2(R_{en} + R_i)$$

Si el resistor de base hace cortocircuito con un capacitor, C_B, la constante de tiempo de este circuito se puede alejar también una década del límite requerido en la frecuencia más baja. Esta constante de tiempo en la base está dada por

$$\tau_b = C_B\left[R_B \parallel (h_{ie} + \beta R_E)\right]$$

Con el capacitor de base presente, τ_2 cambia a

$$\tau_2(\text{entrada}) = C_2[R_E \parallel h_{ib}) + R_i]$$

Este cambio sucede al colocar C_b en una frecuencia menor, provocando por tanto que C_B se vea como un cortocircuito en la frecuencia de corte en la cual se lleva a cabo el diseño.

10.4 RESPUESTA EN BAJA FRECUENCIA. AMPLIFICADORES CON FET

10.4.1 Respuesta en baja frecuencia para un amplificador FC

En la figura 10.23(a) se ilustra un amplificador FET de una sola etapa con capacitores de acoplamiento y paso. El circuito equivalente se muestra en la figura 10.23(b).

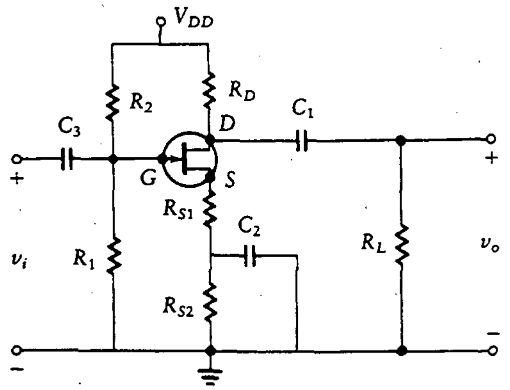
Como la impedancia de entrada de un FET en general es alta, la constante de tiempo en la entrada también es alta. Esto conduce a una frecuencia de corte muy baja. Se pueden ignorar los efectos del capacitor de acoplamiento sobre la respuesta en baja frecuencia del amplificador.

Por tanto, el desempeño en baja frecuencia está determinado por el capacitor de paso en el resistor de fuente, C_2, y el capacitor de acoplamiento en la salida, C_1.

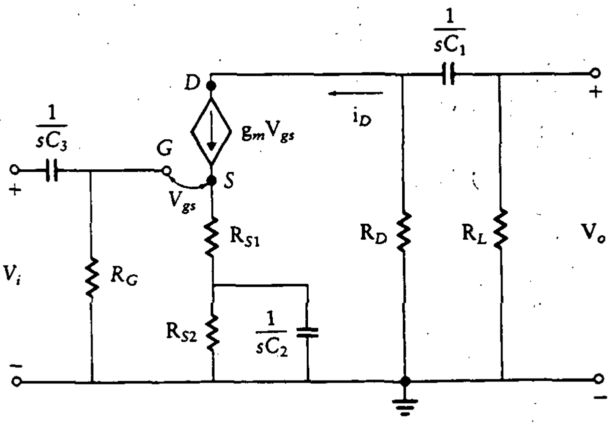
En primer lugar, se calcula la ganancia de tensión a frecuencias medias suponiendo que los capacitores son cortocircuitos. Se escribe una ecuación de lazo alrededor del lazo compuerta a fuente, con este resultado:

$$A_{vm} = \frac{-g_m(R_D \parallel R_L)}{(1 + g_m R_{S1})} \tag{10.35}$$

Figura 10.23 Amplificador FET de una sola etapa.



(a)



(b)

Cuando los capacitores no son cortocircuitos, la tensión de salida se encuentra de la relación de un divisor de corriente como sigue:

$$A_v = \frac{V_o}{V_i} = \frac{R_L R_D}{R_L + R_D + 1/sC_1} \frac{-V_{gs} g_m}{V_i} \tag{10.36}$$

Si se escribe una ecuación de lazo alrededor del lazo compuerta a fuente, se obtiene

$$\begin{aligned} V_{gs} &= V_i - g_m V_{gs}(R_{S1} + Z_{S2}) \\ &= \frac{V_i}{1 + g_m(R_{S1} + Z_{S2})} \end{aligned}$$

donde Z_{S2} es la combinación en paralelo de R_{S2} y C_2, es decir,

$$Z_{S2} = \frac{R_{S2}/sC_2}{R_{S2} + (1/sC_2)} = \frac{R_{S2}}{sC_2 R_{S2} + 1}$$

Sustituyendo las expresiones para V_{gs} y Z_{S2} en la ecuación (10.36), se obtiene la forma final para la ganancia de tensión,

$$\begin{aligned} A_v &= \frac{-R_L R_D g_m}{(R_L + R_D + 1/sC_1)[1 + g_m(R_{S1} + Z_{S2})]} \\ &= \frac{-R_L R_D s C_1}{sC_1(R_L + R_D) + 1} \frac{g_m}{1 + g_m R_{S1} + \dfrac{g_m R_{S2}}{sC_2 R_{S2} + 1}} \end{aligned}$$

Esto se simplifica definiendo tres constantes de tiempo,

$$\tau_1 = C_1(R_L + R_D) \tag{10.37a}$$

$$\tau_2 = R_{S2} C_2 \tag{10.37b}$$

$$\tau_3 = \frac{C_2 R_{S2}}{1 + g_m R_{S2}/(1 + g_m R_{S1})} \tag{10.37c}$$

Utilizando estas constantes de tiempo, la ganancia de tensión se reduce a

$$A_v = \frac{-g_m R_L R_D C_1}{(1 + g_m R_{S1})[1 + g_m R_{S2}/(1 + g_m R_{S1})]} \cdot \frac{s(\tau_2 s + 1)}{(\tau_1 s + 1)(\tau_3 s + 1)} \tag{10.38}$$

La ganancia de tensión normalizada se encuentra dividiendo la ecuación (10.38) por la ganancia a frecuencias medias de la ecuación (10.35):

$$\frac{A_v}{A_{vm}} = \frac{\tau_1\tau_3}{\tau_2}\frac{s}{\tau_1 s + 1}\frac{\tau_2 s + 1}{\tau_3 s + 1} \tag{10.39}$$

Ejemplo 10.8

Derívese el diagrama de Bode para un amplificador FET con los siguientes parámetros.

$R_{S2} = 200\ \Omega$ $g_m = 2000\ \mu S$

$C_1 = 0.1\ \mu F$ $R_L = R_D = 5\ k\Omega$

$C_2 = 1.0\ \mu F$ $R_{S1} = 500\ \Omega$

SOLUCIÓN Se calculan las constantes de tiempo utilizando la ecuación (10.37):

$$\tau_1 = 1 \times 10^{-3}\ s$$

$$\tau_2 = (200)(10^{-6}) = 2 \times 10^{-4}\ s$$

$$\tau_3 = \frac{\tau_2}{1 + (0.002 \times 200)/[1 + (0.002 \times 500)]} = \frac{\tau_2}{1.2} = 1.67 \times 10^{-4}\ s$$

La ganancia de tensión normalizada se obtiene de la ecuación (10.39):

$$\frac{A_v}{A_{vm}} = \frac{\tau_1\tau_3}{\tau_2}\frac{s}{\tau_1 s + 1}\frac{\tau_2 s + 1}{\tau_3 s + 1} = (0.84 \times 10^{-3})\frac{s}{10^{-3}s + 1}\frac{(2 \times 10^{-4}s + 1)}{(1.67 \times 10^{-4}s + 1)}$$

El diagrama de Bode se muestra en la figura 10.24.

Nótese que existen dos ceros y dos polos, con uno de los ceros en el origen. Por tanto, la curva de amplitud inicia con una pendiente de 20 dB/década hasta que se alcanza la primera frecuencia de corte. La frecuencia de corte del segundo cero es de 5000 rad/s, mientras que las frecuencias de corte de los dos polos son de 1000 rad/s y 6000 rad/s. Por tanto, la primera frecuencia de corte se debe al polo en 1000 rad/s; en ese punto, la pendiente de la curva se reduce a 0 dB/década. A 5000 rad/s, el efecto del cero es aumentar la pendiente a 20 dB/década. Por último, a la frecuencia de corte del polo a 6000 rad/s la pendiente se reduce una vez más a cero. La ganancia a frecuencias medias (normalizada) es 0 dB; por tanto, hacia la derecha de la frecuencia de corte de 6000 rad/s, la curva sigue el eje de 0 dB.

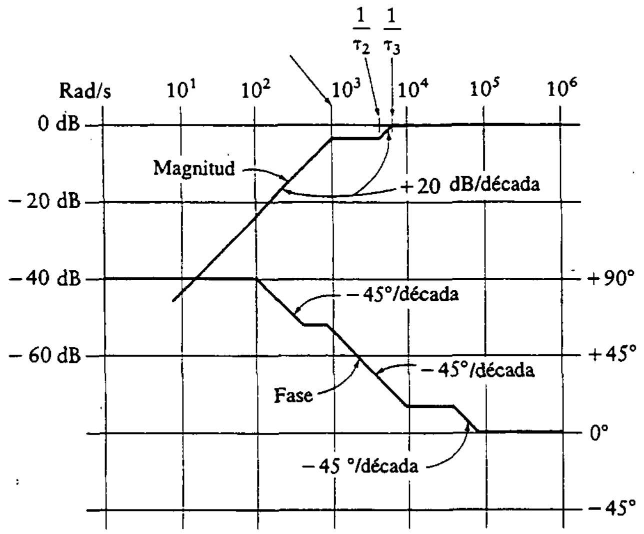


Figura 10.24
Diagrama de Bode para el ejemplo 10.8.

Ejemplo 10.9

Diséñese un amplificador FC canal n con $A_v = -2$, $V_{DD} = 18$ V, $R_L = 2$ kΩ y $R_{en} = 100$ kΩ. Determínese el valor de todas las resistencias y capacitores de tal forma que el punto de 3 dB esté a 20 Hz. Selecciónese el punto Q para el amplificador como $I_{DQ} = 2$ mA, $V_{GSQ} = -1$ V, $V_{DSQ} = 9$ V y $g_m = 2 \times 10^{-3}$ S.

SOLUCIÓN Se utiliza el procedimiento de diseño de la sección 4.9 y el circuito de la figura 10.23. Primero se despeja la resistencia en el lazo drenaje a fuente.

$$(R_S + R_D)I_{DQ} + V_{DSQ} = V_{DD}$$

$$(R_S + R_D)(2 \times 10^{-3}) + 9 = 18$$

donde

$$R_S = R_{S1} + R_{S2}$$

y

$$R_S + R_D = 4.5 \text{ k}\Omega \tag{10.40}$$

Ahora, de la ganancia dada y de la ecuación (10.36) se tiene

$$A_v = -2 = \frac{-R_D \parallel R_L}{R_S + 1/g_m} = \frac{-R_D \parallel 2 \text{ k}\Omega}{R_S + 1/g_m}$$

$$= \frac{-R_D \parallel 2 \text{ k}\Omega}{4.5 \text{ k}\Omega - R_D + 500 \ \Omega} \tag{10.41}$$

Despejando las ecuaciones (10.40) y (10.41) para R_D y R_S, se tiene

$$R_D = 4.32\ \text{k}\Omega$$
$$R_S = 180\ \Omega$$

La tensión de compuerta, V_{GG}, está dada por

$$V_{GG} = R_S(I_{DQ}) + V_{GSQ}$$
$$= 180(2 \times 10^{-3}) - 1 = -640\ \text{mV}$$

Como V_{GG} es negativa, se hace que $R_2 \rightarrow \infty$, $V_{GG} = 0$ y $R_1 = 100\ \text{k}\Omega$. No se puede lograr el diseño con un solo resistor de fuente, por lo que R_S se divide en R_{S1} y R_{S2}, como se muestra en la figura. Entonces

$$R_{Sdc} = \frac{-V_{GSQ}}{I_{DQ}} = \frac{1}{2 \times 10^{-3}}$$

y

$$R_{Scd} = 500\ \Omega = R_{S1} + R_{S2}$$
$$R_D = 4.5\ \text{k}\Omega - R_{Scd} = 4\ \text{k}\Omega$$

La ganancia en banda media es

$$A_v = -2 = -\frac{4\ \text{k}\Omega \parallel 2\ \text{k}\Omega}{R_{S1} + 500}$$
$$R_{S1} = 167\ \Omega$$
$$R_{S2} = 500\ \Omega - R_{S1} = 333\ \Omega$$

Las constantes de tiempo se calculan como sigue:

$$\tau_1 = C_1(R_L + R_D) = C_1(2k\Omega + 4k\Omega) = (6\ \text{k}\Omega)C_1$$
$$\tau_2 = R_{S2}C_2 = 333\ C_2$$
$$\tau_3 = \frac{\tau_2}{1 + \dfrac{g_m R_{S2}}{1 + g_m R_{S1}}} = \frac{333\ C_2}{1 + \dfrac{(2 \times 10^{-3})(333)}{1 + (2 \times 10^{-3})(0.167)}}$$
$$= (0.24\ \text{k}\Omega)C_2$$

La frecuencia de corte, $1/\tau_3$, se coloca en 20 Hz como se especifica en el planteamiento del problema. Las otras dos frecuencias de corte se colocan 1 década abajo, a 2 Hz. Por tanto,

$$\frac{1}{\tau_3} = 2\pi(20) = 40\pi = \frac{1}{240 C_2}$$

y

$$C_2 = 33.2\ \mu\text{F}$$

$$\frac{1}{\tau_1} = 2\pi(2) = 4\pi = \frac{1}{6000C_2}$$

Por tanto,

$$C_1 = 13.3\ \mu\text{F}$$

C_3 se selecciona tal que

$$\frac{1}{\tau_4} = 2\pi(2)$$

Pero

$$\tau_4 = R_{\text{en}}C_3 = R_1C_3$$

por lo que

$$\frac{1}{\tau_4} = 4\pi = \frac{1}{10^5C_3}$$

y

$$C_3 = 0.8\ \mu\text{F}$$

Ejemplo 10.10

Dado el amplificador FET de la figura 10.23 con los siguientes parámetros: $R_{S2} = 200\ \Omega$, $R_{S1} = 100\ \Omega$, $R_D = 3\ \text{k}\Omega$, $R_L = 40\ \text{k}\Omega$, $R_2 = \infty$, $R_1 = 10^6\ \Omega$, $I_{DQ} = 3.33$ mA, $V_{GSQ} = -1$ V, $V_{DSQ} = 10$ V y $g_m = 2 \times 10^{-3}$ S, selecciónense valores para C_1, C_2 y C_3 de tal forma que el punto de 3 dB en baja frecuencia esté en 20 Hz.

SOLUCIÓN La ecuación (10.37) proporciona las siguientes constantes de tiempo:

$$\tau_1 = C_1(R_L + R_D) = C_1(43\ \text{k}\Omega)$$

$$\tau_2 = R_{S2}C_2 = C_2(200\ \Omega)$$

$$\tau_3 = \frac{R_{S2}C_2}{1 + g_m R_{S2}/(1 + g_m R_{S1})} = C_2(150\ \Omega)$$

Se utiliza un enfoque diferente respecto al del ejemplo previo. Recuérdese que existen dos ceros y dos polos en la respuesta característica de este amplificador. Se deja que uno de los ceros cancele uno de los polos. Esto es, se hace que

$$\tau_1 = \tau_2$$

La ganancia de tensión normalizada se reduce ahora a

$$\frac{A_v}{A_{vm}} = \frac{\tau_3 s}{\tau_3 s + 1}$$

Haciendo $\tau_1 = \tau_2$, se fuerza a que

$$C_2(200\ \Omega) = C_1(43\ \text{k}\Omega)$$

Esta es una ecuación con los dos capacitores como incógnitas. La segunda ecuación se obtiene haciendo que la siguiente frecuencia de corte esté en 20 Hz. Luego, se tiene

$$\frac{1}{\tau_3} = 2\pi \times 20$$

y

$$C_2 = \frac{1}{(150)(2\pi)(20)} = 53\ \mu\text{F}$$

Entonces, de la primera ecuación, se tiene

$$C_1 = \frac{C_2 \times 200\ \Omega}{43\ \text{k}\Omega} = 0.25\ \mu\text{F}$$

Observando ahora el capacitor de acoplamiento, se tiene

$$R_G = R_1 = 10^6\ \Omega$$

$$C_3 R_G = C_3 10^6$$

Esta frecuencia de corte se coloca una década por debajo de 20 Hz de manera que no interactúe con la frecuencia de corte del polo. Entonces,

$$10^6 C_3 = \frac{1}{4\pi}$$

$$C_3 = \frac{10^{-6}}{4\pi} = 0.08\ \mu\text{F}$$

10.4.2 Respuesta en baja frecuencia. Amplificador DC

En el caso del amplificador DC, la característica de frecuencia en la entrada afecta la salida del amplificador. En esta sección, se obtiene la ecuación de ganancia normalizada para todas las frecuencias en forma similar a la utilizada para el amplificador FC en la sección 10.4.1.

En la figura 10.25 se muestran el amplificador DC y su circuito equivalente.

La ganancia de tensión para frecuencias medias (véase Cap. 4) se especifica como sigue:

$$A_{vm} = \frac{g_m(R_S \parallel R_L)}{1 + g_m(R_S \parallel R_L)}$$

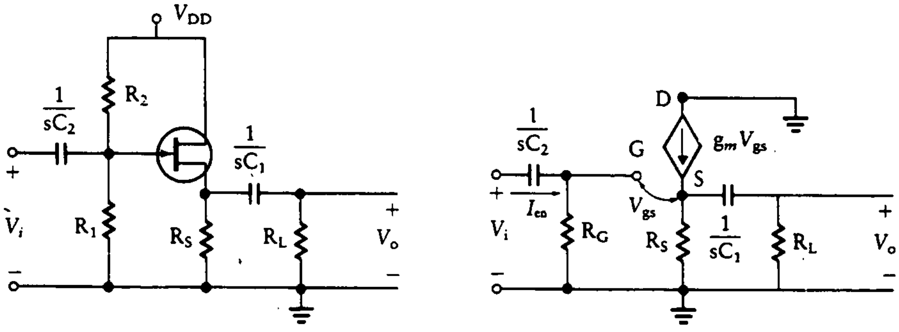
Cuando los capacitores no son cortocircuitos, la ganancia de tensión se encuentra de la relación del divisor de corriente como sigue:

$$A_v = \frac{V_o}{V_i} = \frac{g_m V_{gs}}{V_i} \frac{R_S}{R_S + Z_1} R_L$$

donde

$$Z_1 = \frac{1}{sC_1} + R_L$$

Figura 10.25
Amplificador DC.



(a) Amplificador de drenaje común

(b) Circuito equivalente

Escribiendo la ecuación de lazo alrededor del lazo compuerta a fuente se obtiene

$$V_i = \frac{1}{sC_2} I_{\text{en}} + V_{gs} + g_m V_{gs}(R_S \parallel Z_1)$$

pero

$$I_{\text{en}} = \frac{V_i s C_2}{R_G C_2 s + 1}$$

entonces

$$V_i = \frac{R_G C_2 s + 1}{R_G C_2 s} \left[V_{gs} + g_m V_{gs} \frac{R_S R_L C_1 s + R_S}{sC_1(R_L + R_S) + 1} \right]$$

Sustituyendo en la ecuación para A_v, se tiene

$$A_v = \frac{g_m V_{gs} R_S R_L s C_1}{sC_1(R_L + R_S) + 1} \frac{R_G C_2 s}{R_G C_2 s + 1} \frac{1}{V_{gs} + g_m V_{gs} \left[\dfrac{R_S R_L C_1 s + R_S}{sC_1(R_L + R_S) + 1} \right]}$$

Si se hace

$$\tau_2 = R_G C_2$$

entonces la ecuación de ganancia se vuelve

$$A_v = \frac{\tau_2 s}{\tau_2 s + 1} \frac{g_m V_{gs} R_S R_L C_1}{sC_1(R_L + R_S) + 1} \times \frac{sC_1(R_L + R_S) + 1}{[sC_1(R_L + R_S) + 1]V_{gs} + g_m V_{gs}[R_S R_L C_1 s + R_S]}$$

Reduciendo aún más esta ecuación, se obtiene

$$A_v = \frac{\tau_2 s}{\tau_2 s + 1} \frac{g_m (R_S \parallel R_L) C_1 s (R_S + R_L)}{sC_1(R_L + R_S + g_m R_S R_L) + 1 + g_m R_S}$$

Y si ahora se hace

$$\tau_1 = C_1 \left[\frac{1 + g_m(R_s \parallel R_L)}{1 + g_m R_s} \right] (R_s + R_L)$$

y se normaliza la ganancia, se tiene

$$\frac{A_v}{A_{vm}} = \frac{\tau_1 s}{\tau_1 s + 1}\frac{\tau_2 s}{\tau_2 s + 1} = \frac{s^2}{(s + 1/\tau_1)(s + 1/\tau_2)}$$

En este caso, se coloca la frecuencia de corte para el circuito de entrada una década por debajo de la frecuencia de corte deseada y se hace que el circuito de salida provoque una caída de 3 dB en magnitud a la frecuencia de corte (es decir, se utiliza el método 1 de la sección 10.3.2).

Ejemplo 10.11

Un amplificador DC, como se muestra en la figura 10.25, tiene las siguientes especificaciones: $R_L = 1$ kΩ, $R_S = 800$ Ω, $g_m = 2$ mS y $R_G = 500$ kΩ. Determínese el tamaño de los capacitores de acoplamiento para una frecuencia de corte baja de 300 Hz.

SOLUCIÓN La ganancia de tensión normalizada está dada por

$$\frac{A_v}{A_{vm}} = \frac{s^2}{(s + 1/\tau_1)(s + 1/\tau_2)}$$

El circuito de entrada se diseña para que no exista pérdida en la señal a la frecuencia de corte baja. Por tanto,

$$f_L = 30 \text{ Hz}$$

$$\frac{1}{\tau_2} = 2\pi 30 = \frac{1}{R_G C_2} = \frac{1}{500\,000 C_2}$$

y, despejando la capacitancia,

$$C_2 = \frac{1}{500\,000(2\pi 30)} = 0.011\ \mu\text{F}$$

Entonces

$$\frac{1}{\tau_1} = 2\pi 300 = \frac{1}{C_1(R_S + R_L)[1 + g_m(R_S \parallel R_L)]/(1 + g_m R_s)}$$

$$= \frac{1}{C_1(1800)[1 + 0.002(444)]/[1 + 0.002(800)]}$$

Despejando el valor del capacitor, se obtiene

$$C_1 = \frac{1}{2\pi 300(1800)(0.726)} = 0.406\ \mu\text{F}$$

10.5 RESPUESTA EN ALTA FRECUENCIA. AMPLIFICADOR CON BJT

La respuesta en baja frecuencia de los circuitos con transistores depende de los capacitores externos utilizados para acoplamiento y paso. La respuesta en alta frecuencia depende de la capacitancia *interna* del transistor. Se amplía el circuito equivalente simplificado para incluir los efectos de estos capacitores internos.

Estos capacitores, que afectan la respuesta en alta frecuencia, existen entre las terminales del dispositivo. Cada uno de ellos se puede ver como si estuviese en serie con la resistencia equivalente (Thévenin) de los circuitos asociados. Por tanto, se comienza con el examen del circuito RC de la figura 10.26. Conforme aumenta la frecuencia de la señal de entrada, la señal de salida disminuye en amplitud a razón de 20 dB/década de acuerdo con la expresión

$$\frac{V_o}{V_i} = \frac{1}{j\omega RC + 1} = \frac{1}{j\omega\tau + 1} \tag{10.42}$$

Se hace a la constante de tiempo $\tau = RC$. En general, se ignoran las capacitancias de alambrado y distribuidas y se consideran sólo las capacitancias *parásitas* entre terminales.

En esta sección se evalúa el desempeño en alta frecuencia. Los capacitores de acoplamiento y de paso no se consideran en el análisis, ya que se supone que son cortocircuitos a estas frecuencias altas.

10.5.1 Respuesta del EC en alta frecuencia

Para estimar la respuesta en alta frecuencia de los BJT se utiliza el modelo *π-híbrido,* que es similar al modelo de parámetros h estudiado en la sección 3.1. Los parámetros de los modelos están relacionados entre sí. En la figura 10.27(a) se muestra el modelo π-híbrido en bajas frecuencias. El símbolo B' representa la unión en la base y B representa la terminal de la base. Estas no son idénticas, ya que se conectan alambres a la unión en la base, y la terminal de base se separa de la unión por medio de estos alambres.

Se definen las resistencias en el modelo y se relacionan con los parámetros h.

Resistencia de difusión de la base La resistencia de difusión de la base, $r_{bb'}$, se relaciona con el parámetro h, h_{ie}, que es la resistencia de entrada con la salida en

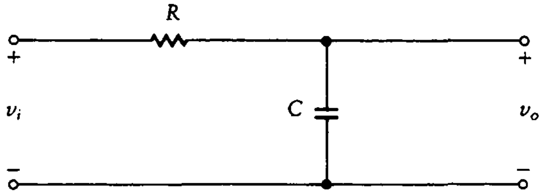
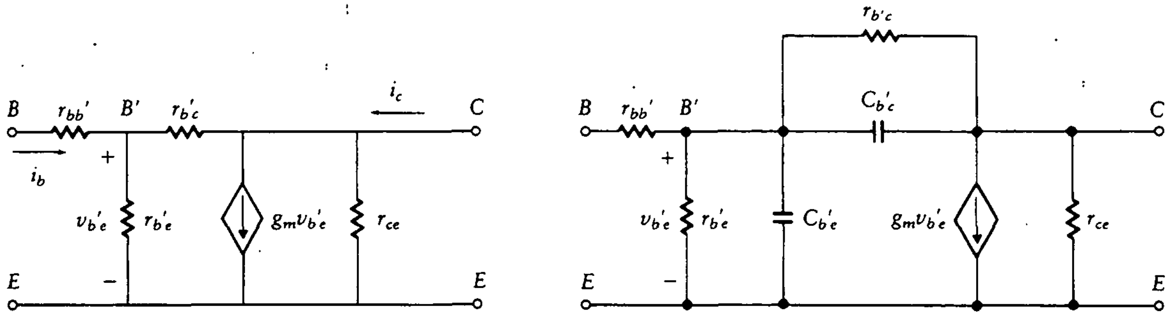


Figura 10.26
Circuito RC equivalente.



(a) Modelo π-híbrido del BJT en baja frecuencia

(b) Modelo π-híbrido del BJT en alta frecuencia

Figura 10.27 Modelo π-híbrido para el transistor.

cortocircuito. Se aplica un cortocircuito a la salida del circuito de la figura 10.27(a) con el fin de encontrar h_{ie}. Esto da

$$\begin{aligned} h_{ie} &= r_{bb'} + r_{b'e} \parallel r_{b'c} \\ &= r_{bb'} + r_{b'e} \end{aligned} \tag{10.43}$$

Se realiza la última aproximación ya que $r_{b'c} \gg r_{b'e}$. Un valor típico para $r_{bb'}$ es 100 Ω a temperatura ambiente con $I_C \approx 1$ mA.

Resistencia de entrada La resistencia de entrada, $r_{b'e}$, se aproxima por la relación

$$r_{b'e} \approx \frac{v_{b'e}}{i_b}$$

ya que $r_{b'c} \gg r_{b'e}$. La corriente de colector en cortocircuito, i_C, se encuentra de la figura 10.27(a) haciendo un cortocircuito en la salida.

$$i_c = g_m v_{b'e} \approx g_m r_{b'e} i_b$$

Pero esta cantidad se relaciona con la corriente de base de acuerdo con el parámetro h, h_{fe}; es decir,

$$i_c = h_{fe} i_b$$

Por tanto, se obtiene

$$r_{b'e} = \frac{i_c}{g_m i_b} = \frac{h_{fe}}{g_m}$$

Se puede estimar el valor de g_m a partir de la ecuación

$$g_m \approx \frac{|I_{CQ}|}{26} = \frac{1}{h_{ib}} \tag{10.44}$$

donde I_{CQ} está en miliamperes. Por tanto,

$$r_{b'e} = \frac{h_{fe} \times 26}{|I_{CQ}|}$$

Recuérdese del capítulo 3 que

$$h_{ib} = \frac{26}{|I_{CQ}|}$$

Por tanto,

$$r_{b'e} = h_{fe} h_{ib} = h_{ie}$$

Un valor típico para $r_{b'e}$ es 2 kΩ.

Resistencia de retroalimentación La resistencia de retroalimentación, $r_{b'c}$, está relacionada con h_{re}, la ganancia de tensión en inversa, como sigue:

$$h_{re} = \frac{v_{b'e}}{v_{ce}}$$

En seguida se utiliza una relación de divisor de tensión para encontrar

$$h_{re} = \frac{r_{b'e}}{r_{b'e} + r_{b'c}} = \frac{r_{b'e}}{r_{b'c}} \tag{10.45}$$

La última aproximación se debe a que $r_{b'c} \gg r_{b'e}$. Por último,

$$r_{b'e} = h_{re} r b' c$$

$r_{b'c}$ es generalmente del orden de megaohms.

Resistencia de salida La conductancia de salida está dada por h_{oe} en parámetros h, y se determina con la entrada en circuito abierto. Del circuito de la figura 10.27(a) se ve que

$$h_{oe} = \frac{i_c}{v_{ce}}$$

La ecuación de nodos en la salida da

$$i_c = \frac{v_{ce}}{r_{ce}} = \frac{v_{ce}}{r_{b'c} + r_{b'e}} + g_m v_{b'e}$$

Por tanto,

$$h_{oe} = \frac{1}{r_{ce}} = \frac{1}{r_{b'c}} + g_m h_{re} \tag{10.46}$$

Otra vez se tomó en cuenta que $r_{b'c} \gg r_{b'e}$. Nótese también que

$$v_{b'e} = h_{re} v_{ce}$$

El modelo π-híbrido se puede utilizar para evaluar el desempeño en alta frecuencia de los BJT si se añaden dos capacitancias, como se muestra en la figura 10.27(b). El *capacitor de la unión del colector,* $C_{b'c}$, es pequeño (generalmente 30 pF para un transistor de baja frecuencia y 1 pF para uno de alta frecuencia). La capacitancia de la unión del colector es la capacitancia de la unión colector-base. Ésta se comporta como una unión de transición escalonada para pequeñas tensiones de polarización, ya que se forma por difusión. La densidad de contaminación es función de la distancia cerca de la unión. Para grandes tensiones de polarización inversa, la región desértica de la unión se difunde en la región del colector (que está contaminado de manera más uniforme) y la unión se comporta como una "unión abrupta" con contaminación uniforme. Por tanto, la capacitancia de la unión de colector sigue variaciones similares. En la práctica, ésta es una capacitancia variable, aunque se considera una constante para la región de operación particular del transistor. El valor de esta capacitancia aparece en las hojas de datos del fabricante como C_{oB}, que es la capacitancia de salida de la configuración BC.

La capacitancia, $C_{b'e}$, es la suma de la capacitancia de difusión en el emisor y la capacitancia de la unión del emisor. Debido a que el primer capacitor es el mayor de los dos, $C_{b'e}$ es casi igual a la capacitancia de difusión (también conocida como capacitancia de carga de la base).

El cambio en la tensión base-emisor, Δv_{BE}, provoca un cambio en la carga de portadores minoritarios en la base, Δq. Por tanto

$$C_{b'e} = \frac{\Delta q}{\Delta v_{BE}}$$

Se puede definir un término nuevo, τ_F, que tiene dimensiones de tiempo; y se trata del *tiempo de tránsito en la base* de un portador que cruza la región de la base. Por tanto,

$$\tau_F = \frac{\Delta q}{\Delta i_C}$$

o

$$\Delta q = \tau_F \Delta i_C$$

Entonces se tiene

$$\begin{aligned} C_{b'e} &\approx \tau_F \frac{\Delta i_C}{\Delta v_{BE}} = \frac{g_m}{\omega_T} = \frac{1}{\omega_T h_{ib}} \\ &= \frac{I_{CQ}}{2\pi f_T (26 \text{ mV})} = \frac{I_{CQ}}{52\pi f_T \times 10^{-3}} \end{aligned} \tag{10.47}$$

En esta ecuación, f_T es la frecuencia a la cual la ganancia de corriente en cortocircuito del EC es 0 dB. La frecuencia, f_T, también es el producto ganancia por ancho de banda y se encuentra en las hojas de especificaciones de los fabricantes (véase Ap. D).

Se muestra ahora que la capacitancia equivalente de un circuito puede ser mucho mayor que los capacitores reales presentes en el circuito. Esto se denomina *efecto Miller,* y, para derivarlo, se empieza con una simple transformación de circuitos. Considérense los circuitos mostrados en la figura 10.28.

Con una apropiada selección de valores para las impedancias, Z_1 y Z_2, en el circuito de la figura 10.28(b) se puede hacer que los dos circuitos sean idénticos. Este es el teorema de Miller, más útil en el análisis de amplificadores en alta frecuencia.

Con el fin de derivar este importante resultado, se escribirán las ecuaciones para I_1 en el circuito de la figura 10.27(a):

$$I_1 = \frac{V_1 - V_2}{Z} = \left(\frac{V_1}{Z}\right)\left(1 + \frac{V_2}{V_1}\right)$$

Sea ahora V_2/V_1 la ganancia de tensión de la etapa, A_v. Entonces

$$I_1 = \frac{V_1(1 - A_v)}{Z}$$

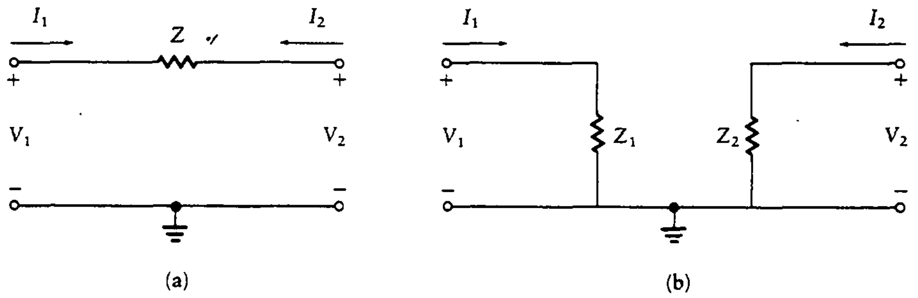


Figura 10.28
Teorema de Miller.

Para que el circuito de la figura 10.28(b) sea idéntico al de la figura 10.28(a), se deben igualar las corrientes. Así,

$$I_1 = \frac{V_1}{Z_1} = \frac{V_1(1 - A_v)}{Z}$$

y

$$Z_1 = \frac{Z}{1 - A_v} \tag{10.48}$$

Del mismo modo, para el primer circuito,

$$I_2 = \frac{V_2 - V_1}{Z} = \left(\frac{V_2}{Z}\right)\left(1 - \frac{V_1}{V_2}\right) = \left(\frac{V_2}{Z}\right)\left(1 - \frac{1}{A_v}\right)$$

donde, nuevamente, $A_v = \frac{V_2}{V_1}$. Se igualan las corrientes en los dos circuitos y se despeja Z_2, dando como resultado

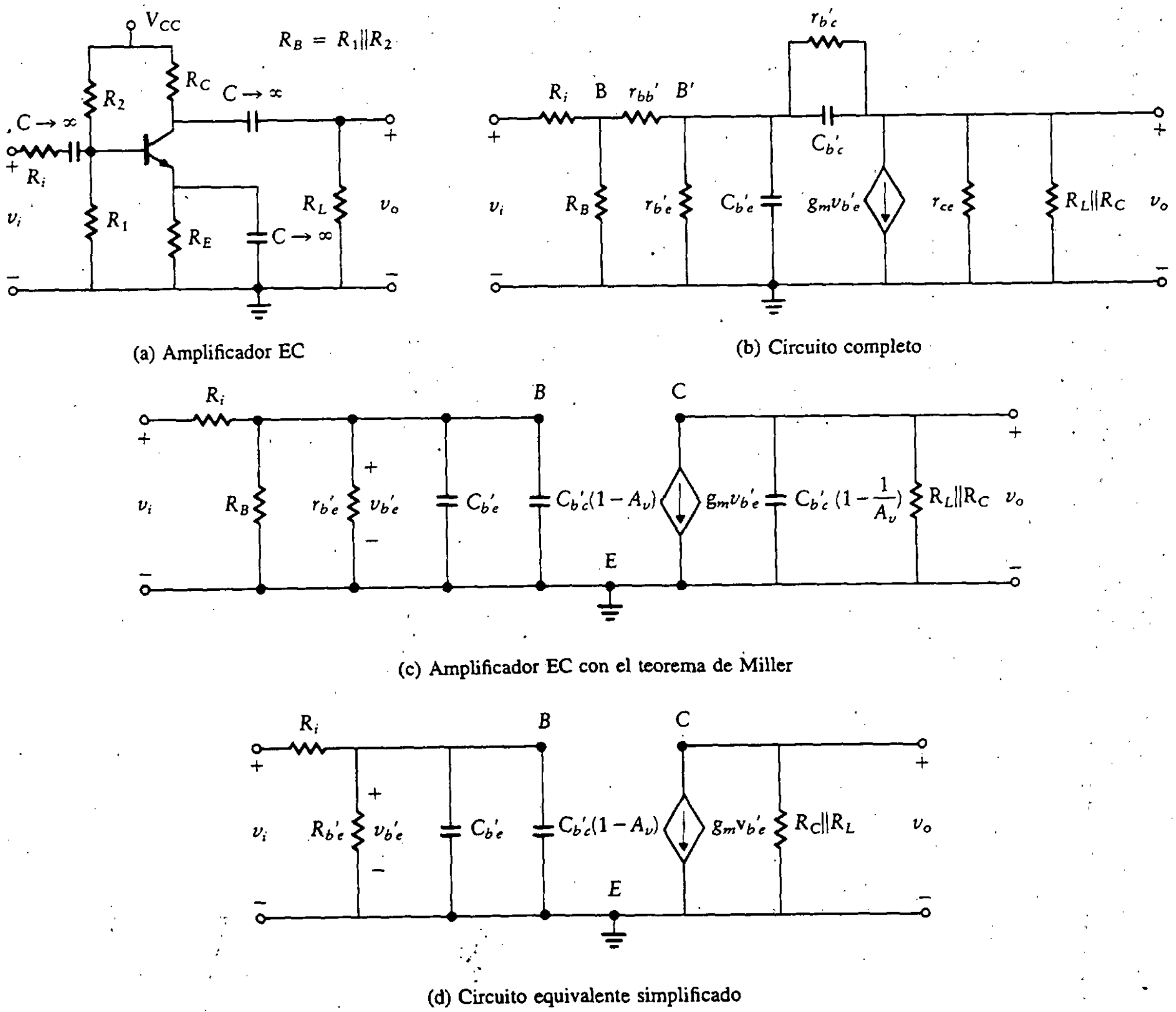
$$Z_2 = \frac{Z}{1 - 1/A_v} \tag{10.49}$$

Ahora se aplicará este resultado a la etapa amplificadora EC de la figura 10.29(a). Si se sustituye el modelo π-híbrido de la figura 10.27(b) para el transistor, el resultado es como se muestra en la figura 10.29(b). Se hacen varias simplificaciones como sigue:

$r_{ce} \gg R_L \parallel R_C$, de modo que r_{ce} se desecha.

$r_{b'c} \gg$ otras resistencias, luego $r_{b'c}$ se desecha.

$r_{bb'} \ll r_{b'e}$, de modo que $r_{bb'}$ se desecha.



(a) Amplificador EC

(b) Circuito completo

(c) Amplificador EC con el teorema de Miller

(d) Circuito equivalente simplificado

Figura 10.29 Amplificador EC.

Ahora se utiliza el teorema de Miller para reflejar $C_{b'c}$ hacia la entrada y la salida. Esto da el resultado mostrado en la figura 10.29(c), que se simplifica aún más por la combinación de R_B y $r_{b'e}$ en una sola resistencia, como sigue:

$$R_{b'e} = R_B \parallel r_{b'e}$$

En la figura 10.29(c), existen dos polos en la función de transferencia, uno en el circuito de la base y otro en el circuito de colector. Este es el polo dominante, ya que la capacitancia de entrada es muy grande (porque se multiplica por A_v). Esto

resulta del hecho de que A_v es en general mucho mayor que 1 y la capacitancia de salida es aproximadamente igual a $C_{b'c}$, que se ignora al desarrollar la figura 10.29(d).

Se combinan los dos capacitores en una capacitancia total, C_t, como sigue:

$$C_t = C_{b'e} + C_{b'c}(1 - A_v) \tag{10.50}$$

Entonces la ganancia de tensión para el amplificador EC a frecuencias medias está dada por

$$A_v = \frac{V_{ce}}{V_{be}} = \frac{-R_L \parallel R_C}{h_{ib}} = -g_m(R_L \parallel R_C)$$

Esta expresión para la ganancia se utiliza en la ecuación (10.50) para encontrar la capacitancia total, C_t, como sigue:

$$C_t = C_{b'e} + C_{b'c}\left[1 + g_m(R_L \parallel R_C)\right] \tag{10.51}$$

La capacitancia de Miller se define como

$$C_M = C_{b'c}\left[1 + g_m(R_L \parallel R_C)\right] \tag{10.52}$$

La frecuencia de corte alta, f_H, se determina a partir de la resistencia de entrada y la capacitancia, donde la resistencia es $R_i \parallel R_{b'e}$ y la capacitancia es

$$C_t = C_{b'e} + C_M$$

Entonces la frecuencia de corte alta está dada por el recíproco de la constante de tiempo R_C:

$$f_H = \frac{1}{2\pi[R_i \parallel R_{b'e}]\{C_{b'e} + C_{oB}[1 + g_m(R_L \parallel R_C)]\}} \tag{10.53}$$

Esta ecuación sólo es válida para amplificadores EC con el emisor en cortocircuito. Para amplificadores EC que no tengan al emisor en cortocircuito, se reemplaza el factor $\left[1 + g_m(R_L \parallel R_C)\right]$ en la ecuación (10.53) con $(1 - A_v)$. Esto conduce a un amplificador con mayor ancho de banda y más reducción en la ganancia. Se utilizó C_{oB} en lugar de $C_{b'c}$, ya que en general se encuentra la primera notación en las hojas de datos. Sin embargo, cuando R_i se aproxima a cero, el polo dominante cambia del circuito de entrada al de salida (véase Ec. (10.53)). Entonces esto eleva la frecuencia del polo dominante, dando como resultado una capacidad de amplificación a una mayor frecuencia. Entonces el polo dominante es

$$f_H = \frac{1}{2\pi(r_{ce} \parallel R_L \parallel R_C)C_{b'c}}$$

Para transistores que se fabrican en CI, otra capacitancia puede ser lo bastante grande para sumarse a $C_{b'c}$ en la fórmula recién dada. Esta capacitancia es la de colector a sustrato, que en general es insignificante en dispositivos discretos y CI donde el polo dominante es función del circuito de entrada.

Ejemplo 10.12

Calcúlese la frecuencia de corte alta, f_H, para el transistor 2N3904. Supóngase que se utiliza un amplificador EC y que $\beta = 200$, $I_{CQ} = 10$ mA, $R_B = 5$ kΩ, $R_i = 1$ kΩ y $R_L = R_C = 1$ kΩ. Supóngase además que en las hojas de datos (véase Ap. D) se encontró que $f_T = 0.25 \times 10^9$ Hz y que $C_{oB} = 4.5$ pF.

SOLUCIÓN Para utilizar la ecuación (10.53), es necesario encontrar $r_{b'e}$, $C_{b'e}$ y C_M. Estas se encuentran de las ecuaciones derivadas en esta sección:

$$r_{b'e} = \frac{26\beta}{I_{CQ}} = \frac{26(200)}{10} = 520\ \Omega$$

$$g_m = \frac{I_{CQ}}{26\text{ mA}} = \frac{10}{26} = 0.385\text{ S}$$

$$C_{b'e} = \frac{g_m}{2\pi f_T} = \frac{0.385}{2\pi \times 0.25 \times 10^9} = 245\text{ pF}$$

$$C_M = C_{oB}\left[1 + g_m(R_L \parallel R_C)\right] = 4.5(1 + 0.385 \times 500) = 870\text{ pF}$$

$$R_{b'e} = 5\text{ k}\Omega \parallel 520\ \Omega = 471\ \Omega$$

$$R_i \parallel R_{b'e} = 1\text{ k}\Omega \parallel 471\ \Omega = 320\ \Omega$$

Por último,

$$f_H = \frac{10^{12}}{(2\pi)(320)(245 + 870)} = 446\text{ kHz}$$

La ecuación (10.53) indica que la frecuencia de corte alta se puede aumentar disminuyendo R_i y R_B, disminuyendo la ganancia de tensión de la etapa o seleccionando un transistor de alta frecuencia con valores de capacitancias más bajos. Como ejemplo, supóngase que se recalcula f_H para el ejemplo 10.12, donde la impedancia de la fuente, R_i, se reduce de 1 kΩ a 250 Ω. Se calcula

$$R_i \parallel R_{b'e} = 250\ \Omega \parallel 471\ \Omega = 163\ \Omega$$

y

$$f_H = \frac{10^{12}}{(2\pi)(163)(245+870)} = 874 \text{ kHz}$$

Ejercicio

D10.6 Determínese la frecuencia de corte alta para el amplificador EC de la figura 10.17. Los parámetros del transistor son $f_T = 0.4 \times 10^9$ Hz, $C_{oB} = 2$ pF, $\beta = 200$, $r_{b'e} = 400\ \Omega$, $g_m = 0.5$ S, $R_B = 10$ kΩ y $R_C \parallel R_L = 670\ \Omega$.

Resp.: $R_{b'e} = 385\ \Omega$; $C_{b'e} = 200$ pF; $C_M = 672$ pF; $f_H = 474$ kHz

10.5.2 Respuesta del amplificador ES en alta frecuencia

El amplificador ES tiene una ganancia de tensión cercana a la unidad. La carga para muchos amplificadores ES es capacitiva, por lo que se incluye un capacitor de carga en los modelos. En la figura 10.30 se muestra un amplificador ES, su circuito equivalente y un circuito equivalente modificado que ilustra el efecto Miller. Como la ganancia del amplificador se aproxima a la unidad, $C_{b'e}$ está cercana a cero y h_{ie}, que se encuentra en el circuito de entrada, se vuelve infinita. En el circuito de salida, $C_{b'e}$ también se vuelve cero. Entonces el sistema se reduce a un amplificador de dos polos con la siguiente ganancia normalizada:

$$\frac{A_v}{A_{vm}} = \frac{1}{\left[(R_i \parallel R_B)C_{b'c}s + 1\right](C_L R_L s + 1)}$$

Esta aproximación no contiene los efectos de $C_{b'e}$. Como un intento de lograr una mejor aproximación, se deriva la ganancia para el amplificador en términos de sus componentes:

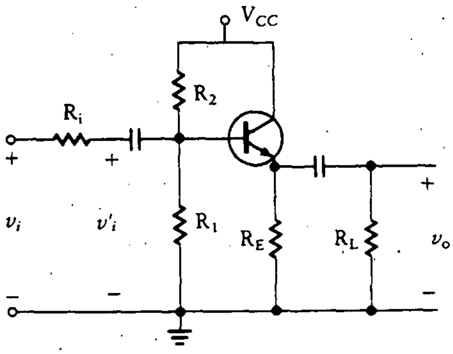
$$V_o = \beta I_b \left[R_L \parallel \left(\frac{1}{sC_L}\right)\right] = \beta I_b \frac{R_L}{R_L C_L s + 1}$$

La tensión de base a tierra, V_i', está dada por

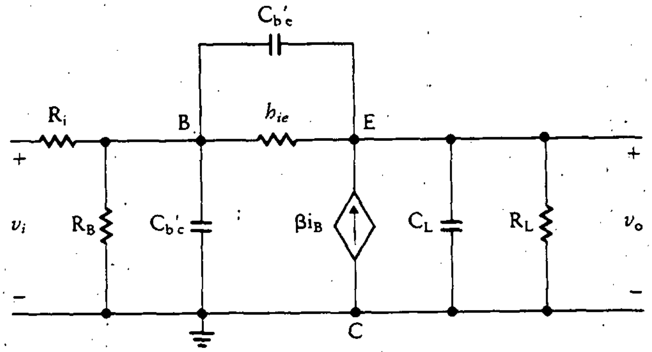
$$V_i' = I_b h_{ie} = \beta I_b h_{ib}$$

Entonces,

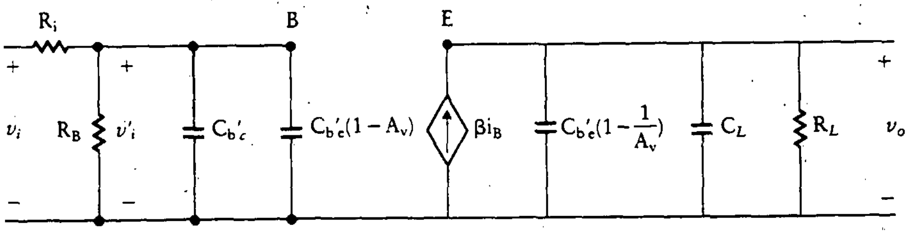
$$\frac{V_o}{V_i} = \frac{\beta I_b R_L/(R_L C_L s + 1)}{\beta I_b h_{ib}} = \frac{R_L}{R_L C_L s + 1}\frac{1}{h_{ib}}$$



(a) Amplificador emisor seguidor



(b) Circuito equivalente



(c) Circuito equivalente utilizando el teorema de Miller

Figura 10.30 Amplificador ES.

Como se sabe que V_o/V_i es casi uno, entonces

$$\frac{R_L}{R_L C_L s + 1} \frac{I_{CQ}}{V_T} \approx 1$$

donde se utilizó la relación

$$h_{ib} = \frac{V_T}{I_{CQ}}$$

Colocando esto en términos de la frecuencia, se hace que $s = j\omega_H$ para obtener

$$1 = \left| \frac{R_L}{j\omega_H R_L C_L + 1} \right| \frac{I_{CQ}}{V_T} \approx \frac{R_L}{2\pi f_H R_L C_L} \frac{I_{CQ}}{V_T}$$

y

$$\frac{1}{2\pi f_H C_L} \approx \frac{V_T}{I_{CQ}}$$

Ahora como

$$C_{b'e} = \frac{I_{CQ}}{V_T 2\pi f_T}$$

entonces

$$\frac{V_T}{I_{CQ}} = \frac{1}{C_{b'e} 2\pi f_T}$$

Por tanto,

$$\frac{1}{2\pi f_H C_L} = \frac{1}{C_{b'e}(2\pi f_T)}$$

y

$$f_H \approx \frac{f_T C_{b'e}}{C_L}$$

La última ecuación es válida sólo si

$$C_L R_L \gg (R_i \parallel R_B) C_{b'c}$$

10.5.3 Respuesta del amplificador BC en alta frecuencia

En la sección 10.5.2, se estableció que el amplificador BC tiene una respuesta en frecuencia mayor que la del amplificador EC. En la sección 10.5.1 se explicó el efecto Miller, que provoca que la capacitancia de entrada se multiplique por $(1 - A_v)C_{b'c}$. Cuando la ganancia es alta, la capacitancia de entrada se vuelve tan grande que, en esencia, el amplificador es de un polo y el circuito de entrada proporciona el polo dominante. En el caso del amplificador BC este efecto no existe, como tampoco existe el factor de multiplicación para $C_{b'c}$. Esto se muestra en la figura 10.31, donde se ilustran el amplificador BC y su circuito equivalente.

El amplificador BC tiene dos polos, al igual que el amplificador EC. En la configuración BC, en general no será el circuito de entrada el que proporcione el polo dominante. La ganancia normalizada está dada por

$$\frac{A_v}{A_{vm}} = \frac{1}{(\tau_1 s + 1)(\tau_2 s + 1)}$$

donde

$$\tau_1 = (R_L \parallel R_C) C_{b'c}$$

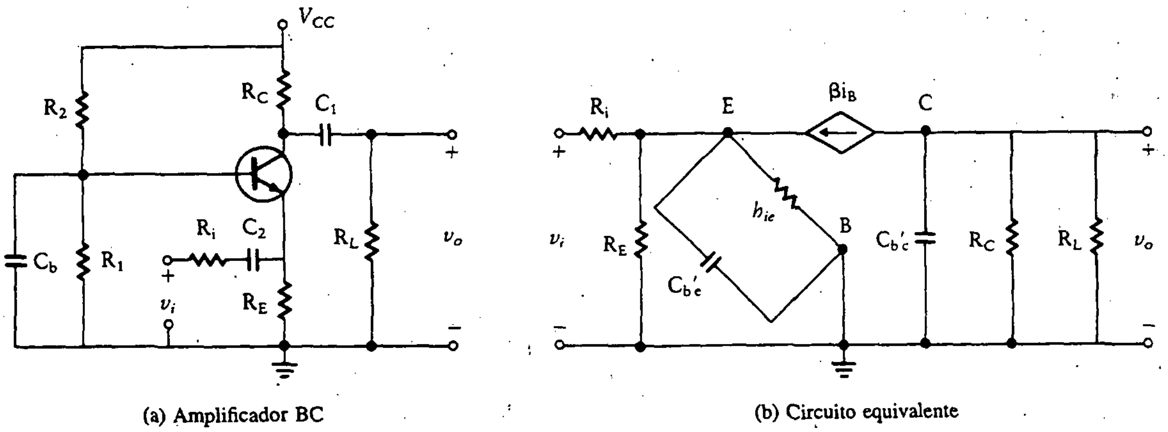


Figura 10.31 Amplificador BC.

y

$$\tau_2 = (R_E \parallel h_{ib} \parallel R_i)C_{b'c}$$

Una comparación de las constantes de tiempo indica que la respuesta en frecuencia para amplificadores BC es mayor que para amplificadores EC con la misma ganancia de tensión.

Ejemplo 10.13

Determínese la respuesta en frecuencia para el amplificador BC mostrado en la figura 10.31, con las siguientes especificaciones: V_{CC} = 12 V, V_{BE} = 0.7 V, β = 100, R_i = 600 Ω, R_E = 200 Ω, R_L = 2 kΩ, C_{oB} = 2 pF y $f_T = 10^8$ Hz. Compárese luego con la respuesta de un amplificador EC de la misma ganancia.

SOLUCIÓN Primero se determina el punto Q para máxima excursión en la salida.

$$I_{CQ} = \frac{12}{2200 + 1200} = 3.53 \text{ mA}$$

Entonces,

$$h_{ib} = \frac{26}{3.53} = 7.37\ \Omega$$

La ganancia de tensión está dada por

$$A_v = \frac{2\text{ k}\Omega \parallel 2\text{ k}\Omega}{7.37} = 136$$

Como $C_{b'c} = C_{oB} = 2$ pF, se tiene

$$\tau_1 = (R_L \parallel R_C)(2 \text{ pF}) = 2 \text{ ns}$$
$$\tau_2 = (R_E \parallel h_{ib} \parallel R_i)C_{b'e}$$

donde

$$C_{b'e} = \frac{I_{CQ}}{52 \times 10^{-3}\pi f_T} = 216 \text{ pF}$$

Entonces

$$\tau_2 = (200 \parallel 7.37 \parallel 600)(216 \text{ pF}) = 1.52 \text{ ns}$$
$$f_1 = 80 \text{ MHz}$$
$$f_2 = 105 \text{ MHz}$$

Entonces la respuesta en alta frecuencia es

$$f_H = 80 \text{ MHz}$$

El amplificador EC por comparar tiene

$$R_{b'e} = R_B \parallel r_{b'e} = [0.1(100)(200)] \parallel (7.37 \times 100)538 \ \Omega$$

y

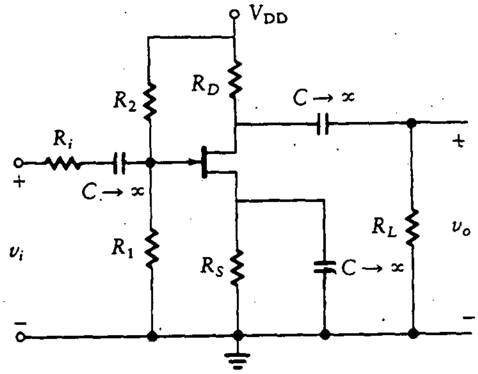
$$f_H = \frac{1}{2\pi(600 \parallel 538)[216 \text{ pF} + (2 \text{ pF})(1 + 136)]} = 1.14 \text{ MHz}$$

Nótese que el amplificador BC tiene una respuesta en frecuencia 80 veces mayor que la del amplificador EC.

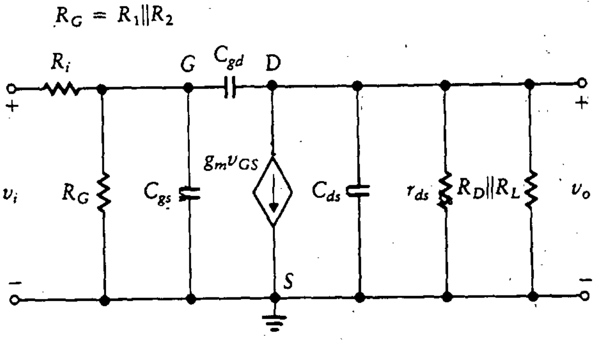
10.6 RESPUESTA EN ALTA FRECUENCIA. FET

10.6.1 Amplificador FC

El circuito equivalente en alta frecuencia para el FET se obtiene añadiendo tres capacitores al modelo desarrollado en el capítulo 4, como se muestra en la figura 10.32. Los capacitores se definen como sigue:



(a) Circuito amplificador FC



(b) Circuito equivalente

Figura 10.32 Amplificador FC, modelo de alta frecuencia.

C_{gs} es la capacitancia entre compuerta y fuente.

C_{gd} es la capacitancia entre compuerta y drenaje.

C_{ds} es la capacitancia entre drenaje y fuente.

Las hojas de datos de los fabricantes muestran estas capacitancias en términos del modelo de dos puertos, el cual se analizó en el capítulo 3.

Remítase a la figura 10.32(b) para las siguientes ecuaciones. La admitancia de entrada, Y_{is}, se encuentra haciendo cortocircuito en la salida (D a S) y encontrando la razón de la corriente de entrada a la tensión de entrada. Así,

$$Y_{is} = \frac{I_g}{V_{gs}} = j\omega(C_{gs} + C_{gd}) \tag{10.54}$$

La capacitancia de entrada equivalente, como se muestra en las hojas de datos, es

$$C_{is} = C_{gs} + C_{gd} \tag{10.55}$$

Se busca la admitancia de transferencia en directo, Y_{fs}, que es la razón de la corriente de *salida* a la tensión de entrada con la salida en cortocircuito. Por tanto,

$$Y_{fs} = \frac{I_o}{V_{gs}} = g_m - j\omega C_{gd} \tag{10.56}$$

La capacitancia equivalente de transferencia en directo, como se muestra en las hojas de datos, es

$$C_{fs} = C_{gd} \tag{10.57}$$

La admitancia de transferencia en inverso, Y_{rs}, es la razón de la corriente de entrada a la tensión de salida con la entrada en cortocircuito;

$$Y_{rs} = \frac{I_G}{V_{ds}} = -j\omega C_{gd} \tag{10.58}$$

Así, la capacitancia de transferencia en inverso es

$$C_{rs} = C_{gd} \tag{10.59}$$

Por último, la admitancia de salida, Y_{os}, es la razón de la corriente de salida a la tensión de salida con la entrada en cortocircuito.

$$Y_{os} = \frac{I_o}{V_{ds}} = 1/r_{ds} + j\omega(C_{gd} + C_{ds}) \tag{10.60}$$

Entonces la capacitancia de salida es

$$C_{os} = C_{gd} + C_{ds} \tag{10.61}$$

Los capacitores de entrada y de transferencia en inversa, C_{is} y C_{rs}, suelen mostrarse en las hojas de especificación de los fabricantes como C_{iss} y C_{rss}. La segunda s se utiliza para indicar que uno de los puertos está en cortocircuito.

Los capacitores de la figura 10.32(a) se pueden relacionar aproximadamente con C_{rss} y C_{iss} por

$$C_{gd} = C_{rss}$$

y

$$C_{gs} = C_{iss} - C_{rss}$$

C_{ds} es tan pequeña que se puede despreciar.

Entonces el amplificador FC de la figura 10.32(a) se puede modelar a altas frecuencias, con el circuito equivalente a pequeña señal de la figura 10.32(b).

Nótese que a frecuencias medias los capacitores se desprecian, y la ganancia de tensión es

$$\frac{v_o}{v_i} = -g_m\left[r_{ds} \parallel (R_L \parallel R_D)\right] \approx -g_m(R_L \parallel R_D)$$

La aproximación final es cierta, ya que r_{ds} es en general mucho mayor que la combinación en paralelo de R_L y R_D.

Ahora se aplica el teorema de Miller al circuito de la figura 10.32(b) de manera similar a la utilizada para el análisis del BJT. La capacitancia de entrada es

$$C_{gs} + C_{gd}\left[1 + g_m(R_L \parallel R_D)\right] \tag{10.62}$$

Y la capacitancia de salida es

$$C_{ds} + C_{gd}\left[1 + \frac{1}{g_m(R_L \parallel R_D)}\right]$$

El circuito simplificado se muestra en la figura 10.33, donde C_{ds} se desprecia debido a su pequeño tamaño. El capacitor de Miller es el más grande debido a la amplificación de la etapa. El polo dominante suele formarse por las características de entrada del circuito.

Como en el caso de los amplificadores con BJT, la frecuencia de corte alta, f_H, se determina por la combinación RC de la resistencia

$$R_G \parallel R_i$$

y la capacitancia

$$C_{gs} + C_{gd}\left[1 + g_m(R_L \parallel R_D)\right]$$

Entonces la frecuencia de corte alta está dada por el recíproco de la constante de tiempo RC:

$$f_H = \frac{1}{2\pi(R_G \parallel R_i)\{C_{gs} + C_{gd}[1 + g_m(R_L \parallel R_D)]\}} \tag{10.63}$$

Otra vez, como en el caso de alta frecuencia en el BJT, la ecuación es válida sólo cuando R_S se halla totalmente en cortocircuito. Si R_S no está en cortocircuito, se debe reemplazar el término $[1 + g_m(R_L \parallel R_D)]$ con $(1 - A_v)$.

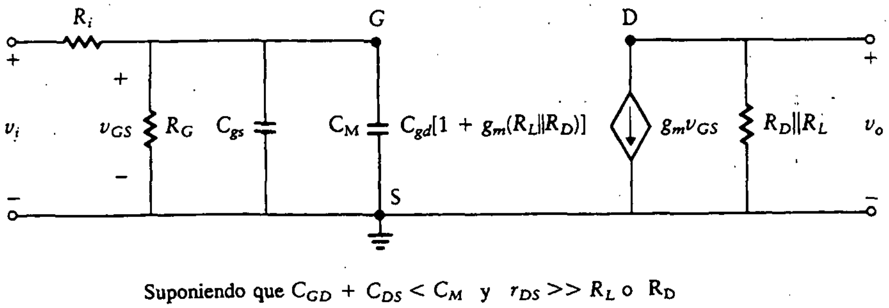


Figura 10.33 Circuito equivalente simplificado en alta frecuencia.

Como en el caso del BJT, cuando R_i se aproxima a cero, el polo dominante se desplaza del efecto en el circuito de entrada al circuito de salida. Entonces, la frecuencia de corte alta es

$$f_H = \frac{1}{2\pi(r_{DS} \parallel R_D \parallel R_L)(C_{gd} + C_{ds})}$$

En este caso, cualquier capacitancia de carga existente se debe añadir a C_{gd} y C_{ds}. Esto tiene el efecto de reducir la respuesta en frecuencia del amplificador.

Ejemplo 10.14

Determínese la frecuencia de corte alta para el amplificador FC de la figura 10.32(a). Sean R_L = 20 kΩ, R_D = 4 kΩ, R_G = 100 kΩ, R_i = 100 kΩ, g_m = 2000 μS, $C_{gs} = C_{gd}$ = 16 pF y $C_{ds} = 0$.

SOLUCIÓN Se utiliza la ecuación (10.63) para encontrar f_H como sigue:

$$f_H = \frac{1}{(2\pi)(100\ \text{k}\Omega \parallel 100\ \text{k}\Omega)\{10 \times 10^{-12} + 16 \times 10^{-12}[1 + (0.002)(20\ \text{k}\Omega \parallel 4\ \text{k}\Omega)]\}}$$

$$= \frac{1}{(2\pi)(50 \times 10^3)(139 \times 10^{-12})} = 22.9\ \text{kHz}$$

Esta es una frecuencia de corte relativamente baja debido a los valores grandes de los capacitores, C_{gs} y C_{gd}. Se puede aumentar esta frecuencia disminuyendo C_{gs} y C_{gd} y los resistores de entrada y fuente, o reduciendo la ganancia de tensión de la etapa.

Ejercicio

D10.7 Determínese la frecuencia de corte alta, f_H, para el amplificador FET de la figura 10.32(a) con

$C_{gs} = C_{gd} = 3$ pF

$C_{ds} = 0$

$R_L = 20$ kΩ, $R_D = 4$ kΩ, $R_G = R_i = 10$ kΩ

$g_m = 2000$ μS

Resp: f_H = 1.22 MHz

Nótese el gran aumento en la frecuencia de corte alta con relación al obtenido en el ejemplo 10.14.

Ejemplo 10.15

Dado un transistor FET con los siguientes parámetros: $g_m = 0.8$ mS, $r_{ds} = 50$ kΩ, $C_{gs} = 2.5$ pF, $C_{ds} = 5$ pF y $C_{gd} = 0.1$ pF. Determínense los parámetros de admitancia a la frecuencia de 20 kHz.

SOLUCIÓN Sólo es necesario aplicar las ecuaciones (10.54) a (10.61).

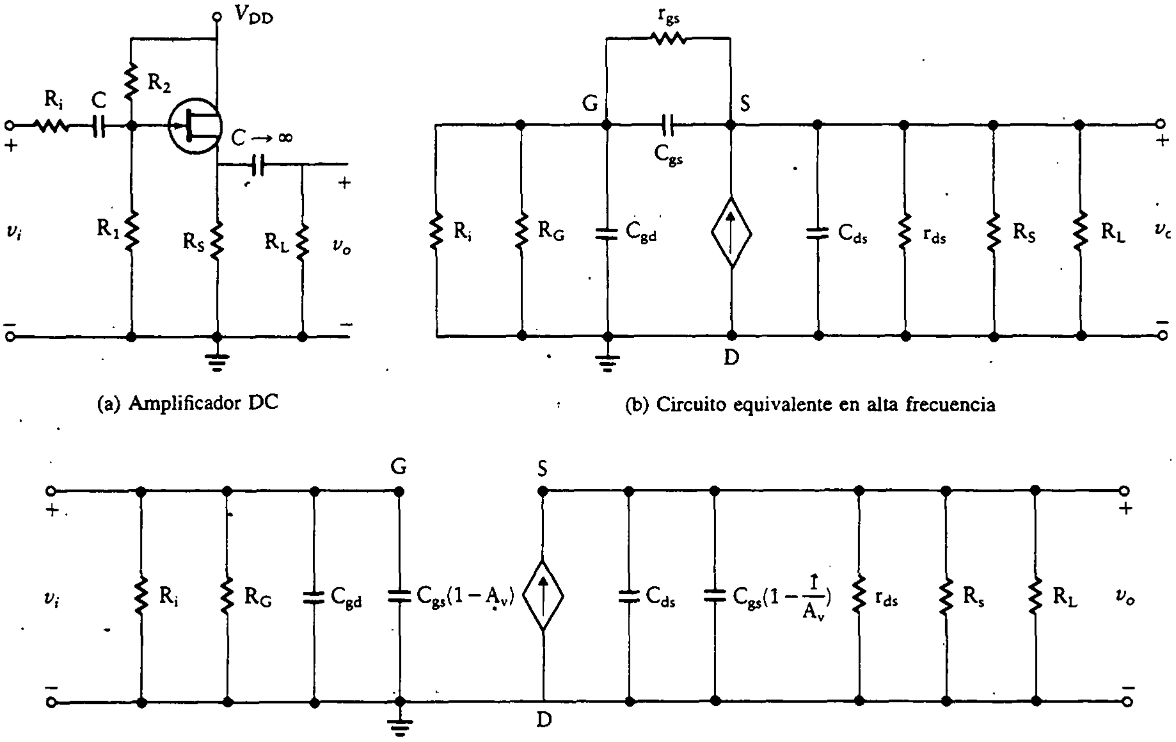
$$Y_{is} = j(2\pi \times 2 \times 10^4)(2.5 + 0.1) \times 10^{-12}$$
$$= j3.27 \times 10^{-7}\text{S}$$
$$Y_{fs} = 0.8 \times 10^{-3} - j(2\pi \times 2 \times 10^4 \times 0.1 \times 10^{-12})$$
$$= 0.8 \times 10^{-3} - j1.26 \times 10^{-8}$$
$$Y_{os} = \frac{1}{50\ \text{k}\Omega} + j2\pi \times 2 \times 10^4(2.5 + 0.1) \times 10^{-12}$$
$$= 2 \times 10^{-5} + j3.27 \times 10^{-7}$$
$$Y_{rs} = j(2\pi \times 2 \times 10^4 \times 0.1 \times 10^{-12}) = -j1.26 \times 10^{-8}\text{S}$$

10.6.2 Amplificador DC

En la figura 10.34 se muestra un amplificador DC, su circuito equivalente de alta frecuencia y una modificación del circuito equivalente que ilustra el efecto Miller. La frecuencia de corte alta de los amplificadores DC es mucho mayor que la de los amplificadores FC utilizando el mismo transistor. Este fenómeno se atribuye al efecto Miller, como se muestra en la figura 10.34(c). Recuérdese que el amplificador DC tiene una ganancia que es positiva y menor que la unidad. Esto provoca que el efecto Miller *reduzca* la capacitancia en vez de aumentarla, como en el caso del amplificador FC. La resistencia compuerta a fuente, r_{gs}, se reduce en forma considerable por el efecto Miller pero, como los JFET ya tienen resistencias compuerta a fuente grandes (en el orden de megaohms), aún se ignora en el modelo. Los MOSFET tienen valores incluso mayores de la resistencia compuerta a fuente, en el orden de cientos de megaohms. La reducción de la capacitancia compuerta a fuente por efectos Miller hace que disminuya el efecto del polo en la salida, por lo que el polo dominante suele encontrarse en el circuito de entrada, aunque a veces los JFET tienen pequeñas resistencias de drenaje a fuente. Entonces el amplificador se puede reducir a un solo polo como sigue:

$$\frac{A_v}{A_{vm}} = \frac{1}{\tau_2 s + 1}$$

donde



(a) Amplificador DC

(b) Circuito equivalente en alta frecuencia

(c) Circuito equivalente en alta frecuencia con el efecto Miller

Figura 10.34 Amplificador DC.

$$\tau_2 = (R_G \parallel R_i)\left[C_{gd} + C_{gs}(1 - A_v)\right]$$

Como en general R_G es muy grande, se puede aproximar $R_G \parallel R_i$ por medio de R_i. Entonces la frecuencia de corte está dada por

$$f_H = \frac{1}{2\pi R_i\left[C_{gd} + C_{gs}(1 - A_v)\right]}$$

10.7 AMPLIFICADORES CASCODE

Ahora se retoma el amplificador *cascode,* que se vio por vez primera en la sección 7.4. El circuito se repite en la figura 10.35.

La configuración *cascode* exhibe una frecuencia de corte más alta que la de amplificadores EC en cascada utilizando el mismo tipo de transistor. Como el am-

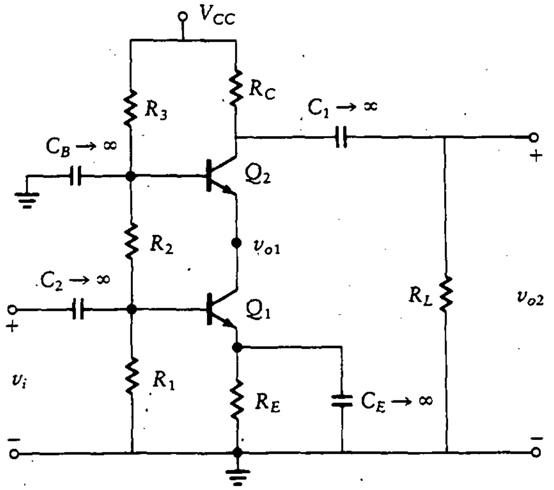


Figura 10.35
Amplificador cascode.

plificador EC (Q_1) en la configuración *cascode* ve la baja impedancia de entrada del amplificador base común, la ganancia del amplificador EC (Q_1) es aproximadamente igual a -1. Esto reduce el efecto de la capacitancia entre la base y el colector. Como la capacitancia de esta unión es la fuente del polo dominante en alta frecuencia, el efecto Miller, $(1 - A_v)C_{bc}$, disminuye bastante y el polo se presenta a una frecuencia más alta. Sin embargo, el amplificador BC (con Q_2), no es afectado por el efecto Miller de la capacitancia de la unión BC, y ya tiene un ancho de banda amplio. También cuenta con alta ganancia de tensión y compensa la baja ganancia de tensión del amplificador EC (Q_1).

Como se supone que los transistores tienen la misma ganancia de corriente,

$$i_{C1} = i_{C2}$$

e

$$i_{B1} = i_{B2}$$

Como ambas corrientes de base son pequeñas, se puede calcular V_{B1} aplicando una relación de división de tensión como sigue:

$$V_{B1} = \frac{R_1 V_{CC}}{R_1 + R_2 + R_3}$$

I_{C1} se encuentra de la expresión

$$I_{C1} = I_{C2} = \frac{V_{B1} - V_{BE}}{R_E}$$

y

$$h_{ib1} = h_{ib2} = \frac{26 \text{ mV}}{I_{C1}}$$

La ganancia de la primera etapa es

$$A_{v1} = \frac{-h_{ib2}}{h_{ib1}} = -1$$

La ganancia en la salida es

$$A_{v2} = \frac{R_L \parallel R_C}{h_{ib2}}$$

Ejemplo 10.16

Considérese el circuito de la figura 10.35 con

$$R_1 = R_2 = R_3 = 5 \text{ k}\Omega$$
$$V_{CC} = 24 \text{ V}$$
$$R_E = 1 \text{ k}\Omega$$
$$r_o = 11 \text{ k}\Omega$$
$$\beta = 100$$
$$R_L = R_C = 5 \text{ k}\Omega$$

Encuéntrense las ganancias de tensión A_{v1} y A_{v2} así como la resistencia de salida R_o.

SOLUCIÓN Las siguientes ecuaciones siguen los resultados de esta sección.

$$V_{B1} = \frac{5 \text{ k}\Omega \times 24}{5 \text{ k}\Omega + 5 \text{ k}\Omega + 5 \text{ k}\Omega} = 8 \text{ V}$$

$$I_{C1} = I_{C2} = \frac{8 - 0.7}{1 \text{ k}\Omega} = 7.3 \text{ mA}$$

$$h_{ib1} = h_{ib2} = \frac{26 \text{ mV}}{7.3 \text{ mA}} = 3.56 \ \Omega$$

$$A_{v1} = -1$$

$$A_{v2} = \frac{5\ \text{k}\Omega \parallel 5\ \text{k}\Omega}{3.56} = 702$$

Entonces la ganancia total está dada por

$$A_{v1}A_{v2} = -702$$

Del capítulo 7,

$$R_o = \beta r_o$$

$$R_o = 100 \times 11\ \text{k}\Omega = 1.1\ \text{M}\Omega$$

10.8 DISEÑO DE AMPLIFICADORES EN ALTA FRECUENCIA

En la sección anterior, se aprendió a analizar amplificadores para determinar el punto de corte en alta frecuencia. Se consideran ahora los cambios en el diseño del amplificador para obtener un corte en alta frecuencia específico. Es difícil lograr la frecuencia de corte utilizando un transistor particular, los parámetros del circuito y la configuración. Cuando se construye el amplificador, se alcanzará un punto de corte basado en esos parámetros. El diseñador tiene las siguientes opciones para obtener una frecuencia de corte alta:

1. Reducir la ganancia por etapa para reducir el efecto Miller.
2. Reducir la impedancia de la fuente de la señal de entrada, R_i.
3. Seleccionar un transistor de más alta frecuencia.
4. Utilizar una configuración que no sea sensible a la frecuencia, como la BC o la *cascode.*

Para el diseño en alta frecuencia, cambiar los anteriores parámetros requiere un nuevo análisis con cada modificación. Esto lleva tiempo. Un programa de computador llamado SPICE (*Simulated Program with Integrated Circuit Emphasis*) puede ser de gran ayuda, ya que es posible cambiar los parámetros y el computador proporcionará un análisis rápido del circuito con las características de la respuesta en frecuencia completas. Aunque SPICE se desarrolló más para el análisis interno de CI, puede ser de gran utilidad para el diseñador de circuitos. En el apéndice A, se proporciona una explicación simplificada de cómo modelar los elementos del circuito a fin de proporcionarlos a SPICE para su análisis. Se presentan también algunos ejemplos de circuitos simples.

10.9 OBSERVACIONES FINALES

Se volverá al asunto de la XYZ Audio Corporation dada en la introducción a este capítulo. Recuérdese que se trata de un ingeniero recién graduado que diseñó un amplificador de audio para utilizarse en un reproductor de discos compactos, pero se vio que ese amplificador tenía una respuesta muy pobre en frecuencia. Como se detectó que el problema se presentaba en las bajas frecuencias más que en las altas, se puede investigar la presencia de capacitores de acoplamiento y paso. Se utilizan las técnicas de la sección 10.3 para analizar el diseño. Es preferible, por supuesto, utilizar el criterio de ancho de banda como parte del proceso de diseño, pero se supone que en este caso el diseño se terminó y se está en la fase de atacar los problemas. Se encuentran las frecuencias de corte y se comparan con las especificaciones del diseño. Como el amplificador debe manejar señales de audio, es razonable desear respuestas por debajo de 15 ó 20 Hz. Cuando se calculen las frecuencias de corte, seguramente estarán altas. Para bajar estas frecuencias, se deben elevar las constantes de tiempo. Esto implica ya sea elevar las resistencias o bien las capacitancias. Elevar las resistencias requiere un rediseño completo para mantener la misma ganancia. Por tanto, si el diseño original se aproxima a las especificaciones, probablemente sea deseable trabajar con las capacitancias.

No se intenta aquí minimizar los problemas prácticos asociados con un diseño real. El estudio de la electrónica pretende *modelar* el mundo real de la forma más fiel, pero recuérdese que se está trabajando simplemente con modelos. Existe una diferencia entre el comportamiento del mundo real y el desempeño de los modelos matemáticos.

PROBLEMAS

Dibújense las curvas de amplitud y fase como función de la frecuencia para las funciones de transferencia de lazo dadas en los problemas 10.1 a 10.12.

10.1 $G(s)H(s) = \dfrac{100}{s^2}$

10.2 $G(s)H(s) = \dfrac{s}{s+10}$

10.3 $G(s)H(s) = \dfrac{10(s+10)}{s+1}$

10.4 $G(s)H(s) = \dfrac{0.1s+1}{s+1}$

10.5 $G(s)H(s) = \dfrac{10s}{0.1s + 1}$

10.6 $G(s)H(s) = \dfrac{s + 1}{s(0.1s + 1)}$

10.7 $G(s)H(s) = \dfrac{2}{s}$

10.8 $G(s)H(s) = \dfrac{1}{s(s + 8)}$

10.9 $G(s)H(s) = \dfrac{1}{(s + 5)(s + 10)}$

10.10 $G(s)H(s) = \dfrac{1}{s^2 + 2s + 30}$

10.11 $G(s)H(s) = \dfrac{1}{s(s^2 + 2s + 30)}$

10.12 $G(s)H(s) = \dfrac{1}{s(s^2 + 3s + 2)}$

10.13 Constrúyanse los diagramas de Bode de V_o/V_i para los circuitos de la figura P10.1 y determínense las frecuencias baja y alta de 3 dB.

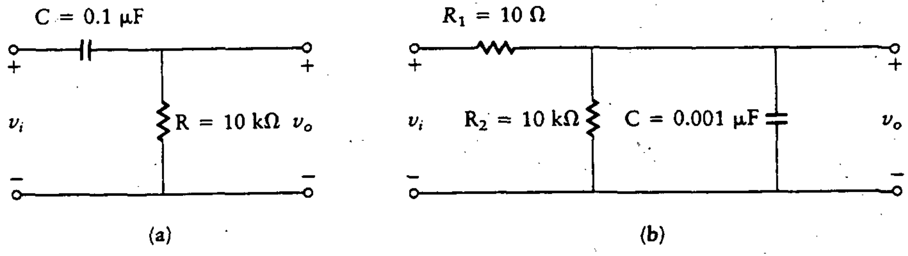


Figura P10.1

10.14 Se incorpora un transistor 2N3903 en el circuito de la figura 10.17. Calcúlese la frecuencia de corte baja de 3 dB y dibújese el diagrama de Bode para este amplificador. Sean $R_L = R_C = 1\ \text{k}\Omega$, $C_1 = 0.1\ \mu\text{F}$, $R_E = 100\ \Omega$, $R_1 = 1.5\ \text{k}\Omega$, $R_2 = 10\ \text{k}\Omega$, $C_2 = 0.01\ \mu\text{F}$ y $V_{CC} = 12$ V.

10.15 Dado el circuito de la figura 10.17 con $V_{CC} = 12$ V, $\beta = 250$, $R_L = 1\ \text{k}\Omega$ y $A_v = -5$, selecciónense C_1 y C_2 de forma que el amplificador tenga una frecuencia baja de 3 dB de 20 Hz.

10.16 Utilícese un transistor 2N3903 en el circuito de la figura 10.17. Dibújese el diagrama de Bode para este amplificador cuando $R_1 = 1$ kΩ, $R_2 = 9$ kΩ, $\beta = 200$, $R_L = R_C = 1$ kΩ, $R_E = 100$ Ω, $C_2 = 0.01$ μF y $C_1 = 0.1$ μF.

10.17 Diséñense un amplificador EC con $R_{en} = 15$ kΩ, $A_v = -10$, $R_L = 10$ kΩ y una frecuencia de corte baja de 40 Hz. Utilícese un transistor con $\beta = 200$, $V_{BE} = 0.7$ V y $V_{CC} = 12$ V. ¿Cuáles son los valores de C_1 y C_2 en cada caso?

a. Si los polos están separados una década.
b. Si los polos se encuentran en la misma posición.
c. Si C_1 y C_2 son iguales. Determínense las nuevas frecuencias de corte.

Compárense los resultados de las partes (a), (b) y (c).

10.18 Al resistor de emisor del amplificador del problema 10.17 se le coloca un capacitor de paso. ¿Qué valor debe tener este capacitor si la frecuencia de corte es 40 Hz?

10.19 Un amplificador ES tiene $R_1 = 20$ kΩ, $R_2 = 2$ kΩ, $R_L = 100$ Ω, $R_E = 50$ Ω, C(salida) = 100 μF y C(entrada) = 3.3 μF. Dibújense los diagramas de Bode para este amplificador si $V_{CC} = 10$ V, $\beta = 200$ y $V_{BE} = 0.7$ V.

10.20 Diséñese un amplificador ES con $A_i = 10$, $R_L = 20$ Ω y una frecuencia de corte baja de 20 Hz. Utilícense $V_{CC} = 10$ V y un transistor con $\beta = 80$ y $V_{BE} = 0.7$ V. ¿Cuáles son los valores de C_1 y C_2 en cada caso?

a. Si los polos están separados una década.
b. Si los polos se encuentran en la misma posición.
c. Si C_1 y C_2 son iguales. Determínense las nuevas frecuencias de corte

10.21 Dado el amplificador FET de la figura 10.23 con un MOSFET 3N128 y $V_{DD} = 12$ V, $R_{en} = 50$ kΩ.

a. Diséñese el amplificador para que tenga una ganancia de tensión en frecuencias medias de −2 cuando $R_L = 3$ kΩ. Utilícense $g_m = 5000$ μS, $V_{DSQ} = 7.5$ V e $I_{DQ} = 2$ mA.
b. Selecciónense C_1 y C_2 tales que la frecuencia baja de 3 dB sea 10 Hz.

10.22 Diséñese un amplificador JFET para $A_v = -10$, $R_{en} = 50$ kΩ y $R_L = 20$ kΩ utilizando $V_{CC} = 20$ V. El punto Q se selecciona en $V_{DSQ} = 7$ V, $V_{GSQ} = -0.35$ V, $I_{DQ} = 1.3$ mA y $g_m = 1600$ μS. Selecciónense C_1, C_2 y C_3 para una frecuencia de corte baja de 20 Hz.

10.23 En el amplificador del problema 10.22, el transistor se reemplaza por un MOSFET, que tiene $g_m = 3333$ μS en un punto Q de $V_{DSQ} = 6$ V, $I_{DQ} = 1$ mA y $V_{GSQ} = 2$ V.

a. Diséñese el amplificador.
b. Selecciónense C_1, C_2 y C_3.

10.24 Diséñese un amplificador JFET FC con una frecuencia de corte baja en 40 Hz para $A_v = -2$ y $R_{en} = 100$ kΩ. El punto Q se selecciona en $V_{DSQ} = 6$ V, $V_{GSQ} = -1$ V, $I_{DQ} = 0.5$ mA y $g_m = 2000$ μS. Determínese lo siguiente.

a. El valor de todos los resistores cuando $V_{CC} = 12$ V y $R_L = 10$ kΩ.

b. Los valores de τ.

c. Los valores de C_1, C_2 y C_3.

10.25 Dibújense los diagramas de Bode en amplitud y fase para el amplificador operacional de la figura 10.16. Sean $G_o = 120$ dB y $\omega_c = 2\pi$ rad/s en las ecuaciones

$$G = \frac{G_o}{1 + s/\omega_c}$$

Utilícense los siguientes valores de resistores:

a. $\dfrac{R_F}{R_A} = 10^3$

b. $\dfrac{R_F}{R_A} = 10$

c. $\dfrac{R_F}{R_A} = 1$

10.26 Utilícese un transistor 2N3904 en el circuito de la figura 10.17, determínense las frecuencias de 3 dB alta y baja y constrúyase el diagrama de Bode. Sean $R_L = R_C = 10$ kΩ, $C_1 = 0.1$ μF, $R_E = 100$ Ω, $R_1 = 1.5$ kΩ, $R_2 = 21$ kΩ, $R_i = 500$ Ω, $C_2 = 0.01$ μF, $V_{CC} = 12$ V, $V_{BE} = 0.7$ V, $C_{oB} = 4.5$ pF, $f_T = 200$ MHz y $\beta = 100$.

10.27 Calcúlese f_H para un transistor de unión con los siguientes valores: $f_T = 500$ MHz, $h_{fe} = 400$, $C_{oB} = 0.5$ pF, $I_{CQ} = 5$ mA, $R_L = R_C = 7$ kΩ, $R_B = 20$ kΩ y $R_i = 2$ kΩ.

10.28 Las especificaciones para un FET particular muestran que a 200 MHz, $C_{oss} = 2$ pF, $C_{iss} = 6$ pF, $C_{rss} = 0.5$ pF, $RE(Y_{os}) = 20$ μS, $RE(Y_{is}) = 0.8$ mS, y $RE(Y_{fs}) = 2000$ μS. Desarróllese el modelo mostrado en la figura 10.32(b).

10.29 Determínense los parámetros para el modelo de la figura 10.32(b) a partir de la información para el 3N128 dada en el apéndice. Utilícese una frecuencia de 200 MHz a $v_{DS} = 15$ V e $I_D = 5$ mA. Supóngase que el valor de los capacitores es igual a 1 MHz y a 200 MHz, e ignórense los resistores en serie en la compuerta y la fuente.

10.30 De acuerdo con las especificaciones del fabricante para un FET particular, los valores de los parámetros Y a 100 MHz son: $Y_{iss} = 0.2 + j2.5$ mS $Y_{rss} = -0.01 - j0.7$ mS, $Y_{fss} = 3 - j0.7$ mS e $Y_{os} = 0.05 + j0.8$ mS. Determínese el valor de C_{gd}, C_{gs}, C_{ds}, g_m y r_{ds}.

10.31 Para el circuito de la figura 10.32(a), desarróllese la parte de alta frecuencia del diagrama de Bode para un amplificador cuando $R_i = 2$ kΩ, $R_L = 4$ kΩ, $R_D = 3$ kΩ, $R_G = 20$ kΩ, $r_{ds} = 10$ kΩ, $C_{gs} = 5$ pF y $C_{ds} = 1.1$ pF. Supóngase que $C_{gd} = 2$ pF y $g_m = 0.002$ S.

10.32 Constrúyase un diagrama de Bode para el amplificador dado en el problema 10.31 cuando R_i se aproxima a cero.

10.33 Determínese la respuesta en frecuencia para el amplificador con FET mostrado en la figura P10.2 donde $r_{ds} = 100$ kΩ, $g_m = 2.5$ mS, $C_{dg} = 2$ pF, $C_{gs} = 10$ pF y $C_{ds} = 2$ pF.

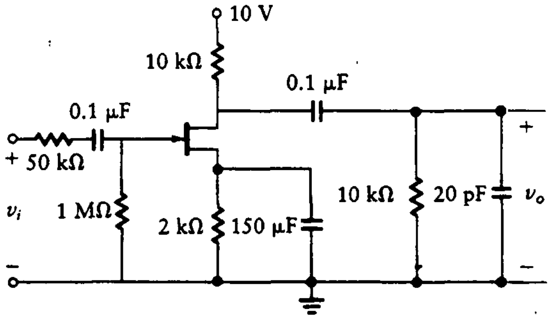


Figura P10.2

PROBLEMAS ADICIONALES

PA10.1 Construya diagramas de Bode para V_o/V_i para los circuitos de la figura PA10.1 y determine las frecuencias baja y alta de 3 dB.

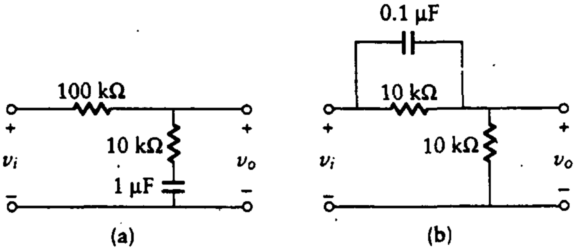


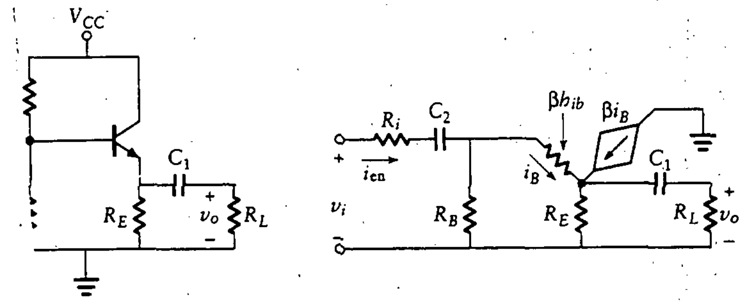
Figura PA10.1

PA10.2 Diseñe un amplificador EC con $R_{en} = 4$ kΩ, $A_v = -10$, $R_L = 5$ kΩ, $R_i = 2$ kΩ, $V_{CC} = 16$ V, $\beta = 200$, $V_T = 26$ mV y $V_{BE} = 0.7$ V. Utilice el circuito de la figura 10.17.

a. Determine el valor de todos los resistores.
b. Encuentre los valores de C_1 y C_2 suponiendo que las constantes de tiempo están separadas una década.

Encuentre los valores de C_1 y C_2 suponiendo que las constantes de tiempo están en la misma ubicación.

ımplificador ES de la figura PA10.2 tiene R_1 = 20 kΩ, R_2 = 2 kΩ, = 100 Ω, R_E = 50 Ω, R_i = 1 kΩ, C_1 = 100 μF y C_2 = 3.3 μF. ıje los diagramas de Bode para este amplificador si V_{CC} = 10 V, 200 y V_{BE} = 0.7 V.

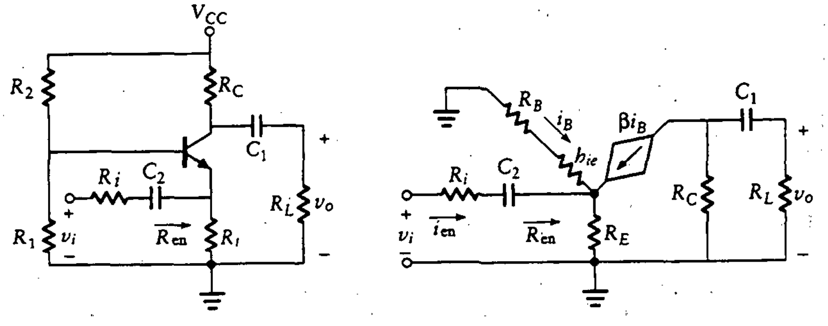


(a) Amplificador CC

(b) Circuito equivalente en baja frecuencia

Figura PA10.2 Amplificador ES.

PA10.4 Diseñe un amplificador BC (figura PA10.3) para máxima excursión de salida. El amplificador debe tener una ganancia de 10 en una carga de 4 kΩ. Sea β = 100, V_{BE} = 0.7 V, V_{CC} = 18 V, R_i = 100 Ω y R_E = 500 Ω. Elija los capacitores para la frecuencia de 3 dB a 50 Hz.



(a) Amplificador BC

(b) Circuito equivalente en baja frecuencia

Figura PA10.3 Amplificador BC.

PA10.5 Diseñe un amplificador EC para respuesta en baja frecuencia de 50 Hz y una ganancia en tensión total de la etapa de −7. Suponga que V_{BE} = 0.7 V, β = 200, V_T = 26 mV, C_{oB} = 2 pF y f_T = 2 × 10^8. Las especificaciones para el circuito son R_{en} = R_i = 4 kΩ, R_L = 5 kΩ y V_{CC} = 15 V. Diseñe el amplificador de tal forma que las constantes de tiempo sean idénticas. Determine el valor de todos los resistores y capacitores y la frecuencia alta de corte.

PA10.6 Determine las frecuencias de 3 dB alta y baja para el amplificador mostrado en la figura PA10.4 cuando C_{oB} = 3 pF, $f_T = 4 \times 10^8$, $\beta = 100$, V_{BE} = 0.7 V, y V_T = 26 mV.

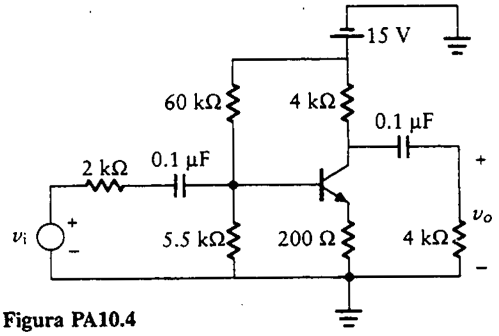


Figura PA10.4

PA10.7 Determine la frecuencia alta de 3 dB para el circuito mostrado en la figura PA10.5 y bosqueje el diagrama de Bode de la magnitud de la respuesta. El transistor tiene C_{oB} = 2 pF, V_{BE} = 0.7 V, $\beta = 100$, f_T = 2 ×. 108 y V_T = 26 mV.

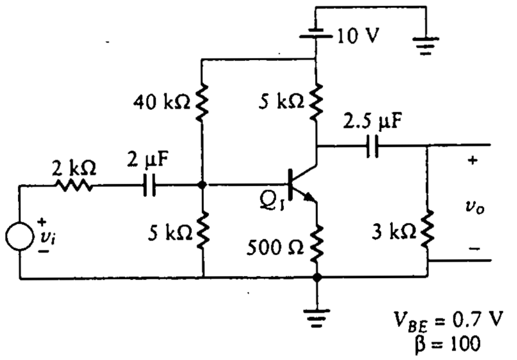


Figura PA10.5

PA10.8 Diseñe un amplificador BC para máxima excursión de salida y determine su respuesta en alta frecuencia cuando $f_T = 2 \times 10^7$, $\beta = 200$, V_{BE} = 0.7 V, C_{oB} = 4 pF, R_i = 50 Ω, R_E = 400 Ω, R_L = 5 kΩ y V_{CC} = 12 V. La frecuencia baja de corte debe ser 20 Hz. Utilice el circuito mostrado en la figura 10.31.

PA10.9 Diseñe un amplificador JFET FC y encuentre la frecuencia alta de corte cuando $A_v = -2$, R_{en} = 100 kΩ, R_L = 5 kΩ, R_i = 10 kΩ y V_{DD} = 20 V. El transistor utilizado tiene I_{DSS} = 10 mA, V_p = −6 V, C_{gs} = 5 pF, C_{gd} = 2 pF y C_{ds} = 1 pF. Utilice $I_{DQ} = 0.4 I_{DSS}$ y V_{DSQ} = 10 V.

PA10.10 Diseñe un amplificador JFET FC y encuentre la frecuencia alta de corte cuando $A_v = -3$, R_i = 10 kΩ y R_{en} = 100 kΩ. El transistor utilizado

tiene I_{DSS} = 10 mA, $V_p = -5$ V, C_{gs} = 5 pF, C_{gd} = 2 pF y C_{ds} = 1 pF. Utilice el circuito de la figura PA10.6.

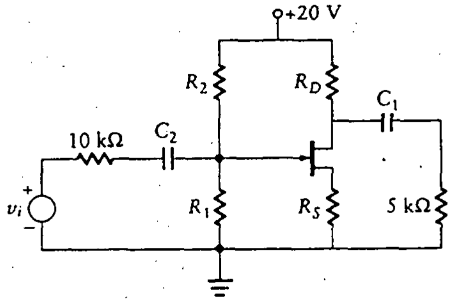


Figura PA10.6

PA10.11 Analice el circuito mostrado en la figura PA10.7. El transistor utilizado es un JFET con $V_p = -4$ V, I_{DSS} = 8 mA, C_{gd} = 3 pF, C_{ds} = 0, C_{gs} = 10 pF y $1/r_{ds} = 0$. El transistor opera a 3.2 mA. Determine todas las constantes de tiempo y las frecuencias de corte del circuito.

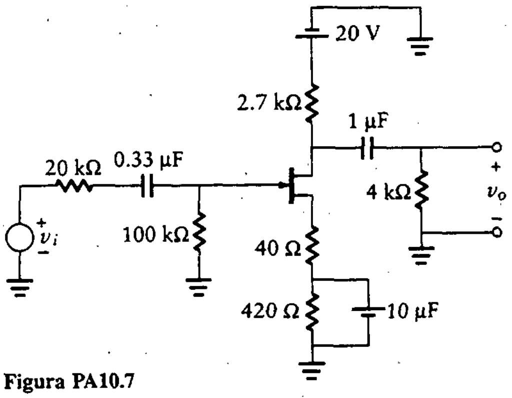


Figura PA10.7

11

RETROALIMENTACIÓN Y ESTABILIDAD

11.0 INTRODUCCIÓN

Luego de estudiar y aprender mucho, nuestro personaje, el ingeniero en electrónica, ya puede diseñar amplificadores utilizando BJT, FET y CI. Ya diseñó muchos de esos amplificadores para la XYZ Audio Company y fue ascendido a jefe de grupo. Un nuevo ingeniero acaba de unirse al grupo, y se le encargó el diseño de un amplificador de audio simple. El nuevo ingeniero tenía el conocimiento adecuado con respecto a la respuesta en frecuencia, y los amplificadores resultantes producían un sonido sin distorsión. Sin embargo, durante una demostración para un posible consumidor, se presentó un silbido en la bocina. El sistema no sólo amplificaba la señal de audio, sino que además funcionaba como oscilador. Tanto el jefe de grupo como su joven ayudante fallaron al realizar el análisis de estabilidad del sistema amplificador. Sígase con cuidado lo que se presenta en el capítulo, y se evitarán estas situaciones embarazosas.

La *retroalimentación* se presenta cuando la salida de un sistema se conecta a la entrada de tal forma que una tensión en la salida afecta la señal de entrada.

Ya se han visto muchos tipos de retroalimentación. Los amplificadores de transistores del capítulo 2 con frecuencia incluyen un resistor de emisor. Si este resistor se deja sin capacitor de paso, se presenta una forma de retroalimentación ya que la tensión de salida se resta de la de entrada y, por tanto, se afecta la tensión base a emisor.

En los capítulos 7 a 9 se estudiaron circuitos con amplificador operacional. Muchos de estos amplificadores incluyen una conexión de retroalimentación entre la salida y la entrada. Esta retroalimentación tiene la cualidad de reducir la

sensibilidad de todo el amplificador a cambios en los parámetros del amplificador operacional. Mejor aún, la ganancia de lazo abierto (sin retroalimentación) del amplificador operacional varía mucho con cambios en la frecuencia, mientras que la ganancia total del amplificador retroalimentado es mucho menos sensible a cambios en la frecuencia.

A continuación se resumen las ventajas de la retroalimentación:

1. La ganancia es relativamente independiente de la variación en los parámetros del dispositivo.
2. Las resistencias de entrada y salida del sistema de lazo cerrado están bajo control.
3. Se amplía el ancho de banda.
4. Se reducen las no linealidades y la distorsión.
5. Las señales indeseables de ruido se reducen. (Véase el Ap. F para un análisis sobre el ruido y los generadores de ruido.)

La desventaja potencial de la retroalimentación es que se reduce la ganancia. En el último análisis, la atención se restringió a la *retroalimentación negativa*, que se produce cuando la porción de la salida que se retroalimenta a la entrada se resta de esa entrada.

En electrónica, con frecuencia se utiliza la *retroalimentación positiva*, en la que la señal retroalimentada *se suma* en vez de restarse de la entrada. Esta retroalimentación se introduce a propósito cuando se desea diseñar un *oscilador*. Esto provoca que el amplificador sea inestable y comience a oscilar, produciendo una señal de salida senoidal cuando no existe señal de entrada.

En este capítulo se desarrollan las herramientas de análisis matemático para estudiar los sistemas retroalimentados, y se pone atención a los problemas de estabilidad.

11.1 CONSIDERACIONES DE RETROALIMENTACIÓN EN AMPLIFICADORES

En la figura 11.1 se muestra el modelo matemático de un sistema retroalimentado. Este modelo se puede utilizar para representar un amplificador o cualquier otro sistema retroalimentado. El círculo denota una operación de suma, y con la polaridad marcada significa que la señal de salida, ϵ, es igual a la diferencia entre las dos señales de entrada. Por tanto,

$$\epsilon = R + (-Y) = R - Y$$

Cada uno de los parámetros de esta ecuación puede representar una función del tiempo, una transformada de Laplace o fasores complejos, como en el caso de señales senoidales. Para el presente análisis, se utiliza la notación de transformada de Laplace. (En el Ap. C se presenta un resumen del método de transformada de Laplace.)

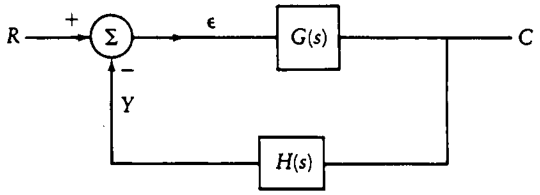


Figura 11.1
Modelo de retroalimentación.

El sistema de la figura 11.1 es de *retroalimentación negativa,* ya que la señal que alimenta el bloque del lazo directo, $G(s)$, es igual a la señal de entrada, $R(s)$, *menos* alguna función de la señal de salida, $C(s)$. En este caso,

$$Y(s) = H(s)C(s)$$

y

$$C(s) = G(s)\epsilon(s)$$

donde $H(s)$ y $G(s)$ son funciones de transferencia. La función de transferencia *de lazo cerrado,* $C(s)R(s)$, se deriva como sigue:

$$\epsilon(s) = R(s) - H(s)C(s)$$

y

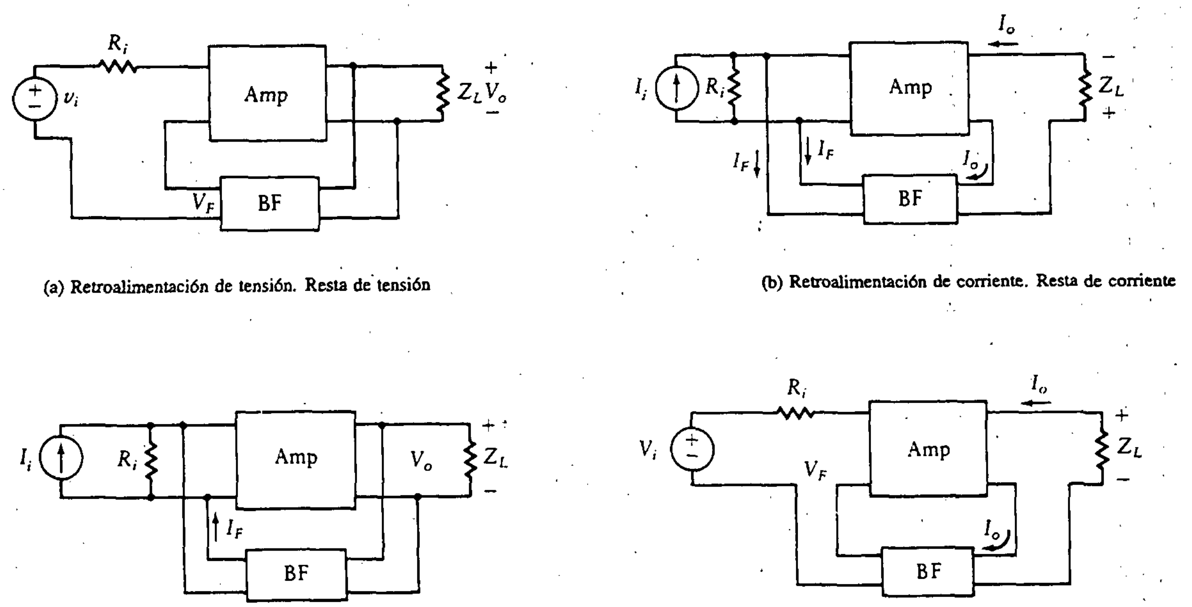
$$\begin{aligned} C(s) &= G(s)\epsilon(s) \\ &= G(s)R(s) - G(s)H(s)C(s) \end{aligned}$$

Por tanto,

$$\frac{C(s)}{R(s)} = \frac{G(s)}{1 + G(s)H(s)} \tag{11.1}$$

11.2 TIPOS DE RETROALIMENTACIÓN

La retroalimentación se presenta cuando una parte de la salida se conecta a la entrada a través de un circuito. Puesto que tanto la salida como la entrada se pueden caracterizar por una tensión o una corriente, existen cuatro formas de retroalimentación posibles. Por ejemplo, se puede retroalimentar la tensión de salida en forma de una señal de tensión que luego se resta de la señal de tensión en la entrada. De la misma forma, uno o ambos parámetros de tensión se pueden reemplazar por



(a) Retroalimentación de tensión. Resta de tensión

(b) Retroalimentación de corriente. Resta de corriente

(c) Retroalimentación de tensión. Resta de corriente

(d) Retroalimentación de corriente. Resta de tensión

Figura 11.2 Cuatro tipos de retroalimentación.

parámetros de corriente. Esto da lugar a las siguientes cuatro formas de retroalimentación. Se resumen las características importantes sobre la impedancia, las cuales se analizan en las siguientes secciones.

1. *Retroalimentación de tensión. Resta de tensión*
   La entrada es una tensión.
   La salida es una tensión.
   La impedancia de entrada es alta.
   La impedancia de salida es baja.
   La tensión se retroalimenta como en la figura 11.2(a).
2. *Retroalimentación de corriente. Resta de corriente*
   La entrada es una corriente.
   La salida es una corriente.
   La impedancia de entrada es baja.
   La impedancia de salida es alta.
   La corriente se retroalimenta como en la figura 11.2(b).
3. *Retroalimentación de tensión. Resta de corriente*
   La entrada es una corriente.
   La salida es una tensión.
   La impedancia de entrada es baja.
   La impedancia de salida es baja.
   La tensión se retroalimenta como en la figura 11.2(c).

4. *Retroalimentación de corriente. Resta de tensión*
   La entrada es una tensión.
   La salida es una corriente.
   La impedancia de entrada es alta.
   La impedancia de salida es alta.
   La tensión se retroalimenta como en la figura 11.2(d).

11.3 AMPLIFICADORES RETROALIMENTADOS

En esta sección se analizan ejemplos de retroalimentación tanto de tensión como de corriente. En muchos casos, como el de la figura 11.2, la red amplificadora consiste en elementos activos, mientras que las redes de retroalimentación consisten en redes pasivas. Las redes de retroalimentación pueden ser resistivas o sensibles a la frecuencia. En las redes de retroalimentación sensibles a la frecuencia, la cantidad de retroalimentación está determinada por la frecuencia de las señales de entrada. En otras palabras, conforme cambia la frecuencia, cambia la cantidad de retroalimentación.

Como se indicó en el resumen anterior, la retroalimentación negativa aumenta o disminuye la impedancia de entrada de un amplificador, dependiendo de que la red de retroalimentación esté en serie o en paralelo con la señal de entrada.

11.3.1 Retroalimentación de corriente. Resta de tensión para amplificadores discretos

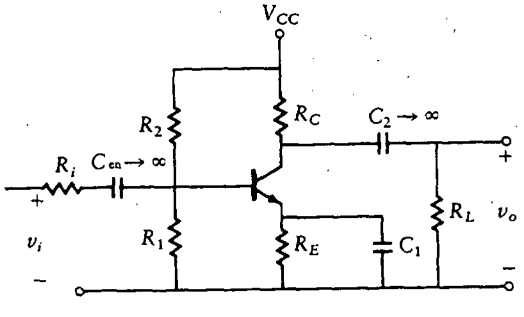
Considérese un amplificador BJT EC con un resistor de emisor sin capacitor de corte. Por tanto, a la señal de tensión en la entrada se le resta o retroalimenta una tensión proporcional a la corriente de salida. Esta forma de retroalimentación se ilustra en la figura 11.2(d).

En la figura 11.3(a) se muestra el circuito EC con un capacitor de paso. Este circuito se puede utilizar para considerar o no la retroalimentación, mediante la simple variación del valor de la capacitancia de corte. Esto es, conforme el valor del capacitor se aproxima a cero, el capacitor se aproxima a un circuito abierto y se tiene retroalimentación. A medida que la capacitancia se aproxima a infinito, el capacitor se vuelve un cortocircuito, y el amplificador no tiene retroalimentación. En la figura 11.3(b) se muestra el circuito equivalente del amplificador.

La ganancia de tensión para el amplificador EC se calcula a partir de este circuito equivalente como sigue:

$$V_o = -\beta I_b(R_C \parallel R_L)$$

donde



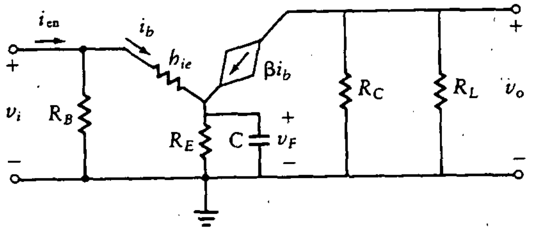


Figura 11.3 Una etapa EC.

$$I_b = I_{en} \frac{R_B}{R_B + h_{ie} + \beta(R_E \parallel 1/sC)}$$

Ahora bien, como

$$I_{en} = \frac{V_I}{R_{en}} = \frac{V_I}{R_B \parallel [h_{ie} + \beta(R_E \parallel 1/sC)]}$$

La ganancia de tensión, A_v, está dada por

$$A_v = \frac{V_O}{V_i} = \frac{-\beta(R_C \parallel R_L)}{h_{ie} + \beta(R_E \parallel 1/sC)} = \frac{-(R_C \parallel R_L)}{h_{ib} + (R_E \parallel 1/sC)} \tag{11.2}$$

La ganancia de tensión con retroalimentación se conoce como *ganancia de lazo cerrado* y se encuentra haciendo que C se aproxime a cero en la ecuacion (11.2). También se supone que

$$R_E \gg h_{ib}$$

La ecuación (11.2) para la ganancia de lazo cerrado se reduce a

$$A_v = \frac{-(R_C \parallel R_L)}{R_E}$$

La ganancia de tensión sin retroalimentación se conoce como *ganancia de lazo abierto* y se encuentra haciendo que C se aproxime a infinito en la ecuacion (11.2), como sigue:

$$A_{vo} = \frac{-(R_C \parallel R_L)}{h_{ib}} = \frac{-\beta(R_C \parallel R_L)}{h_{ie}}$$

Ejemplo 11.1

Dado un amplificador EC con los siguientes valores de componentes: $RC = RL = 1\ \text{k}\Omega$, $R_E = 100\ \Omega$, $h_{ie} = 600\ \Omega$, y $\beta = 300$, determínense las ganancias tanto de lazo abierto como de lazo cerrado.

SOLUCIÓN La ganancia sin retroalimentación (lazo abierto) está dada por

$$A_{vo} = \frac{-\beta(R_C \parallel R_L)}{h_{ie}} = \frac{-(300)(500)}{600} = -250$$

La ganancia con retroalimentación (lazo cerrado) es

$$A_v = \frac{-(R_C \parallel R_L)}{R_E} = \frac{-500}{100} = -5$$

Como se puede ver de este ejemplo, A_{vo} es mucho mayor que A_v, ya que la retroalimentación reduce bastante la ganancia.

La ecuación para la ganancia con retroalimentación no incluye, sin embargo, algún parámetro del transistor. Por tanto, la ganancia con retroalimentación depende sólo de la relación entre los valores de las resistencias. Esto es lo que se desea. La ganancia más elevada, que se obtiene cuando la capacitancia se aproxima a infinito, depende de los parámetros del transistor. Recuérdese, del capítulo 5, que estos parámetros pueden variar de manera considerable.

La utilización de retroalimentación aumenta el desempeño del amplificador de una sola etapa. Esto se analiza en forma un poco diferente observando la figura 11.4. Se aísla al resistor de emisor sin capacitor de corte para el caso de retroalimentación. Cuando se escribe la ecuación del lazo base-emisor para el circuito de la figura 11.4, el efecto de la retroalimentación negativa se vuelve evidente. La tensión, V_{BE}, está dada por

$$V_{BE} = V_i - I_C R_E \tag{11.3}$$

Con la ecuación (11.3) se muestra que la tensión que alimenta al transistor, V_{BE}, está reducida por una señal que es proporcional a la corriente de salida, I_C. se vuelve ahora a la ecuación (11.2) y se reescribe haciendo énfasis en la retroalimentación, es decir,

$$A_v = \frac{-R_C \parallel R_L}{h_{ib}} \frac{1}{1 + (R_E \parallel 1/sC)/h_{ib}} \tag{11.4}$$

Se define γ como la relación de la tensión de retroalimentación, V_f, a la tensión de salida V_o, donde V_f se define en la figura 11.3(b) como la tensión a través de $(R_E \parallel 1/sC)$. Este *factor de atenuación por retroalimentación* corresponde a $H(s)$ en la figura 11.1. En este caso, $H(s)$ es una constante ya que el circuito

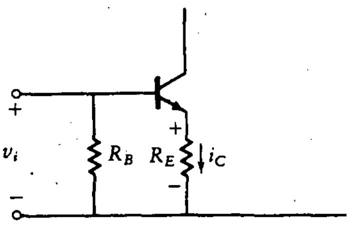


Figura 11.4
R_E sin capacitor de corte.

de retroalimentación es puramente resistivo. (Nótese que a menudo se utiliza el símbolo β para el factor de retroalimentación. Se elige γ con el fin de no confundir aquél con la ganancia de corriente de un transistor.) Por tanto,

$$\gamma = \frac{V_f}{V_o} = \frac{R_E \parallel (1/sC)}{R_C \parallel R_L}$$

Recuérdese que la ganancia sin retroalimentación, o ganancia de lazo abierto, es

$$A_{vo} = \frac{-(R_C \parallel R_L)}{h_{ib}}$$

Utilizando las ecuaciones para A_{vo} y γ, se vuelve a escribir la ecuación (11.4) en forma simplificada,

$$A_v = \frac{A_{vo}}{1 - \gamma A_{vo}} \tag{11.5}$$

Esta ecuación se encuentra ahora en la misma forma que la ecuación general con retroalimentación, la (11.1). Téngase presente que A_{vo} es negativa, por lo que el denominador en la ecuación (11.5) en realidad es de la forma $1 + |\gamma A_{vo}|$.

Ejercicio

D11.1 Calcúlese γ para el amplificador del ejemplo 11.1.
Resp.: $\gamma = 0.2$

Ejemplo 11.2

En cierto amplificador retroalimentado, $A_{vo} = -80$ y la razón de la tensión de retroalimentación a la tensión de salida es $\gamma = 0.1$. ¿Cuál es la ganancia de tensión de lazo cerrado del amplificador? Supóngase ahora que la ganancia sin retroalimentación aumenta un 25%. Encuéntrese la nueva ganancia total.

SOLUCIÓN La ganancia de lazo cerrado está dada por la ecuación (11.5).

$$A_v = \frac{-80}{1 + 0.1 \times 80} = -8.89$$

Ahora A_{vo} cambia de -80 a -100. La nueva ganancia de lazo cerrado es

$$A_v = \frac{-100}{1 + 0.1 \times 100} = -9.09$$

Por tanto, un 25% de cambio en la ganancia de lazo abierto produce un cambio de sólo 1.1% en la ganancia de lazo cerrado.

En el ejemplo 11.2 se considera un caso específico de la *sensibilidad* de un amplificador a cambios en la ganancia. Esta sensibilidad se determina en general derivando la ecuación (11.5) con respecto a la ganancia de lazo abierto. Por tanto,

$$A_v = \frac{1}{1/A_{vo} - \gamma}$$

y

$$\frac{dA_v}{dA_{vo}} = \frac{1}{(1 - \gamma A_{vo})^2}$$

Si ahora se divide esta derivada por A_v como en la ecuación (11.5), se tiene

$$\frac{dA_v}{A_v} = \frac{1}{1 - \gamma A_{vo}} \frac{dA_{vo}}{A_{vo}} \approx -\frac{1}{\gamma A_{vo}} \frac{dA_{vo}}{A_{vo}} \tag{11.6}$$

La aproximación de la ecuación (11.6) es válida si

$$\gamma A_{vo} \gg 1$$

La expresión del lado izquierdo en la ecuación (11.6) es la variación de la ganancia de lazo cerrado en relación al valor de la ganancia. Por tanto, la variación de la ganancia de lazo cerrado es aproximadamente igual a la variación de la ganancia de lazo abierto dividida por γA_{vo}. Por supuesto, como γA_{vo} es en general un número grande, la variación de la ganancia de lazo cerrado se reduce bastante para una variación dada en la ganancia de lazo abierto.

11.3.2 Retroalimentación de tensión. Resta de corriente para un amplificador discreto

En la figura 11.5(a) se ilustra un amplificador en el que la tensión de salida se retroalimenta a la entrada a través de un resistor, R_F. El circuito equivalente se

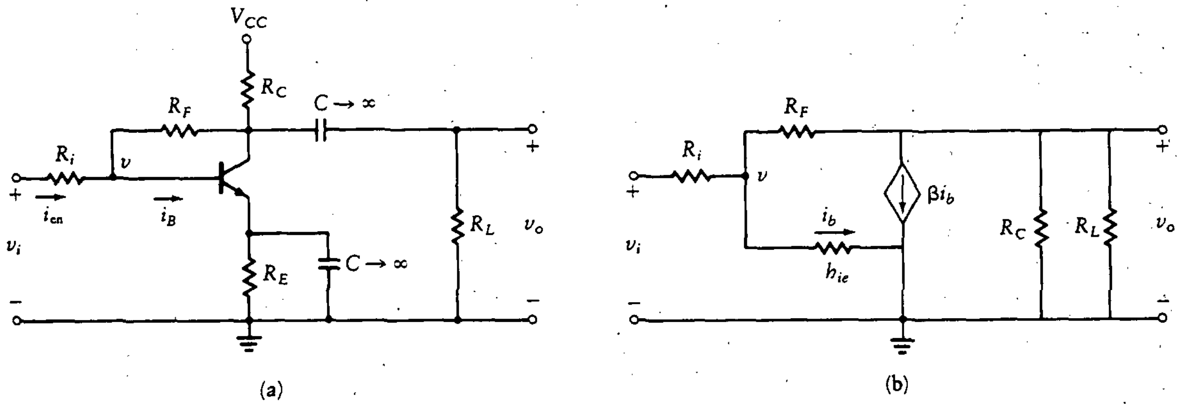


Figura 11.5 Retroalimentación de tensión. Resta de corriente.

muestra en la figura 11.5(b). Aquí R_E hace cortocircuito con un capacitor grande para eliminar el tipo de retroalimentación presentado en la sección 11.3.

Las ecuaciones para la ganancia de este circuito se desarrollan utilizando la ecuación (11.5). La tensión de salida se encuentra suponiendo que la corriente a través de R_F es despreciable con respecto a βi_b. Por tanto,

$$v_o = -(R_C \parallel R_L)\beta i_b \tag{11.7a}$$

La corriente, i_b, se encuentra escribiendo una ecuación de nodos en el nodo indicado con v en la figura 11.5(b).

$$i_b = \frac{v_i - v}{R_i} + \frac{v_o - v}{R_F} = \frac{v_i}{R_i} + \frac{v_o}{R_F} - \frac{v}{R_i \parallel R_F}$$

Como

$$i_b = \frac{v}{h_{ie}}$$

se puede multiplicar por h_{ie} y despejar v como sigue:

$$v\left(1 + \frac{h_{ie}}{R_i \parallel R_F}\right) = \left[\frac{v_i}{R_i} + \frac{v_o}{R_F}\right] h_{ie}$$

Que se simplifica a

$$\frac{v}{h_{ie}} = i_b = \frac{v_i/R_i + v_o/R_F}{\alpha} \tag{11.7b}$$

donde se define

$$\alpha = 1 + \frac{h_{ie}}{R_i \parallel R_F}$$

Luego se sustituye la ecuación (11.7b) en la (11.7a) para obtener la tensión de salida,

$$v_o = \frac{-\beta(R_C \parallel R_L)}{\alpha}\left[\frac{v_i}{R_i} + \frac{v_o}{R_F}\right] \tag{11.8}$$

La ganancia de tensión se obtiene dividiendo v_o de la ecuación (11.8) entre v_i para obtener

$$A_v = \frac{v_o}{v_i} = \frac{-\beta(R_C \parallel R_L)/\alpha R_i}{1 + \beta(R_C \parallel R_L)/R_F\alpha} \tag{11.9}$$

Si R_F se aproxima a infinito, se tiene el caso sin retroalimentación, y A_v de la ecuación (11.9) es

$$A_{vo} = \frac{-\beta(R_C \parallel R_L)}{\alpha_\infty R_i} \tag{11.10}$$

El valor de α_∞ en la ecuación (11.10) es el que se aplica cuando R_F tiende a infinito. Esto es,

$$\alpha_\infty = 1 + \frac{h_{ie}}{R_i} \tag{11.11}$$

Supóngase ahora que R_F no se aproxima a infinito, de modo que existe retroalimentación, pero, como sucede a menudo, se puede suponer que

$$R_i \ll R_F$$

De acuerdo con esta suposición, α aún se aproxima por la expresión recién dada, y la ganancia de la ecuación (11.9) se reduce a

$$A_v = \frac{A_{vo}}{1 - R_i A_{vo}/R_F} \tag{11.12}$$

Nuevamente, se redujo el resultado a la forma de la ecuación (11.2), la relación general de retroalimentación.

Ejemplo 11.3

En el amplificador de una sola etapa de la figura 11.5(a), sean $R_C = R_L = 1\ \text{k}\Omega$, $R_E = 100\ \Omega$, $h_{ie} = 800\ \Omega$, $\beta = 300$, $R_i = 1\ \text{k}\Omega$ y $R_F = 100\ \text{k}\Omega$. Determínense las ganancias de tensión de lazo abierto y cerrado de este amplificador.

SOLUCIÓN En primer lugar, se encuentra α

$$\alpha = 1 + \frac{h_{ie}}{R_i} = 1 + \frac{800}{1000} = 1.8$$

De la ecuación (11.10), se tiene

$$A_{vo} = \frac{-300 \times 500}{1.8 \times 1000} = -83.3$$

Esta es la ganancia de tensión sin retroalimentación (lazo abierto). La ganancia con retroalimentación (lazo cerrado) está dada por la ecuación (11.12):

$$A_v = \frac{-83.3}{1 - (1\ \text{k}\Omega/100\ \text{k}\Omega)(83.3)} = -45.4$$

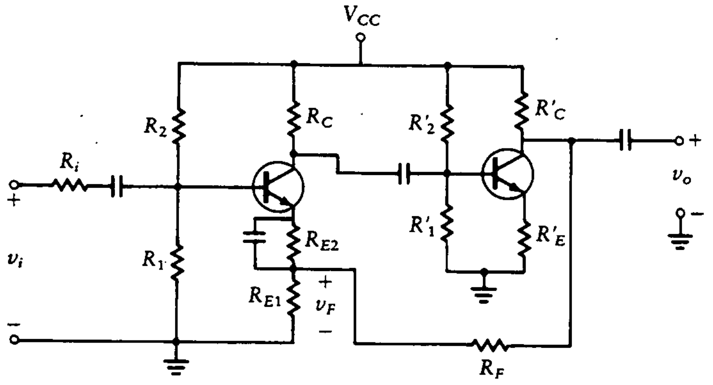
11.4 AMPLIFICADORES MULTIETAPA CON RETROALIMENTACIÓN

El desempeño de un amplificador se puede alterar por la utilización de retroalimentación ya sea que el amplificador sea de una o de varias etapas. Como se desea una retroalimentación negativa, el número de etapas debe ser impar, de forma tal que exista un número impar de cambios de polaridad. El análisis de amplificadores simples o múltiples con un número impar de inversión de polaridades es igual, ya que se puede tratar cualquier cantidad de etapas como un solo amplificador.

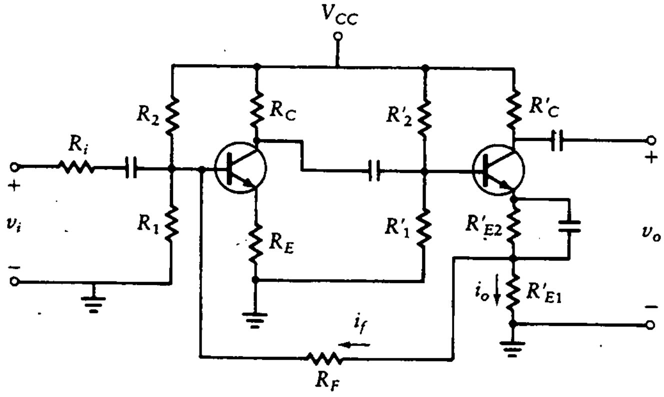
En la figura 11.6 se muestran algunos ejemplos de amplificadores multietapa *con retroalimentación.* En la figura 11.6(a) se ilustra una retroalimentación de tensión. En este circuito, R_{E1} es pequeña para permitir que la primera etapa tenga una ganancia razonable, y R_F es grande con el fin de no cargar el amplificador. La mayor parte de la corriente que proviene de la retroalimentación fluye a través de R_{E1} y proporciona una tensión que está fuera de fase con la señal de entrada. Entonces la razón de la tensión de retroalimentación a la tensión de salida es

$$\gamma_v = \frac{R_{E1}}{R_{E1} + R_F}$$

Figura 11.6
Amplificadores multietapa retroalimentados



(a) Retroalimentación de tensión



(b) Retroalimentación de corriente

En la figura 11.6(b) se muestra un sistema amplificador multietapa con retroalimentación de corriente. En este circuito la corriente de salida está presente en el resistor, R'_{E1}, en tanto que la tensión a través del resistor es proporcional a la corriente de salida. La razón de la corriente de retroalimentación a la corriente de salida es

$$\gamma_i = \frac{R'_{E1}}{R_F}$$

En la figura 11.7 se muestra un ejemplo de amplificador retroalimentado con un número impar de cambios de polaridad. Aumentar el número de etapas antes de la retroalimentación no supone problema alguno, ya que se puede representar al amplificador de varias etapas como un solo amplificador siempre que se lleve un control cuidadoso del número de inversiones de fase del amplificador. En el diseño de muchos sistemas, se encontrará retroalimentación de tensión o de corriente hacia la entrada para mejorar la señal amplificada bajo una amplia variedad de condiciones.

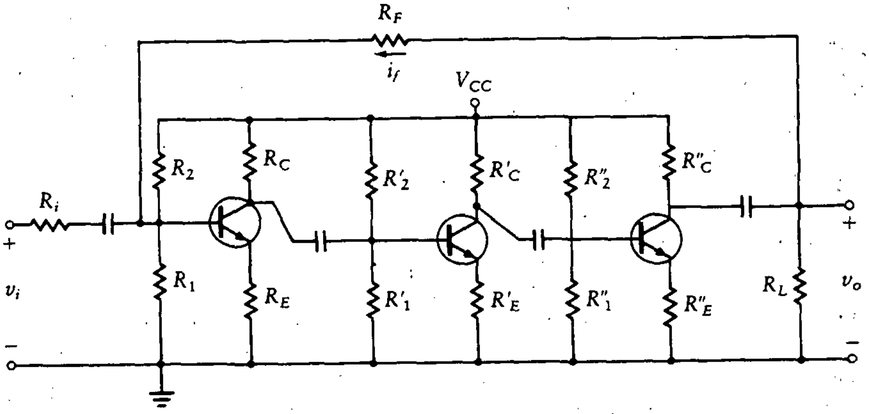


Figura 11.7
Amplificador multietapa retroalimentado.

Ejemplo 11.4

En la figura 11.8(a) se muestra un amplificador de tres etapas. Cada etapa tiene una ganancia, $-K$, y una red de entrada RC, como se ilustra en la figura. Grafíquese el diagrama de Bode cuando $RC = 10^{-5}$ s y determínese la ganancia, K, que producirá una *estabilidad marginal* (este es el punto en el que el desplazamiento de fase es $-180°$ y la ganancia, 0 dB).

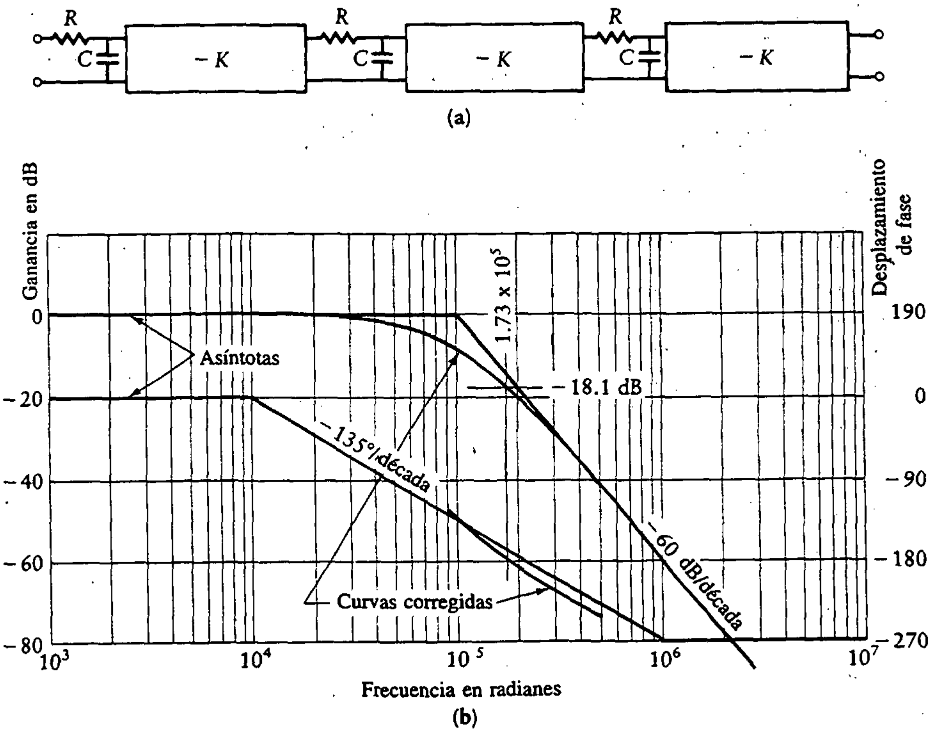


Figura 11.8
Amplificador de tres etapas.

SOLUCIÓN El diagrama de Bode se muestra en la figura 11.8(b). La frecuencia a la cual el desplazamiento de fase cruza $-180°$ es 1.73×10^5 rad/s, o 27.53 kHz. A esta frecuencia, la ganancia es -18.1 dB, lo cual indica que se puede elevar la ganancia combinada, K^3, por 18.1 dB o

$$K^3 = 8.04$$

por lo que

$$K = 2$$

11.5 RETROALIMENTACIÓN EN AMPLIFICADORES OPERACIONALES

En el capítulo anterior, se vio que la ganancia en cd de un amplificador operacional práctico es grande pero disminuye conforme aumenta la frecuencia. Esta dependencia de la frecuencia la incluye el fabricante en la construcción del amplificador operacional. Muchos de estos amplificadores permiten al ingeniero seleccionar redes externas de compensación. En la figura 11.9 se muestra la curva para la ganancia de lazo abierto de un amplificador operacional μA741 (véase el Ap. D para una hoja de datos completa de este amplificador operacional) como función de la frecuencia.

Se encuentra que, así como para amplificadores discretos, los amplificadores operacionales presentan menos sensibilidad cuando se emplea retroalimentación. Para calcular el error debido a variaciones de la ganancia, se supone que todas las características del amplificador operacional son ideales excepto por la variación de la ganancia con la frecuencia.

Para el análisis, se utiliza el circuito amplificador inversor de la figura 11.10(a) y se inicia encontrando el efecto de la tensión de salida sobre la entrada al amplificador operacional. Este efecto se caracteriza por la relación v_i/v_o. Se supone

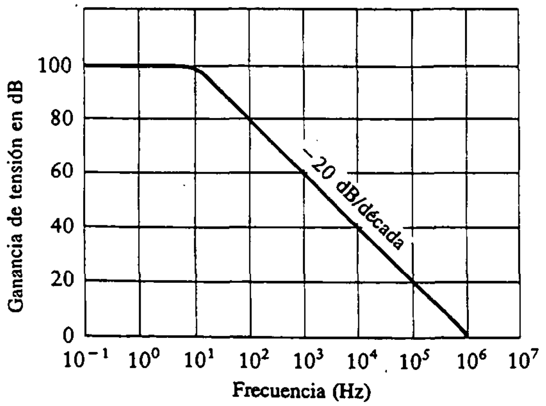
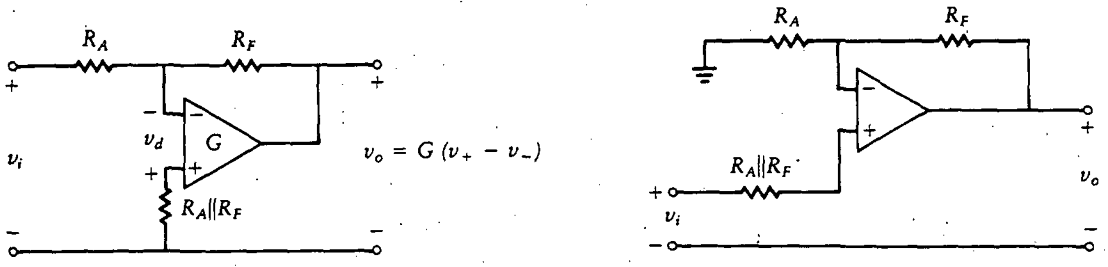


Figura 11.9
Respuesta de ganancia de lazo abierto de un amplificador operacional μA741.



(a) Amplificador inversor

(b) Amplificador no inversor

Figura 11.10 Amplificadores inversor y no inversor.

que $v_i = 0$, ya que sólo se busca la porción de v_i debida a v_o. Como siempre, γ se define como el factor de atenuación por retroalimentación. Se tiene entonces

$$\gamma = \frac{v_i}{v_o} = \frac{R_A}{R_A + R_F} = \frac{1}{1 + R_F/R_A} \tag{11.13}$$

La señal v_i se amplifica por $+G$ para producir una tensión de salida, v_o (nótese la polaridad de v_i).

Se escribe una ecuación de nodos en la terminal inversora del amplificador de la figura 11.10(a) como sigue:

$$\frac{v_o - v_-}{R_F} + \frac{v_i - v_-}{R_A} = 0$$

Y como $v_+ = 0$,

$$v_- = \frac{-v_o}{G}$$

entonces

$$v_o \left[1 + \frac{R_F}{G(R_F \parallel R_A)} \right] = -v_i \frac{R_F}{R_A}$$

y la ganancia de lazo cerrado es

$$A_v = \frac{v_o}{v_i} = \frac{-R_F}{R_A} \frac{1}{1 + (1 + R_F/R_A)/G} \tag{11.14}$$

Nuevamente se utiliza el factor de atenuación por retroalimentación de la ecuación (11.13) para obtener la expresión en el formato estándar de retroalimentación,

$$\frac{v_o}{v_i} = -\frac{R_F}{R_A} \frac{G_\gamma}{1 + G_\gamma} \tag{11.15}$$

Conforme la ganancia de lazo abierto, G, se aproxima a infinito, la ecuación (11.14) se convierte en

$$A_{v_\infty} = \frac{-R_F}{R_A}$$

Nótese que conforme la ganancia del amplificador operacional se aproxima a infinito, A_v se vuelve independiente del valor específico de G y sólo es función del valor de los resistores R_F y R_A.

Ahora se considerará el amplificador operacional no inversor que se muestra en la figura 11.10(b). Se supone que el amplificador operacional es ideal excepto que la ganancia, G, depende de la frecuencia, como en la figura 11.9. La ganancia de lazo cerrado se encuentra en forma similar a la recién determinada. Por tanto, se escriben las tensiones de nodo para las entradas inversora y no inversora como sigue:

$$v_- = v_o \frac{R_A}{R_A + R_F}$$

y

$$v_+ = v_i$$

La tensión de salida es

$$v_o = G(v_+ - v_-) = G\left[v_i - v_o \frac{R_A}{R_A + R_F}\right]$$

Se despeja v_o utilizando la ecuación (11.13) para γ como sigue:

$$v_o\left[1 + G\frac{1}{1 + R_F/R_A}\right] = Gv_i$$

y la ganancia de tensión de lazo cerrado es

$$A_v = \frac{v_o}{v_i} = \frac{G}{1 + \gamma G} = \left(1 + \frac{R_F}{R_A}\right)\frac{G\gamma}{1 + \gamma G} \qquad (11.16)$$

Para una G grande, la ecuación (11.16) se reduce a

$$A_{v_\infty} = \frac{1}{\gamma} = 1 + \frac{R_F}{R_A}$$

Las dos expresiones para la ganancia, ecuaciones (11.15) y (11.16), se pueden normalizar dividiendo por A_{v_∞}, la ganancia para una G infinita. El resultado es similar tanto para el amplificador inversor como para el no inversor, de la siguiente manera:

$$\frac{A_v}{A_{v_\infty}} = \frac{G\gamma}{1+G\gamma} \tag{11.17}$$

La expresión $G\gamma$ es la *ganancia de lazo*, que se obtiene al seguir el lazo a través del amplificador y de la travectoria de retroalimentación hasta regresar al punto inicial. Nótese que la ganancia de lazo para ambos amplificadores es idéntica.

La variación de la ganancia total del valor que se obtendría con una G infinita a veces se expresa como un error. El *error porcentual* se define como la diferencia entre la ganancia para G infinita y la expresión real para la ganancia expresada como un porcentaje de la ganancia para una G infinita. Por tanto,

$$\begin{aligned} \%\ \text{error} &= \frac{-R_F/R_A - [-R_F/R_A G\gamma/(1+G\gamma)]}{-R_F/R_A} \times 100 \\ &= \left[1 - \frac{G\gamma}{1+G\gamma}\right] \times 100 \end{aligned} \tag{11.18}$$

Se aplica la misma expresión tanto para el amplificador inversor como para el no inversor.

Como ejemplo, si la ganancia de lazo, $G\gamma$, es 100 (40 dB), el error es aproximadamente 1%. Conforme disminuye la ganancia, por ejemplo al aumentar la frecuencia, el error crece.

Ejercicio

D11.2 Encuéntrese la ganancia de tensión para el circuito con amplificador operacional de la figura D11.1.

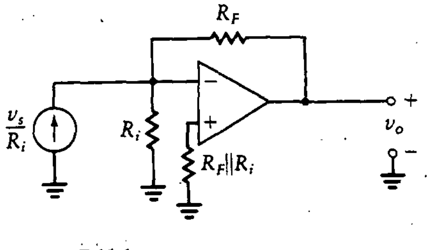


Figura D11.1

Reps:. $A_v = \frac{v_o}{v_i} = \frac{-R_F}{R_i}$

11.6 ESTABILIDAD DE AMPLIFICADORES RETROALIMENTADOS

La retroalimentación negativa tiene ventajas ya que la operación del amplificador se vuelve menos sensible a variaciones de los parámetros. La retroalimentación negativa requiere que una porción de la señal de salida se reste de la señal de

entrada. Se debe diseñar un sistema que proporcione dicha sustracción de manera perfecta cuando las frecuencias se salgan del intervalo medio, aunque las desviaciones de fase reduzcan la perfección de esta sustracción. En particular, a ciertas frecuencias se puede presentar un desplazamiento de fase de 180°. Esto cambiaría la resta en suma y la retroalimentación negativa en positiva. Con el fin de ilustrar este problema, supóngase que $A_{vo} = +100$ y $\gamma = 0.01$. El signo positivo de A_{vo} representa un desplazamiento de fase de 180°. Esto es,

$$A_{vo} = -100 \exp(j180°) = +100$$

Con este conjunto de suposiciones, se sustituye en la ecuación (11.5) y se obtiene

$$\begin{aligned} A_v &= \frac{A_{vo}}{1 - \gamma A_{vo}} \\ &= \frac{100}{1 - 0.01 \times 100} = \frac{100}{0} \to \infty \end{aligned} \tag{11.19}$$

El hecho de que la ganancia se haga infinita indica que el sistema es inestable. Esto significa que una entrada infinitesimal (el simple ruido aleatorio) provocaría una salida infinita. Claro que en un sistema práctico la salida nunca podrá ser infinita. En muchos casos, un circuito de este tipo oscilaría. Finalmente, la salida no depende del valor de entrada. Por tanto, es importante en el diseño de amplificadores que el circuito sea estable a todas las frecuencias de operación.

En primer lugar se consideró la estabilidad viendo el diagrama de Bode y verificando si la ganancia era mayor o igual que la unidad a la frecuencia en que el desplazamiento de fase es 180°. Un examen equivalente de estabilidad es fijarse en las raíces de toda la función de transferencia, $T(s)$, y observar su posición en el plano s. Si todas las raíces se encuentran del lado izquierdo del plano s, el sistema es estable.

Supóngase que cierto sistema retroalimentado tiene una función de transferencia que se puede acomodar de la siguiente forma:

$$T(s) = \frac{*}{1 + KG(s)} \tag{11.20}$$

El $*$ en la ecuación (11.20) indica cualquier expresión polinomial, y se investigan las raíces de $1 + KG(s)$.

Con el fin de colocar las relaciones para el amplificador operacional en la forma de la ecuación (11.20), se inicia repitiendo las ecuaciones desarrolladas en el capítulo 8 para los amplificadores inversor y no inversor.

La ganancia no inversora, A_+, es

$$A_+ = \frac{G(s)R_i(R'_1/R_1)}{R'_A \parallel R_F + R'_1 + [1 + (R'_A G(s))/(R'_A + R_F)]R_i}$$

Esta es una repetición de la ecuación (9.14). Los diferentes términos se definen como

$$A_+ = \frac{v_o}{v_+}$$

$$R'_A = R_A \parallel 2R_{cm}$$

$$R'_1 = R_1 \parallel 2R_{cm}$$

$$R_L \gg R_o$$

$$R_F \gg R_o$$

Esta expresión para A_+ se reduce a

$$A_+ = \frac{G(s)R_i}{R'_A R_F/(R'_A + R_F) + R_i + R'_1 + R'_A R_i G(s)/(R'_A + R_F)}$$
$$= \frac{G(s)R_i(R'_A + R_F)/[(R_i + R'_1)(R'_A + R_F) + R'_A R_F]}{1 + R'_A R_i G(s)/[(R_i + R'_1)(R'_A + R_F) + R'_A R_F]} \qquad (11.21)$$

Si ahora se supone que R_i es grande, el segundo término en el denominador se puede reemplazar por $R'_A/(R'_A + R_F)$. Una R_i grande representa una condición deseable, ya que la ganancia se reduce con una R_i menor. Con esta sustitución, el denominador de la ecuación (11.21) se convierte en

$$1 + \frac{R'_A G(s)}{R'_A + R_F}$$

Del mismo modo, se encuentra la ganancia inversora

$$A_- = \frac{-G(s)R'_a R_i R_F/R_A}{(R_i + R'_1)(R'_A + R_F) + R'_A R_F + R_I R'_A G(s)}$$
$$= \frac{G(s)(R'_A/R_A)R_i R_F/[(R_i + R'_1)(R'_A + R_F) + (R'_A R_F)]}{1 + R_i R'_A G(s)/[(R_i + R'_1)(R'_A + R_F) + R'_A R_F]} \qquad (11.22)$$

Otra vez se aproxima el segundo término en el denominador de la ecuación (11.22) por

$$\frac{R'_A G(s)}{R'_A + R_F}$$

Por tanto, se obtiene el mismo denominador que para la ecuación de la ganancia no inversora. Este resultado se podría predecir de inmediato ya que, en general, todas las funciones de transferencia en un sistema dado tienen el mismo polinomio denominador. Este se determina por el comportamiento del sistema libre de fuentes (es decir, la ecuación característica del sistema). Dado el sistema estable de lazo abierto con función de ganancia, $G(s)$, el sistema de lazo cerrado se especifica por

$$T(s) = \frac{*}{1 + R'_a G(s)/(R'_A + R_F)} \tag{11.23}$$

Otra vez, se utiliza * para denotar cualquier polinomio numerador. Este sistema es estable si el desplazamiento de fase de la función del denominador $G(s)H(s)$ cruza 180° en el punto donde

$$G(s)H(s) = \frac{R'_A G(s)}{R'_A + R_F}$$

es menor a la unidad (0 dB). La operación en estado estacionario del circuito se caracteriza a partir del plano s moviendo el punto de operación a lo largo del eje imaginario (vertical). Por tanto, si todas las raíces de $T(s)$ se encuentran en el semiplano izquierdo, el sistema es estable. En conclusión, las condiciones de 180° y del semiplano izquierdo son equivalentes.

Ejemplo 11.5

Investíguese la estabilidad de un amplificador operacional 101 típico sin compensar con tres polos dominantes. La respuesta en frecuencia es como se muestra en la figura 11.11.

SOLUCIÓN Se ve de la ecuación (11.23) que el sistema de lazo cerrado es estable sólo para ganancias no inversoras superiores a $1/K$, donde

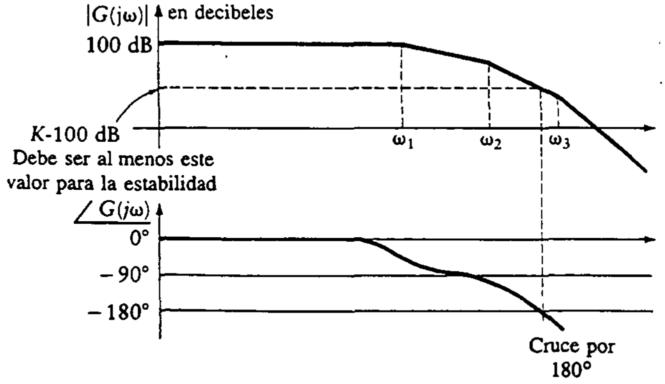


Figura 11.11 Respuesta en frecuencia de un amplificador operacional.

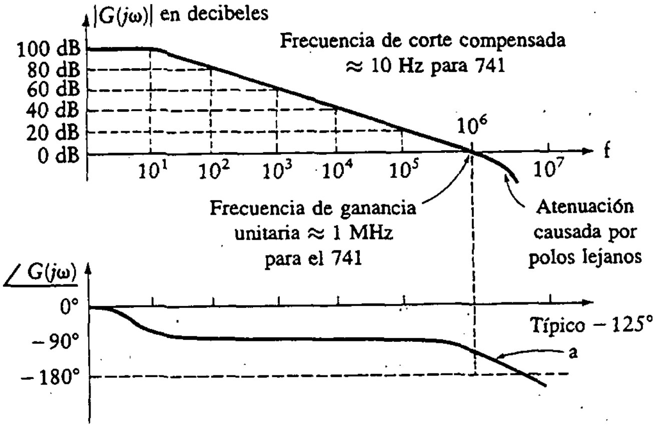


Figura 11.12 Compensación de la respuesta en frecuencia con polo simple.

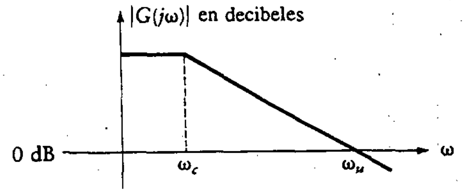


Figura 11.13 Respuesta en frecuencia de lazo cerrado.

$$K = \frac{R'_A}{R'_A + R_F}$$

Esto es, si la ganancia resulta igual a este valor y la fase es 180°, $T(s)$ se aproxima a infinito.

Un amplificador operacional compensado tiene un polo dominante proporcionado por la red de compensación. En la figura 11.12 se ilustra una respuesta de lazo abierto en frecuencia típica. En seguida se calcula la frecuencia de corte para el sistema de lazo cerrado. Esta frecuencia de corte es también el *ancho de banda* del sistema. Aunque se supone que $G(s)$ tiene tres polos dominantes, si dos de éstos se encuentran en una frecuencia mucho más alta que el tercero, se puede utilizar el modelo de polo simple para obtener resultados aproximados hasta las frecuencias a las cuales los otros polos comienzan a afectar a $G(s)$. Por tanto, se hace la aproximación a $G(s)$ con el modelo de polo simple como sigue:

$$G(s) = \frac{\sqrt{\omega_c^2 + \omega_u^2}}{s + \omega_c}$$

donde ω_c es la frecuencia de corte compensada y ω_u la frecuencia de ganancia unitaria, como se muestra en la figura 11.13. El numerador de esta expresión para $G(s)$ se elige de modo que en la frecuencia ω_u, la magnitud de la función es unitaria. Entonces la función de transferencia total está dada por

$$T(s) = \frac{\text{término numerador}}{1 + \dfrac{R'_A}{R'_A + R_F} G(s)} = \frac{(\text{término numerador})(s + \omega_c)}{s + \omega_c + \dfrac{R'_A \sqrt{\omega_c^2 + \omega_u^2}}{R'_A + R_F}}$$

De esta expresión se ve que la frecuencia de corte (o ancho de banda) para el sistema de lazo cerrado es

$$\begin{aligned} \mathrm{BW} &= \omega_c + \frac{R'_A}{R'_A + R_F}\sqrt{\omega_c^2 + \omega_u^2} \\ &= \omega_c \left[1 + \frac{R'_A}{R'_A + R_F}\sqrt{1 + \frac{\omega_u}{\omega_c}^2}\right] \end{aligned}$$

Si se supone que $w_c \ll w_u$, como es lo normal, ésta se reduce a

$$\mathrm{BW} \approx \frac{R'_A\omega_u}{R'_A + R_F} \tag{11.24}$$

11.6.1 Producto ganancia por ancho de banda

La ecuación (11.21), la ganancia no inversora para el sistema de lazo cerrado, se reduce a la siguiente expresión para valores de ganancia y R_i grandes.

$$A_+ = 1 + \frac{R_F}{R'_A}$$

Si esto se multiplica por el ancho de banda encontrado en la ecuación (11.24), se obtiene el *producto ganancia por ancho de banda* (GBP):

$$A_+\,\mathrm{BW} = \frac{R'_A + R_F}{R'_A}\,\frac{R'_A}{R'_A + R_F}\omega_u = \mathrm{GBP} = \omega_u$$

Así, el producto ganancia por ancho de banda es igual a la frecuencia de ganancia unitaria. Por tanto, para un amplificador de polo simple, este producto ganancia por ancho de banda es constante.

11.7 RESPUESTA EN FRECUENCIA. AMPLIFICADOR RETROALIMENTADO

La estabilidad de un sistema de retroalimentación negativa depende de que el desvío de fase del lazo sea menor que 180° cuando la ganancia es 0 dB (amplitud unitaria). Si el sistema tiene 180° de desvío de fase cuando la ganancia es 0 dB, el sistema es inestable y puede oscilar. Esto es, existe una salida cuando no se aplica señal de entrada.

11.7.1 Amplificador de polo simple

Se retorna el sistema retroalimentado básico de la figura 11.1 y se supone que $G(s)$ es un polinomio con un polo y que $H(s)$ es constante. Esto es,

$$G(s) = \frac{-G_o}{1 + s/\omega_c}$$

y

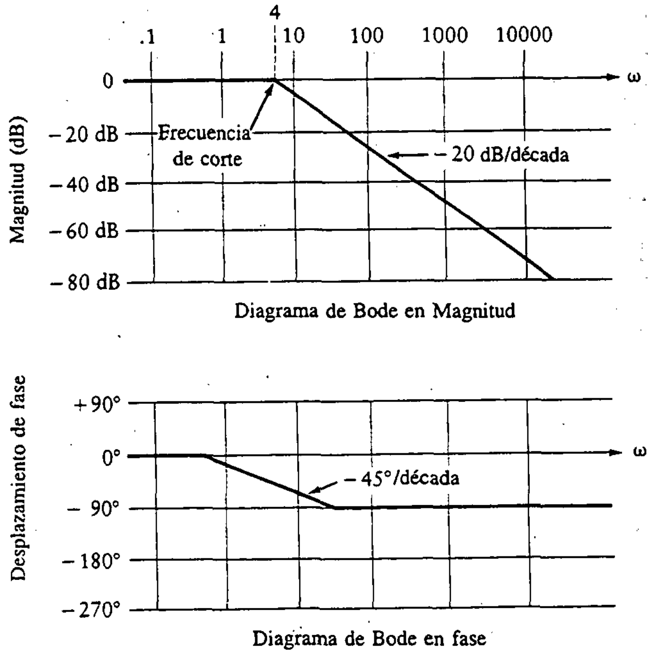
$$H(s) = -\gamma$$

Como se tiene interés en la estabilidad del amplificador, se desea examinar la fase de la expresión para la ganancia de lazo a fin de constatar que se cumple la condición de estabilidad. En la figura 11.14 se ilustra el diagrama de Bode de la amplitud y la fase normalizadas. Para propósitos de ilustración, se determina que la frecuencia de corte sea $\omega_c = 4$. Como el máximo desplazamiento de fase para cualquier frecuencia es $-90°$, este amplificador jamás es inestable. Una condición necesaria para la inestabilidad es que el desplazamiento de fase alcance 180°.

El *amplificador de polo* simple tiene una ganancia de lazo cerrado, $T(s)$, dada por

$$\begin{aligned} T(s) &= \frac{G(s)}{1 + G(s)H(s)} \\ &= \frac{-G_o}{1 + s/\omega_c + G_o\gamma} \\ &= \frac{-G_o}{1 + G_o\gamma} \frac{1}{1 + \dfrac{s}{(1 + G_o\gamma)\omega_c}} \end{aligned} \tag{11.25}$$

Figura 11.14
Respuesta para un amplificador de polo simple.



El punto de 3 dB para la característica de la ganancia de lazo cerrado se encuentra a una frecuencia de

$$\omega = (1 + \gamma G_o)\omega_c$$

Como $\gamma G_o \gg 1$, la frecuencia de 3 dB es aproximadamente $\gamma G_o \omega_c$.

11.7.2 Amplificador de dos polos

Supóngase ahora que $G(s)$ tiene dos polos en el mismo lugar. Así,

$$G(s) = \frac{-G_o}{(1 + s/\omega_c)^2} \tag{11.26}$$

Se supone otra vez que $H(s)$ es constante,

$$H(s) = -\gamma$$

La función de ganancia de lazo cerrado, $T(s)$, está dada por

$$\begin{aligned} T(s) &= \frac{-G_o/[(1 + s/\omega_c)^2]}{1 + G_o\gamma/[(1 + s/\omega_c)^2]} \\ &= \frac{-G_o}{1 + \gamma G_o} \frac{1}{s^2/[\omega_c^2(1 + \gamma G_o)] + 2s/[\omega_c(1 + \gamma G_o)] + 1} \end{aligned} \tag{11.27}$$

Esta se puede escribir en forma más útil utilizando las siguientes dos definiciones:

$$\omega_n = \omega_c\sqrt{1 + \gamma G_o} \tag{11.28}$$

y

$$\xi = \frac{1}{\sqrt{1 + \gamma G_o}} \tag{11.29}$$

Se define ω_n como la frecuencia natural subamortiguada en radianes, mientras que ξ es la razón de amortiguamiento. Cuando estos términos nuevos se utilizan en la ecuación (11.27), la función de ganancia se puede escribir como

$$T(s) = \frac{-G_o}{1 + \gamma G_o} \frac{1}{s^2/\omega_n^2 + 2\xi s/\omega_n + 1} \tag{11.30}$$

Si se está interesado en la estabilidad de este amplificador, es necesario examinar en primer lugar la ubicación de las raíces en la expresión para $T(s)$. Para $\gamma = 0$, las raíces se encuentran en el eje real negativo. Cuando se sustituye $\gamma = 0$ en las

ecuaciones (11.28) y (11.29), el polinomio denominador de la ecuación (11.30) se convierte en

$$\left(\frac{s}{\omega_c}+1\right)^2$$

por lo que existen dos raíces iguales en $s = -\omega_c$. Para cualquier ganancia distinta de cero, γ, las raíces son conjugadas complejas de valor

$$s_{1,2} = -\omega_n(\xi \pm \sqrt{\xi^2+1}) \tag{11.31}$$

Se puede dibujar el diagrama de Bode para la expresión de la ganancia con el fin de evaluar la estabilidad del sistema. Como ésta representa un ejemplo de función denominador cuadrática, las gráficas recuerdan las de la figura 10.8. Obsérvese que el diagrama del desplazamiento de fase de la figura 10.8 nunca alcanza la línea de $-180°$. Cada una de estas curvas es asintótica a $-180°$, pero en realidad nunca cruza esta línea. Como no existe una frecuencia para la cual el desplazamiento de fase sea $-180°$, este amplificador es estable.

Ejemplo 11.6

Determínese la estabilidad para el circuito con amplificador operacional mostrado en la figura 11.15 dibujando el diagrama de Bode para la función $G(s)H(s)$. El amplificador operacional 741 tiene una función de ganancia dada por

$$G(s) = \frac{G_o}{1+s/\omega_c}$$

donde $G_o = 10^5$ y $\omega_c = 20\pi$.

SOLUCIÓN La ecuación de nodos en V_- da

$$\frac{V_-}{R} + \frac{V_- - V_o}{1/sC} = 0$$

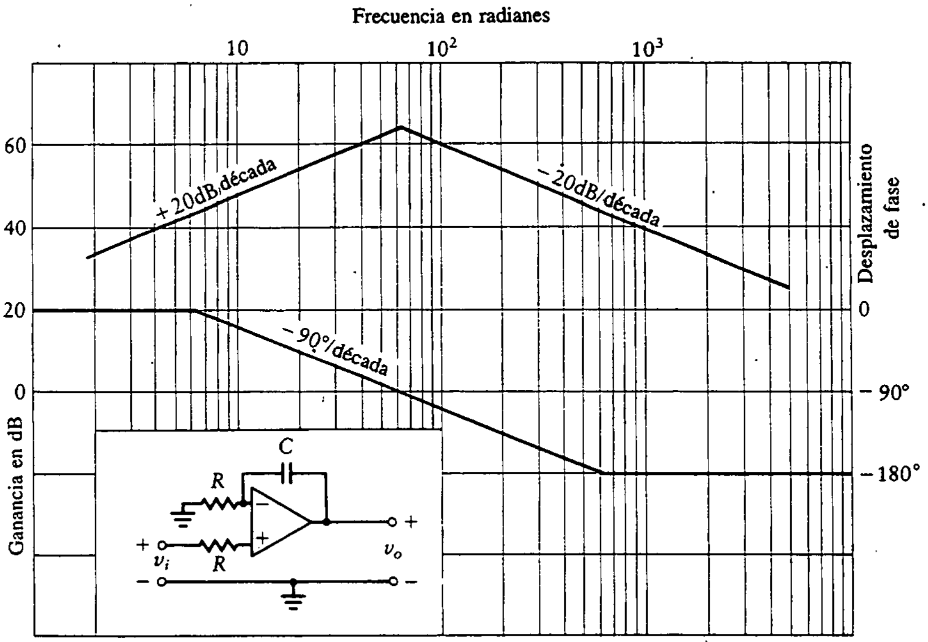
luego

$$V_- = \frac{RsCV_0}{1+RsC}$$

En V_+, se obtiene

$$V_+ = V_i$$

Figura 11.15
Amplificador para el ejemplo 11.6.



Pero ya que

$$V_o = G(V_+ - V_-) = G\left[V_i - \frac{RsCV_o}{1 + RsC}\right]$$

se despeja la ganancia,

$$\frac{V_o}{V_i} = \frac{G}{1 + GRsC/(1 + RsC)} = \frac{G_o/(1 + s/\omega_c)}{1 + G_oRsC/[(1 + s/\omega_c)(1 + sRC)]}$$

Que está en la forma de

$$\frac{G(s)}{1 + G(s)H(s)}$$

por lo que se puede graficar la función $G(s)H(s)$ a partir de lo siguiente:

$$G(s)H(s) = \frac{G_o sRC}{(1 + s/\omega_c)(1 + sRC)}$$

donde $G_o = 10^5$, $RC = 0.016$ s y $\omega_c = 62.83$. Por tanto, se obtiene

$$G(s)H(s) = \frac{1.6 \times 10^3\ s}{(1 + s/62.83)^2}$$

donde $1/RC \approx \omega_c$. Por tanto, se tienen dos polos idénticos. Esto se grafica en el diagrama de Bode de la figura 11.15. Sólo se muestran las rectas asíntotas. Se ve que el desplazamiento de fase nunca alcanza $-180°$, por lo que el sistema siempre es estable; esta es la razón por la cual la aproximación por rectas es suficiente. Lo anterior no es cierto para el siguiente ejemplo.

Ejemplo 11.7

Determínese la estabilidad para el sistema con amplificador operacional de la figura 11.16 utilizando diagramas de Bode. Nótese que la función de ganancia del amplificador operacional está dada por

$$G(s) = \frac{G_o}{(1 + s/20\pi)^2}$$

SOLUCIÓN Se vuelve a escribir la ecuación de nodos en V_- y V_+ como sigue:

$$V_- = V_o \frac{1/sC}{1/sC + R}$$

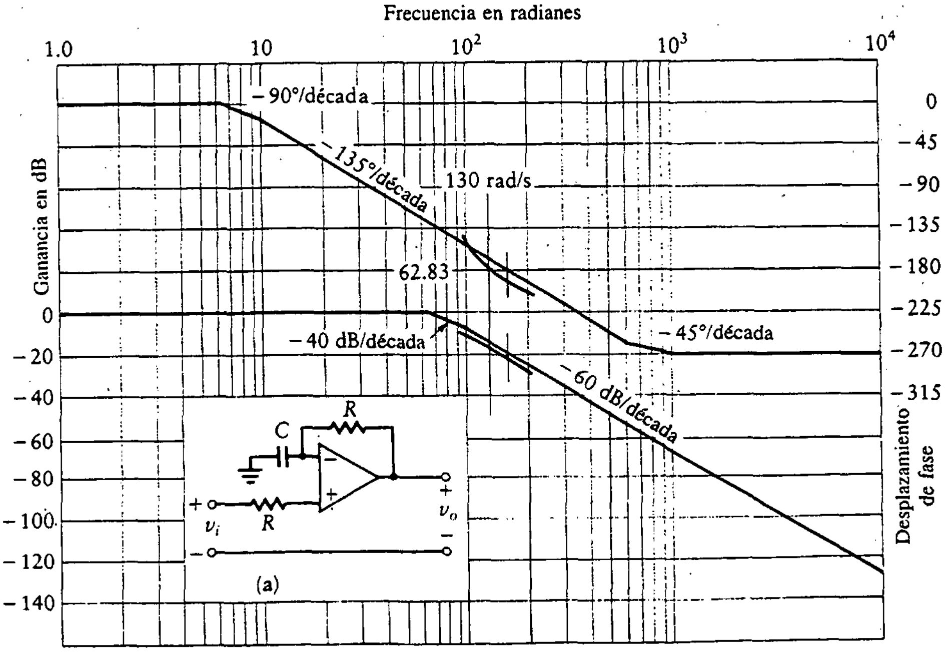


Figura 11.16
Amplificador para el ejemplo 11.7.

y

$$V_+ = V_i$$

La tensión de salida es

$$V_o = G(V_+ - V_-)$$

por lo que, combinando términos, se obtiene

$$V_o = G\left(V_i - \frac{V_o}{1 + sRC}\right)$$

La ganancia de lazo cerrado es

$$\frac{V_o}{V_i} = \frac{G(s)}{1 + G(s)/(1 + sRC)} = \frac{G(s)}{1 + G(s)H(s)}$$

y la función $G(s)H(s)$ está dada por

$$G(s)H(s) = \frac{G_o}{(1 + sRC)(1 + s/20\pi)^2}$$

con $C = 0.1\ \mu\text{F}$, $R = 100\ \text{k}\Omega$ y $RC = 10^{-2}$. Hágase $G_o = 1$ y grafíquese la función resultante:

$$G(s)H(s) = \frac{1}{(1 + s/10^2)(1 + s/62.8)^2}$$

Este resultado se muestra graficado en la figura 11.16. Primero se graficaron las asíntotas rectas, y se corrigieron las curvas cerca de la frecuencia donde el desplazamiento de fase es $-180°$. A partir de esta gráfica corregida, se puede ver que la curva de desplazamiento de fase intersepta la línea de $-180°$ a una frecuencia de 130 rad/s, y la ganancia en esta frecuencia es -18.7 dB (o 8.61). Por tanto, 18.7 dB es la ganancia de estabilidad marginal.

11.8 DISEÑO DE UN AMPLIFICADOR DE TRES POLOS CON IGUALADOR DE ADELANTO

Considérese un amplificador con tres polos situados en el mismo punto, es decir,

$$G(s) = \frac{-G_o}{(1 + s/\omega_c)^3}$$

Nuevamente, sea $H(s)$ una constante,

$$H(s) = -\gamma$$

la función de lazo es

$$G(s)H(s) = \frac{\gamma G_o}{(1 + s/\omega_c)^3}$$

En la figura 11.17 se ilustra el diagrama de Bode para la función de transferencia de lazo, $G(s)H(s)$, en la que se normaliza γG_o a uno. Para propósitos de ilustración, se selecciona una frecuencia de corte de $\omega_c = 10$ rad/s.

La estabilidad del sistema amplificador se determina con la función de transferencia de lazo en vez de la ganancia de lazo cerrado. Se verifica la inestabilidad viendo si la función $G(s)H(s)$ tiene una amplitud unitaria cuando su desplazamiento de fase es de $-180°$. Se observa que el desplazamiento de fase alcanza $-180°$ a una frecuencia de 18 rad/s. La amplitud en este punto es -18 dB, pero recuérdese que se ha normalizado la función dividiéndola por γG_o. Por tanto, si la ganancia de lazo, γG_o, llega a +18 dB, la ganancia total alcanza 0 dB y el sistema se vuelve inestable. Esta ganancia, +18 dB, es relativamente baja, por lo que quizás este amplificador particular sea inestable en una aplicación práctica.

Lo anterior plantea dos opciones. Se debe abandonar este amplificador, ya que es inherentemente inestable, o debe modificarse de tal forma que no se presente la inestabilidad. Afortunadamente, no es difícil alterar el amplificador para reducir las posibilidades de inestabilidad. Las *redes de compensación* (o *igualadores*) se utilizan para alterar las características de ganancia-fase para prevenir las inestabilidades. Una forma de ver estas redes es que cambian la característica de fase de

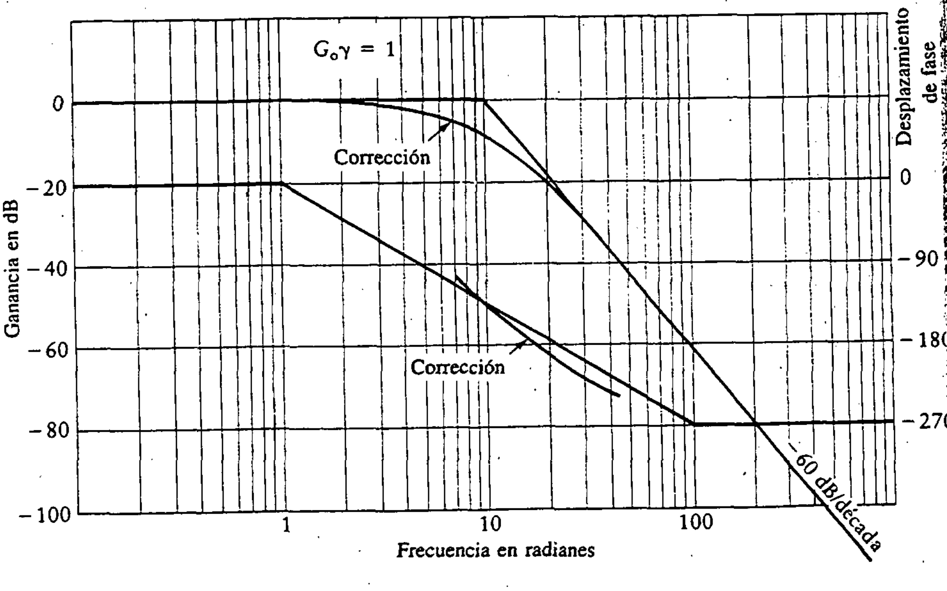
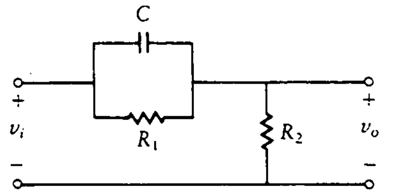
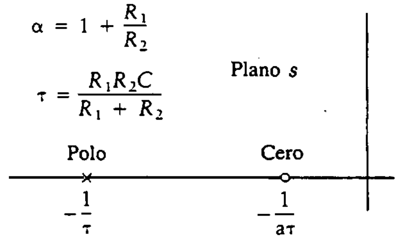


Figura 11.17
Diagrama de Bode para el amplificador de tres polos.

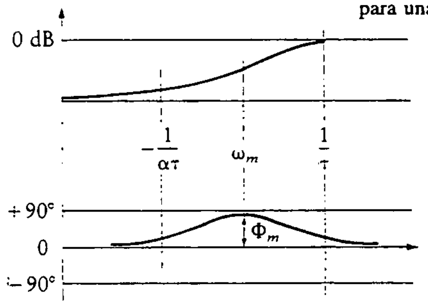
Figura 11.18
Circuito pasivo para una red de adelanto.



(a) Circuito pasivo para una red de adelanto



(b) Configuración de ceros y polos para una red de adelanto



(c) Diagrama de Bode para una red de adelanto

manera que el desplazamiento ya no es de 180° a las frecuencias en las que la ganancia excede 0 dB.

En el siguiente análisis, se considera una *red de adelanto*. La palabra *adelanto* se refiere a la relación entre las fases de entrada y de salida. El circuito para una red de adelanto pasivo, que a veces se conoce como *circuito diferenciador pasivo*, se muestra en la figura 11.18.

La tensión de salida se puede despejar como sigue:

$$V_o = \frac{R_2}{R_2 + (R_1 \parallel 1/sC)} V_i$$

Dividiendo la salida por la entrada, se obtiene la función de transferencia de este circuito:

$$\begin{aligned} G(s) = \frac{V_O}{V_i} &= \frac{R_2}{R_2 + R_1/(sCR_1 + 1)} \\ &= \frac{R_2(1 + R_1 sC)}{(R_1 + R_2)[1 + sCR_1R_2/(R_1 + R_2)]} \\ &= \frac{R_2}{R_1 + R_2} \frac{1 + sR_1C}{1 + s(R_1 \parallel R_2)C} \end{aligned} \tag{11.32}$$

El desplazamiento de fase de esta expresión se encuentra haciendo $s = j\omega$ y restando el desplazamiento de fase del denominador de aquel correspondiente al

numerador. Nótese que el desplazamiento de fase del numerador es mayor que el del denominador, ya que

$$R_1C \geq (R_1 \parallel R_2)C$$

Por tanto, el desplazamiento de fase total de esta expresión es positivo, y el desplazamiento de fase en la salida adelanta la fase de entrada.

La ecuación (11.32) se escribe en forma diferente definiendo

$$\alpha = 1 + \frac{R_1}{R_2} \tag{11.33}$$

y

$$\tau = \frac{R_1 R_2 C}{R_1 + R_2} \tag{11.34}$$

Con estas dos definiciones, la función de transferencia se convierte en

$$G(s) = \frac{V_o}{V_i} = \frac{s + 1/\alpha\tau}{s + 1/\tau} = \frac{\alpha\tau s + 1}{\alpha(\tau s + 1)} \tag{11.35}$$

En la figura 11.18(b) se muestra la representación de esta función en el plano s. Existe un polo en $s = 1/\tau$ y un cero en $s = -1/\alpha\tau$. El diagrama de Bode para esta red se muestra en la figura 11.18(c). Nótese que el máximo adelanto de fase es función de α, y se aproxima a 90° conforme α tiende a infinito.

El desplazamiento de fase pico, ϕ_m, y la frecuencia a la cual ocurre, ω_m, se pueden relacionar con los parámetros α y τ igualando a cero la derivada de la expresión para la fase. Se obtiene así

$$\omega_m = \frac{1}{\sqrt{\alpha\tau}}$$

$$\phi_m = \operatorname{sen}^{-1}\left(\frac{\alpha - 1}{\alpha + 1}\right)$$

Ejemplo 11.8

Selecciónese una red de adelanto con

$$\tau = \frac{1}{40}$$

$$\alpha = 4$$

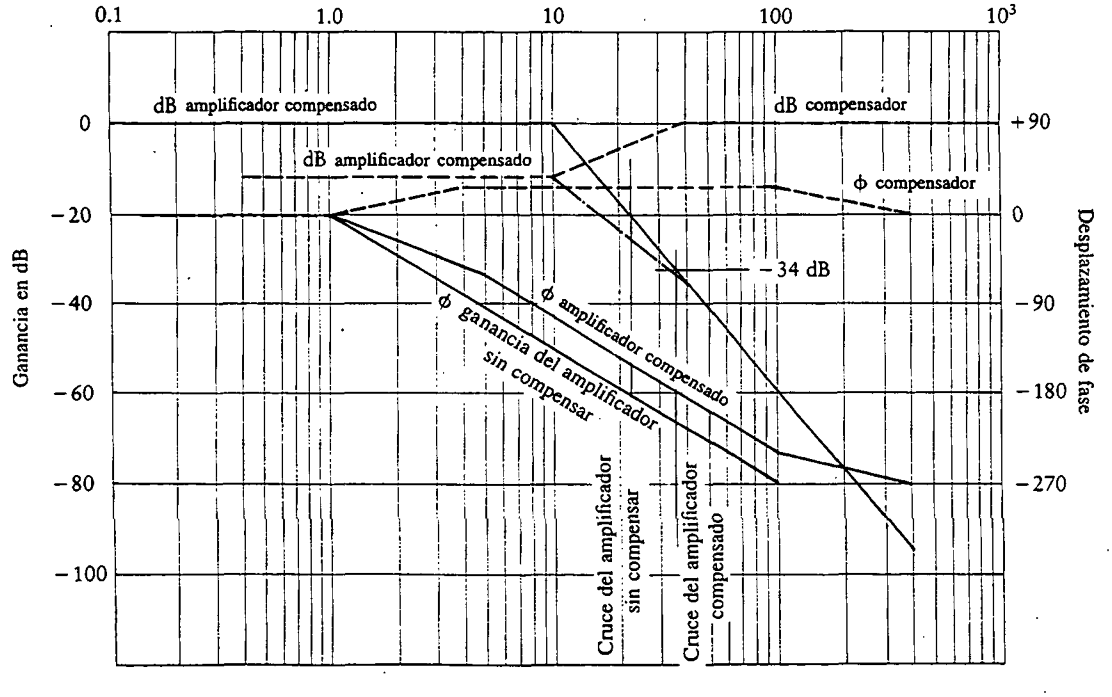
para compensar en forma adecuada un circuito con amplificador operacional de tres polos.

SOLUCIÓN La función de transferencia de la red de adelanto es

$$G(s) = \frac{0.1s + 1}{4(s/40 + 1)}$$

En la figura 11.19 se ilustran las curvas de ganancia y de fase para la función que resulta cuando se multiplica por la función de transferencia del sistema con tres polos. En la figura 11.19 se muestra una repetición de las curvas de amplitud y de fase con tres polos de la figura 11.17. Cuando la red de compensación se coloca en cascada con este sistema, se suman los diagramas de Bode (tanto de la ganancia en decibeles como de la fase) del amplificador sin compensar y la red de compensación. Nótese por tanto que la curva de amplitud tiene una pendiente que aumenta 20 dB/década en una frecuencia de entre 10 y 40 y luego disminuye otros 20 dB/década para regresar a una pendiente de −60 dB/década. Estos dos cambios se deben al cero y al polo de la función de la red de compensación a las frecuencias de 10 y 40, respectivamente. La curva de fase se altera en forma similar a las frecuencias de corte de $\frac{1}{10}$ y de 10 veces las frecuencias de corte (10 y 40). Se verá ahora el punto en el cual la curva de fase compensada cruza un desplazamiento de fase de −180°. A esta frecuencia (aproximadamente 35 rad/s), la ganancia compensada es −34 dB. Por tanto, el sistema puede tener cualquier ganancia por debajo de 34 dB y aún ser estable. Esta es la ganancia total,

Figura 11.19 Diagramas de Bode para el ejemplo 11.8.



incluyendo la red de compensación. Como esta red tiene una ganancia (atenuación) de $\frac{1}{4}(-6\text{ dB})$, la ganancia del amplificador operacional puede ser tan alta como

$$G_o = 34\text{ dB} + 6\text{ dB} = 40\text{ dB}$$

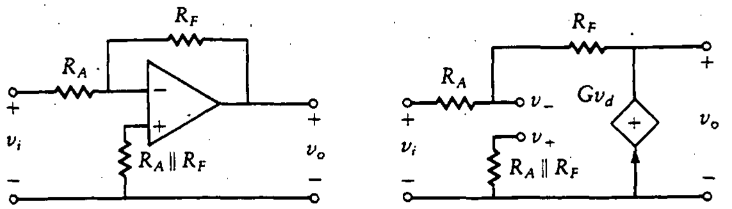
Sin compensación, la ganancia permisible es de alrededor de 20 dB. Por tanto, se consigue un aumento de casi 20 dB. El sistema se puede mejorar aún más si se varía la localización del cero y el polo.

Ejemplo 11.9

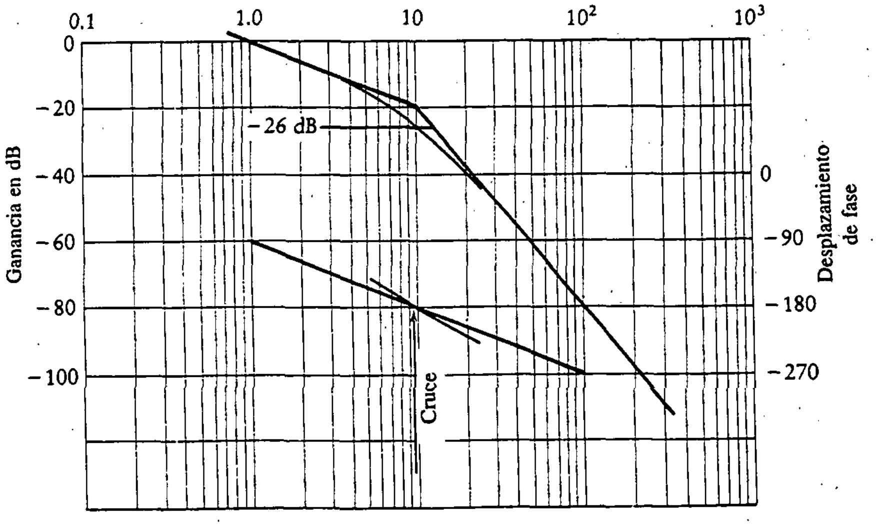
Considérese el sistema con amplificador operacional de ganancia negativa de la figura 11.20(a). Investíguese la estabilidad de este amplificador de tres polos.

SOLUCIÓN El circuito equivalente del amplificador se muestra en la figura 20(b). La ganancia de lazo cerrado, V_o/V_i, se encuentra de la manera habitual, con la ecuación (11.15), que por conveniencia se repite aquí.

Figura 11.20
Amplificador para el ejemplo 11.9



(a) Circuito (b) Circuito equivalente



(c)

$$\frac{V_o}{V_i} = \frac{-G\gamma R_F/R_A}{1+G\gamma}$$

donde

$$\gamma = \frac{1}{1+R_F/R_A}$$

El amplificador tiene la siguiente función de transferencia de tercer orden:

$$G = \frac{G_o}{s(1+s/\omega_c)^2}$$

donde

$$\omega_c = 10$$

Este sistema se resuelve con el diagrama de Bode mostrado en la figura 11.20(c). Nótese que se realiza el diagrama de Bode para la ganancia de lazo, $G\gamma$, donde se hace que $\gamma G_o = 1$. El desplazamiento de fase alcanza $-180°$ a una frecuencia de 10 rad/s, mientras que la ganancia asociada es -26 dB. Por tanto, el diseño permite una ganancia de 26 dB antes de ser inestable. Los -6 dB se deben a la corrección de la recta asíntota.

11.9 IGUALADOR POR RETARDO DE FASE

En la figura 11.21(a) se ilustra una *red pasiva de retardo de fase*, también llamada *integrador,* con la configuración cero-polo mostrada en la figura 11.21(b). Se obtienen las relaciones entrada-salida,

$$V_o = \frac{R_2 + 1/sC}{R_1 + R_2 + 1/sC} V_i$$

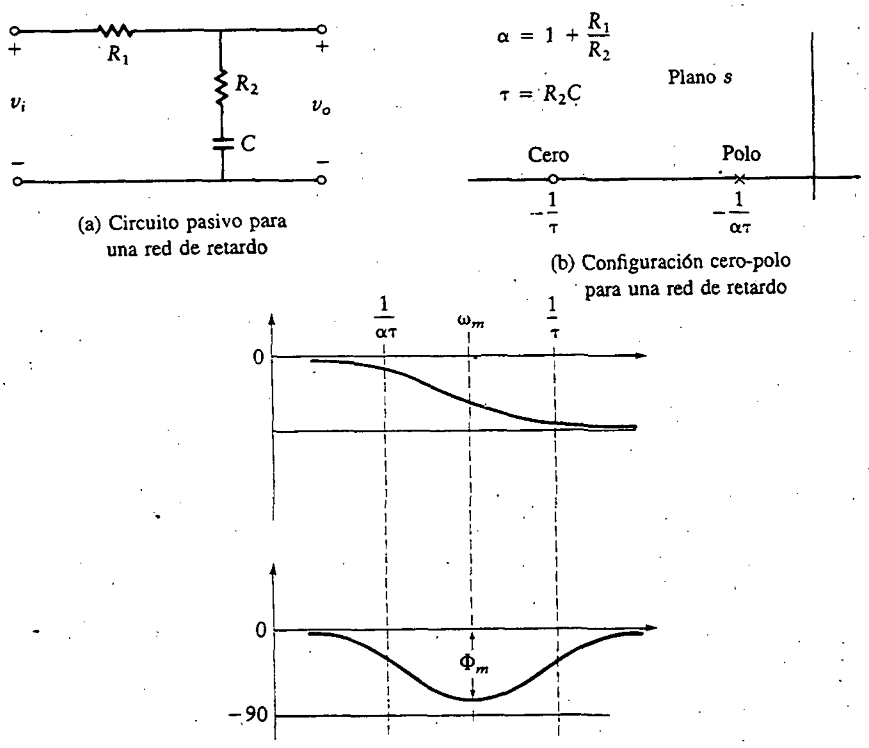
$$\frac{V_o}{V_i} = \frac{CR_2 s + 1}{C(R_1+R_2)s+1} \tag{11.36}$$

Como

$$C(R_1+R_2) > CR_2$$

el desplazamiento de fase de la salida atrasa el desplazamiento de fase de la entrada. Esto es, el desplazamiento de fase del denominador en la ecuación (11.36) es mayor que el desplazamiento de fase del numerador, por lo que el desplazamiento total de fase es negativo.

Figura 11.21
Circuito pasivo para una red de retardo.



(a) Circuito pasivo para una red de retardo

(b) Configuración cero-polo para una red de retardo

(c) Diagrama de Bode para una red de retardo de fase

La función de transferencia se simplifica otra vez definiendo dos constantes

$$\alpha = 1 + \frac{R_1}{R_2}$$
$$\tau = R_2C$$

Entonces la función de transferencia se convierte en

$$\frac{V_o}{V_i} = G(s) = \frac{1}{\alpha}\left[\frac{s + 1/\tau}{s + 1/\alpha\tau}\right] \tag{11.37}$$

El diagrama de Bode para esta expresión se muestra en la figura 11.21(c). Nótese que el máximo retardo de fase aumenta conforme aumenta α, y se aproxima a 90° a medida que α se acerca a infinito. La frecuencia, ω_c, a la cual se produce el máximo disminuye al aumentar α.

Las redes de retardo tienen algunas desventajas con respecto a otras formas de compensación. Si la constante de tiempo de la red de retardo es muy grande, se presenta una raíz grande en función del sistema, lo cual conduce a transitorios indeseables. El efecto de esta raíz se puede minimizar manteniendo el cero cercano al polo.

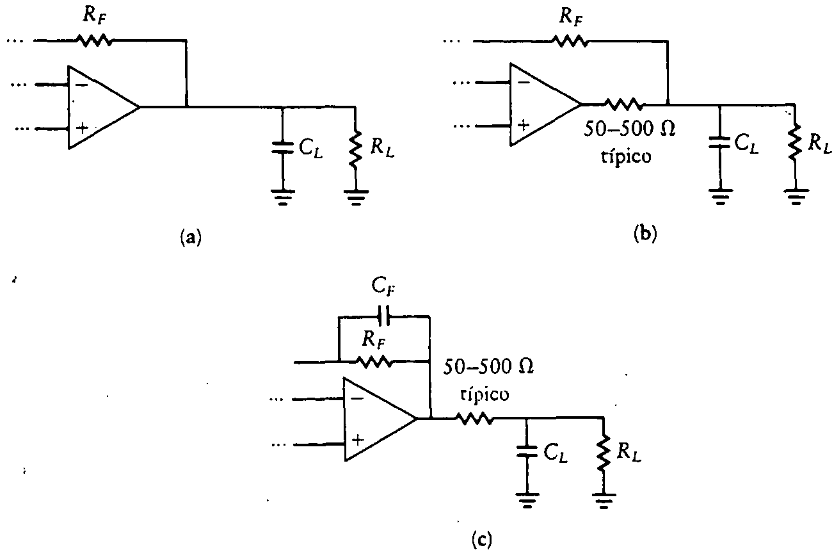


Figura 11.22
Carga capacitiva.

11.10 EFECTOS DE CARGAS CAPACITIVAS

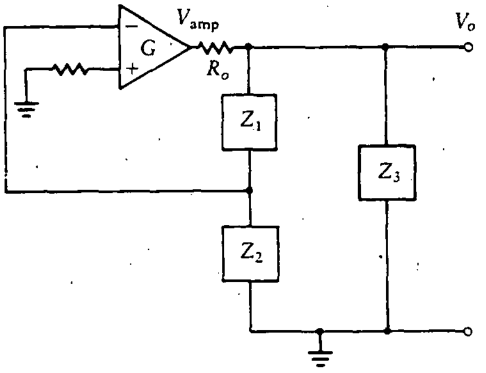
La función de transferencia del amplificador operacional incluye la capacitancia de salida y los efectos de la capacitancia del chip. Una carga capacitiva disminuye la frecuencia de corte (es decir, una constante de tiempo mayor conduce a una frecuencia menor) y es algo problemática para valores de capacitores (C_L) de más de 100 pF en una configuración circuital típica (Fig. 11.22(a)). El efecto se puede reducir añadiendo una resistencia en serie, como se muestra en la figura 11.22(b). Esto añade atenuación y modifica la característica ganancia-fase.

La impedancia de entrada con frecuencia se modela como un capacitor, C_i, en paralelo con un resistor, R_i. Esta red R_iC_i explica otro de los polos de $G(s)$ y conduce a desplazamientos de fase en altas frecuencias. Las capacitancias externas adicionales a través de la entrada son algo problemáticas cuando R_F es grande, porque la frecuencia de corte disminuye. La compensación adicional con un capacitor, C_F, en paralelo con R_F se puede utilizar como remedio (Fig. 11.22(c)). Esto se conoce como *compensación por efecto Miller,* y coloca un cero congruente con el polo para efectos de cancelación. Los valores típicos de C_F se hallan entre 3 y 10 pF.

11.11 OSCILADORES

Las fuentes de excitación senoidal son piezas fundamentales de muchos sistemas. Se utilizan de manera extensa en sistemas de comunicación, así como en casi toda aplicación de la electrónica. Un sistema retroalimentado oscilará si la función de

Figura 11.23
Circuito oscilador.



transferencia de lazo alcanza la unidad (0 dB) cuando el desplazamiento de fase es de $-180°$. Dicho sistema produce una salida sin entradas. En cierto sentido, "se muerde la cola": la señal circula constantemente y se regenera a sí misma.

Existen dos técnicas equivalentes para determinar si un circuito retroalimentado oscilará. Una es ver la ganancia de lazo de un sistema con retroalimentación negativa. Si se presenta el desplazamiento de fase de $-180°$ cuando la ganancia de lazo es 0 dB, el circuito es inestable y oscilará. La segunda técnica es observar que los polos de la función de transferencia total se encuentren en el eje imaginario.

El concepto de inestabilidad y retroalimentación positiva es común a todos los osciladores, aun cuando existen algunas variaciones del diseño básico. Entre los osciladores comunes se incluyen los osciladores con *puente de Wien*, de *desplazamiento de fase*, *Colpitts* y *Hartley*. Se examinan algunos de ellos en la presente sección.

El modelo de retroalimentación de la figura 11.1 es un buen punto de inicio para el análisis de osciladores. Al contrario de la retroalimentación negativa mostrada, aquí la retroalimentación es positiva. Esto se produce si el desplazamiento de fase de la red de retroalimentación es de 180°. La señal de entrada se puede quitar sin cambiar la salida, ya que ésta se retroalimenta en fase con la entrada. Si el circuito debe mantener la oscilación, la ganancia de lazo debe ser unitaria a $-180°$ de desplazamiento de fase.

Se comienza analizando el circuito mostrado en la figura 11.23. Muchos de los osciladores estándar se pueden modelar de esta forma. Si Z_1 y Z_2 son capacitores y Z_3 es un inductor, el circuito se conoce como *oscilador Colpitts*. Por otra parte, si Z_1 y Z_2 son inductores y Z_3 es un capacitor, el circuito es un *oscilador Hartley*.

El circuito de la figura 11.23 se dibuja de otra forma, como se aprecia en la figura 11.24. Esta nueva configuración muestra claramente la presencia de la retroalimentación. R_o es la resistencia de salida del amplificador operacional y Z_L es la carga total vista por dicho amplificador. La retroalimentación es como sigue:

$$H = \frac{Z_2}{Z_1 + Z_2} \tag{11.38}$$

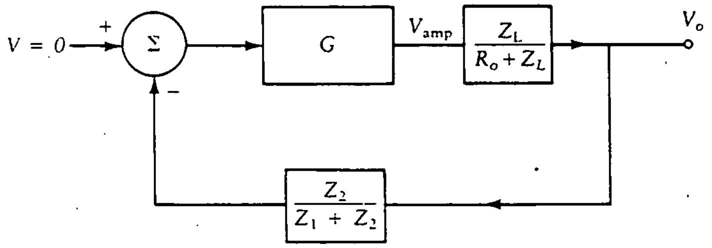


Figura 11.24
Modelo de retroalimentación para un circuito oscilador.

Entonces la salida está dada por

$$V_o = \frac{Z_L V_{amp}}{R_o + Z_L} \tag{11.39}$$

donde V_{amp} es la tensión de salida del amplificador operacional.

Para el oscilador Colpitts, por ejemplo,

$$Z_1 = \frac{1}{sC_1}$$

$$Z_2 = \frac{1}{sC_2}$$

$$Z_3 = sL$$

$$Z_L = sL \| \left[\frac{1}{sC_1} \| \frac{1}{sC_2} \right]$$

Si se define una capacitancia equivalente como

$$C_{eq} = C_1 + C_2$$

Se tiene

$$Z_L = \frac{sL}{LC_{eq}s^2 + 1} \tag{11.40}$$

Si la ecuación (11.40) se sustituye en la ecuación (11.39), se tiene la tensión de salida,

$$\begin{aligned} V_o &= \frac{sL/(LC_{eq}s^2 + 1)}{sL/(LC_{eq}s^2 + 1) + R_o} V_{amp} \\ &= \frac{Ls/R_o}{LC_{eq}s^2 + Ls/R_o + 1} V_{amp} \end{aligned} \tag{11.41}$$

La ecuación (11.41) indica que existe un amortiguamiento en el circuito debido a la parte real negativa de los polos en la expresión. Si L/R_o se hace muy pequeña, la ecuación (11.41) se reduce a

$$V_o = \frac{Ls/R_o}{LC_{eq}s^2 + 1} V_{amp} \tag{11.42}$$

La ganancia de lazo es

$$A_L = \frac{C_1}{C_1 + C_2} \frac{GLs/R_o}{LC_{eq}s^2 + 1} \tag{11.43}$$

Este sistema oscila debido a que los polos de A_L se encuentran en el eje imaginario.

Si el amplificador operacional sólo tiene una pequeña resistencia de salida, puede ser necesario añadir un resistor en serie con la salida del amplificador para aumentar R_o de modo que la relación L/R_o se vuelva pequeña y el amortiguamiento sea despreciable. La frecuencia de oscilación está dada por la ubicación del polo de A_L. Esto es,

$$f_o = \frac{1}{2\pi\sqrt{LC_{eq}}} \tag{11.44}$$

La configuración del oscilador Hartley, donde Z_1 y Z_2 de la figura 11.23 son inductores, tiene dos desventajas en comparación con el oscilador Colpitts. Cuando dos osciladores están próximos, se presenta un acoplamiento mutuo, y un inductor efecta al otro. Esto provoca que la frecuencia de salida difiera de la calculada. Otro inconveniente es que los inductores no se pueden hacer variar fácilmente en un intervalo amplio de valores. Este no sucede con los capacitores, por lo que puede hacerse que la frecuencia del oscilador Colpitts varíe con relativa facilidad sobre un intervalo amplio. El oscilador Colpitts se utiliza en varias aplicaciones, y se modifican los valores de los capacitores para cambiar la frecuencia. Una excepción a esto se halla en el receptor tradicional de TV (no electrónico), donde se utiliza un oscilador Colpitts con inductor variable. Los capacitores se encuentran fijos, y el inductor está conectado al sintonizador, que cambia para cada frecuencia de estación. Se utilizan barras de sintonía en el inductor para lograr la sintonización fina de la frecuencia portadora de la estación.

Se requieren inductores de baja resistencia en los osciladores. Esto aumenta el costo de utilizar osciladores del tipo LC, como el Hartley y el Colpitts. Con frecuencia se utilizan otros osciladores que no emplean inductores en circuitos con amplificadores operacionales. Se presentan en forma breve algunas de estas opciones.

En las figuras 11.25 y 11.26 se ilustra el *oscilador con puente de Wien*. Las impedancias, Z_3 y Z_4, son resistivas, mientras que Z_1 y Z_2 son combinaciones en serie y en paralelo de resistores y capacitores. Las condiciones para que existan oscilaciones en el circuito son las de balance del puente. Esto es,

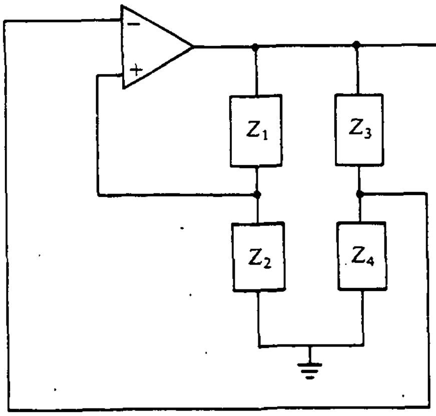


Figura 11.25 Diagrama de bloques de un oscilador con puente de Wien.

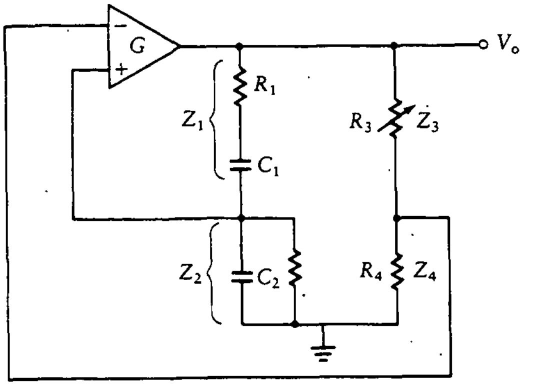


Figura 11.26 Oscilador con puente de Wien.

$$\frac{Z_1}{Z_2} = \frac{Z_3}{Z_4} \tag{11.45}$$

Nótese que como Z_3 y Z_4 son resistivas, esta razón es real.

El *oscilador con desplazamiento de fase* se muestra en la figura 11.27. Consiste en tres redes RC idénticas, cada una de las cuales proporciona un desplazamiento de fase de −60°, lo que da los −180° de desplazamiento total requeridos. Este oscilador constituye una forma simple de oscilador con amplificador operacional, y es relativamente barata.

Si se escribe la función de transferencia de la red de retroalimentación, se encuentra que su ángulo es de −180° cuando la frecuencia es

$$f_o = \frac{1}{2\sqrt{6}\,\pi RC} \tag{11.46}$$

lo cual representa por tanto la frecuencia de oscilación. En la práctica, se requieren más de tres redes RC debido a que cada sección carga a la anterior y, en consecuencia, cambia sus características. Una alternativa a utilizar más de tres redes es añadir una etapa de compuerta de potencia (*buffer*) entre cada par de redes RC con el fin de reducir los efectos de carga.

En la figura 11.28(a) se muestra un oscilador muy simple que se puede construir utilizando un *cristal piezoeléctrico*, mejor conocido como *cristal de cuarzo*, y un amplificador. Como el modelo eléctrico del cristal es un circuito resonante, se utiliza junto con circuitos discretos o integrados. Se puede conseguir un control muy preciso de la frecuencia con los osciladores a cristal, así como estabilidades en el intervalo de varias partes por millón en la variación de la frecuencia sobre intervalos normales de temperatura. Están disponibles cristales de cuarzo en frecuencias de 10 kHz a 10 MHz. Se pueden obtener cristales con otros intervalos de frecuencia, pero en general no son artículos del mercado. En la figura 11.28(b) se muestra un circuito oscilador a cristal simple.

Figura 11.27
Oscilador con desplazamiento de fase.

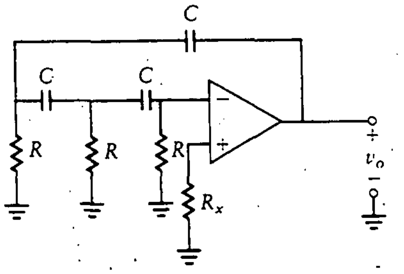
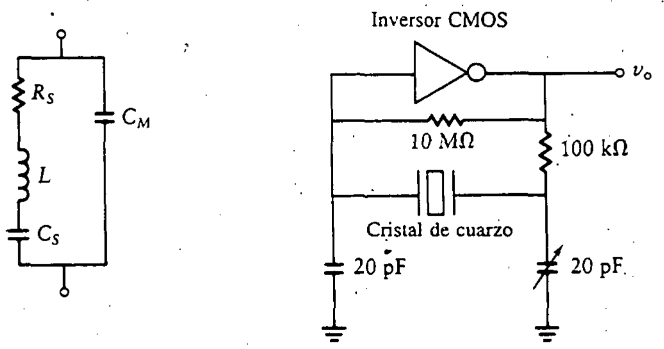


Figura 11.28
Oscilador a cristal.



(a) Circuito eléctrico equivalente de cristal

(b) Circuito oscilador a cristal

Ejemplo 11.10

Diséñese un oscilador Colpitts para resonar a 712 kHz y determínese la función de transferencia, $G(s)$.

SOLUCIÓN La versión de transistor del oscilador Colpitts se muestra en la figura 11.29. El capacitor C_1 corresponde a Z_1 en la figura 11.23, C_2 corresponde a Z_2 y L corresponde a Z_3. La frecuencia de oscilación está dada por

$$f_o = \frac{1}{2\pi\sqrt{LC_1C_2/(C_1+C_2)}}$$

En el problema de diseño sólo se especificó la frecuencia de oscilación. Por tanto, se tiene una ecuación con tres incógnitas. Se deben seleccionar dos de los valores utilizando otras consideraciones. Supóngase que se eligen valores estándar para los capacitores, por ejemplo 0.001 μF. Entonces se tiene la ecuación para encontrar L, y si se obtiene un valor razonable, el diseño está completo. Al hacerlo el valor que se obtiene para L es 100 μH, que constituye un inductor que se puede obtener de inmediato. La ganancia de lazo de V_b' a V_b está dada por

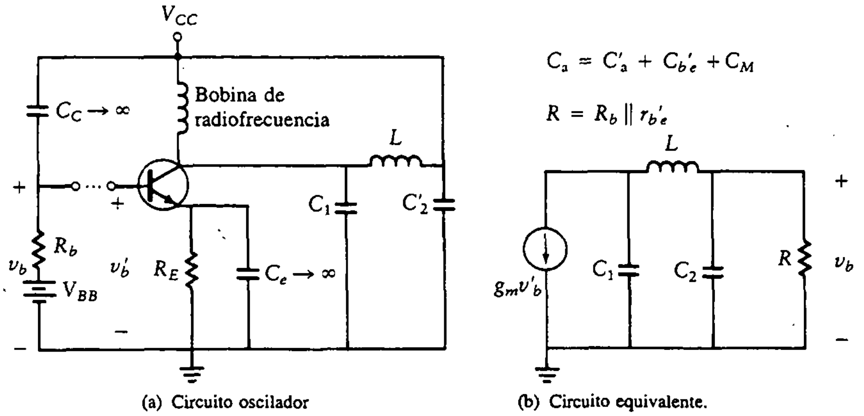


Figura 11.29
Oscilador Colpitts.

$$G(s) = \frac{V_b}{V'_b} = \frac{-g_m}{s^3 LRC_1C_2 + s^2 LC_1 + s(RC_1 + RC_2) + 1} \tag{11.47}$$

El valor de los resistores se selecciona para una polarización adecuada. Como ejemplo, supóngase una combinación en paralelo,

$$R = r'_{be} \parallel R_b = 1\ \text{k}\Omega$$

Nótese que un valor típico para r'_{be} es alrededor de 1 kΩ, debido a lo cual se supone que R_b es mucho mayor que este valor. Si además se supone que g_m = 0.4 mS, la ecuación (11.47) se puede factorizar para dar

$$G(s) = \frac{-0.4}{(1.98 \times 10^{-6}s + 1)(5.06 \times 10^{-14}s^2 + 2.5s + 1)} \tag{11.48}$$

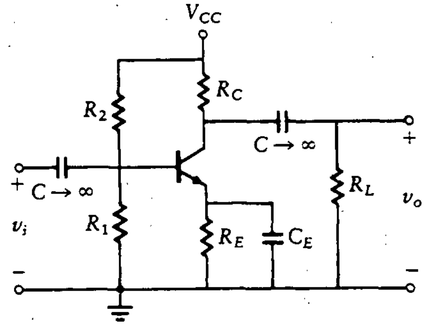
La cuadrática en el denominador de la ecuación (11.48) se puede factorizar para obtener las raíces

$$s = -2.5 \times 10^5 \pm j4.4 \times 10^6$$

Nótese que la parte imaginaria de las raíces es un orden de magnitud mayor que la parte real. La frecuencia de oscilación está dada aproximadamente por 4.4 × 10^6 rad/s, que es 700 kHz, como se especificó en el planteamiento del problema.

PROBLEMAS

11.1 Para el circuito de la figura P11.1, determínense la ganancia de tensión, la resistencia de entrada y la ganancia de corriente cuando $C_E \rightarrow \infty$.



$R_C = R_L = 2\ \text{k}\Omega$

$R_E = 300\ \Omega$

$R_1 \| R_2 = 5\ \text{k}\Omega$

$\beta = 200$

$V_{CC} = 15\ \text{V}$

$h_{ie} = 400\ \Omega$

Figura P11.1

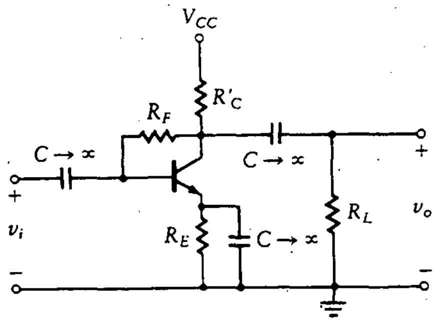
11.2 Repítase el problema 11.1 cuando $C_E = 0$. Compárense los valores de A_v, R_{en} y A_i encontrados en cada uno de estos problemas, y explíquese cualquier diferencia.

11.3 Para el amplificador de la figura P11.1, determínese A_v, R_{en} y A_i cuando $R_1 \rightarrow \infty$ y $R_2 = 200\ \text{k}\Omega$.

11.4 Para el amplificador mostrado en la figura P11.1, determínese el factor de atenuación por retroalimentación.

11.5 Un amplificador retroalimentado del tipo mostrado en la figura 11.3(a) con $C_1 = 0$ tiene una ganancia de -200 sin retroalimentación, y la relación de la tensión de retroalimentación a la tensión de salida es 0.2. ¿Cuál es la ganancia de tensión del amplificador? Si la ganancia sin retroalimentación aumenta a -300, ¿cuál es la nueva ganancia de tensión?

11.6 Para el amplificador de la figura P11.2, determínense A_v y A_i cuando $R_F = 14\ \text{k}\Omega$.



$R_C = R_L = 2\ \text{k}\Omega$

$R_E = 300\ \Omega$

$\beta = 200$

$V_{CC} = 15\ \text{V}$

$h_{ie} = 400\ \Omega$

Figura P11.2

11.7 Una etapa amplificadora simple que utiliza retroalimentación de tensión, como se muestra en la figura P11.2, tiene una resistencia de fuente de 2 kΩ y una R_F de 20 kΩ. Determínense las ganancias de lazo abierto y cerrado del amplificador.

11.8 Utilizando el mismo amplificador que en el problema 11.7, selecciónese un valor de R_F para hacer al amplificador estable a la polarización y determínese la ganancia de lazo cerrado.

11.9 Para el circuito de la figura 11.6(a), determínense la ganancia de lazo cerrado y el valor de R_F del amplificador. Supóngase que $\beta = 200$, $R_{E1} = 100\ \Omega$, $h_{ib} = 4\ \Omega$, $R_{C1} = 2\ \text{k}\Omega$, $R_{C2} = 1\ \text{k}\Omega$, $R_i = 2\ \text{k}\Omega$, todos los $C \rightarrow \infty$, $R_1 \parallel R_2 = 2\ \text{k}\Omega$, $R_1' \parallel R_2' = 5\ \text{k}\Omega$ y la razón de la tensión de retroalimentación a la tensión de salida es 0.005.

11.10 Utilícense las hojas de datos del apéndice D para determinar los valores para el peor caso en las siguientes cantidades para cada uno de los tres amplificadores operacionales y las condiciones dadas.

a. amplificador operacional 741E a 25°C, fuentes de ±15 V y resistencia de carga de 10 kΩ.
b. amplificador operacional 741E a 50°C, fuentes de ±20 V y resistencia de carga de 2 kΩ.
c. amplificador operacional 101A a 50°C, fuentes de ±15 V y resistencia de carga de 5 kΩ.

i. Ganancia (la más pequeña es el peor caso).
ii. Resistencia de entrada (la más pequeña es el peor caso).
iii. Tensión de desplazamiento en la entrada (la mayor es el peor caso).
iv. Corriente de polarización en la entrada (la mayor es el peor caso).
v. Corriente de desplazamiento en la entrada (la mayor es el peor caso).
vi. Resistencia de salida (la mayor es el peor caso).
vii. Excursión de la tensión de salida (la más pequeña es el peor caso).
viii. Producto ganancia por ancho de banda (el más pequeño es el peor caso).
ix. Corriente de la fuente de alimentación (la mayor es el peor caso).

11.11 Para el amplificador inversor con amplificador operacional mostrado en la figura 11.10(a), ¿cuál es el porcentaje de error si la ganancia de lazo abierto es de sólo 50 000? Utilícense $R_F = 200\ \text{k}\Omega$ y $R_A = 10\ \text{k}\Omega$.

En los problemas 11.12 a 11.17, dibújense las curvas de fase y de ganancia en decibeles para cada función, y analícese la estabilidad de cada amplificador como función de K.

11.12 $\dfrac{K}{s(s+10)}$

11.13 $\dfrac{K}{s^2(s+10)}$

11.14 $\dfrac{K(s+1)}{s^2(s+10)}$

11.15 $\dfrac{K}{s(s+1)(s+10)}$

11.16 $\dfrac{K(s+1)}{s^3(s+100)}$

11.17 $\dfrac{K}{s(s^2+20s+100)}$

11.18 El sistema con amplificador operacional de la figura 11.16(a) tiene una función de ganancia que es

$$G(s) = \frac{G_o}{1 + s/2\pi}$$

R = 100 kΩ y C = 0.1 μF. Determínense las funciones de lazo abierto y cerrado.

11.19 Para el sistema con amplificador operacional del problema 11.18, grafíquese un diagrama de Bode con G_o = 1. Determínese la estabilidad para este sistema.

11.20 Para el sistema con amplificador operacional de la figura 11.15(a), utilícese

$$G(s) = \frac{G_o}{(1 + s/20\pi)^2}$$

R = 159 kΩ y C = 0.1 μF. Nótese el cuadrado en la función de la ganancia del amplificador operacional. Determínense las funciones de lazo abierto y cerrado.

11.21 Para el sistema con amplificador operacional del problema 11.20, grafíquese un diagrama de Bode con G_o = 1. Determínese la estabilidad para este sistema.

Para las expresiones de los problemas 11.22 a 11.25, dibújense diagramas de Bode y analícese la estabilidad de cada amplificador. Sea K = 1 en cada función.

11.22 $\dfrac{K}{s(s^2 + s + 25)}$

11.23 $\dfrac{K}{s^2(s^2 + s + 25)}$

11.24 $\dfrac{Ks}{s^2 + s + 25}$

11.25 $\dfrac{K(s + 1)}{s^2(s^2 + s + 100)}$

11.26 Encuéntrese una función $G(s)$ que tenga la respuesta en frecuencia aproximada de la figura P11.3.

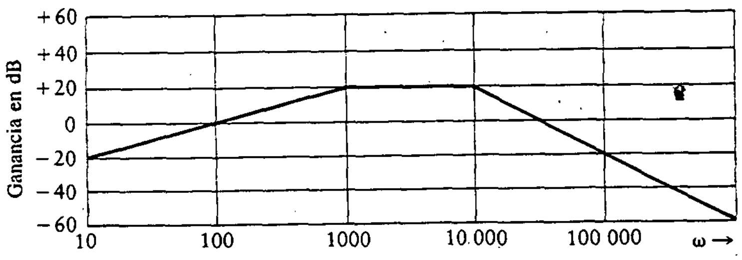


Figura P11.3

11.27 Determínese la relación de R_F a R_A para cumplir la condición de oscilación del oscilador con puente de Wien mostrado en la figura P11.4, y determínese la fórmula para la frecuencia de oscilación.

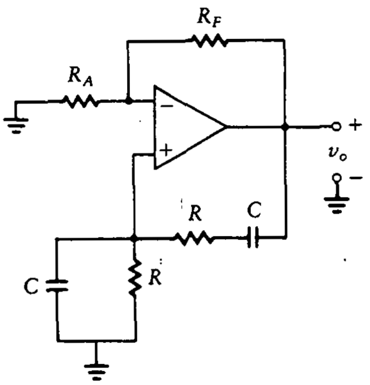


Figura P11.4

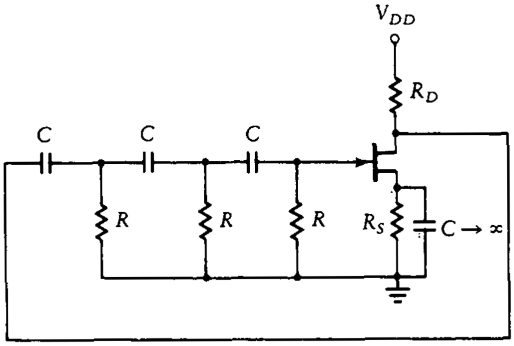


Figura P11.5

11.28 Diséñese un oscilador con desplazamiento de fase utilizando un transistor FET, como se muestra en la figura P11.5. Sean $g_m = 5000\ \mu S$, $r_d = 50\ k\Omega$ y los resistores de retroalimentación $R = 20\ k\Omega$. Selecciónese el valor de C para que el oscilador opere a 10 kHz. Asegúrese de que la ganancia del amplificador sea al menos de -50 para compensar los efectos de carga.

11.29 Determínese el valor del capacitor necesario en el oscilador Colpitts de la figura P11.6 si el único inductor disponible tiene una inductancia de 0.001 mH. La frecuencia de oscilación se especifica en 500 kHz.

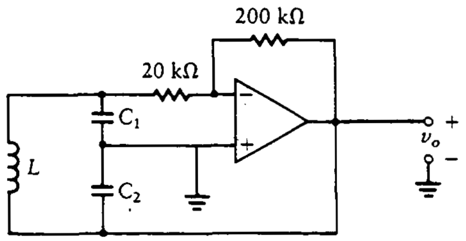


Figura P11.6

11.30 En el problema 11.27, diséñese el oscilador con puente de Wien para que oscile a 100 MHz utilizando resistores (R) de 10 kΩ, 20 kΩ,..., 100 kΩ.

11.31 Pruébese la ecuación (11.46) desarrollando la función de transferencia de la red de retroalimentación de un oscilador con desplazamiento de fase.

PROBLEMAS ADICIONALES

PA11.1 Determine el valor de la ganancia, K, para que el sistema con

$$G(s)H(s) = \frac{K}{s(0.1s+1)^2}$$

tenga un desplazamiento de fase de $-180°$ a una ganancia en dB de 0 dB (i.e., estabilidad marginal).

PA11.2 Se añade un cero a la función del problema PA11.1 para aumentar su desempeño. La nueva función de lazo abierto del sistema es

$$G(s)H(s) = \frac{K(0.125s+1)}{s(0.1s+1)^2}$$

Encuentre el valor de K para el cual el sistema tiene marginalidad estable.

PA11.3 Haga un diagrama de Bode para el sistema con amp-op de la figura PA11.1. ¿Para qué valores de la ganancia, K, es estable el sistema? Determine con exactitud el punto crítico antes de determinar el valor de K. Sea $C = 1\ \mu$F, $L = 100$ mH, $R = 1$ kΩ. La ganancia del amp-op está dada por

$$G(s) = \frac{K}{0.001s+1}$$

PA11.4 Determine la estabilidad del integrador mostrado en la figura PA11.2. La función de ganancia del amp-op es

$$G(s) = \frac{K}{(1+s/2\pi)^3}$$

y $R_C = 200$ ms. Encuentre le valor de K para marginalidad estable.

PA11.5 Determine la estabilidad del diferenciador de la figura PA11.3. La función de ganancia del amp-op es

$$G(s) = \frac{K}{(1+s/40)^2}$$

y $RC = 250$ ms. Encuentre K para marginalidad estable, i.e., 0 dB de ganancia cuando la fase es $-180°$. Asegúrese de determinar con exactitud el punto crítico.

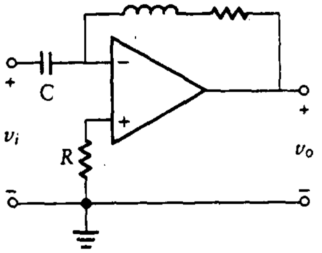


Figura PA11.1

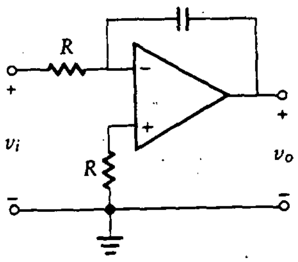


Figura PA11.2

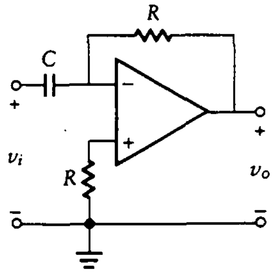


Figura PA11.3

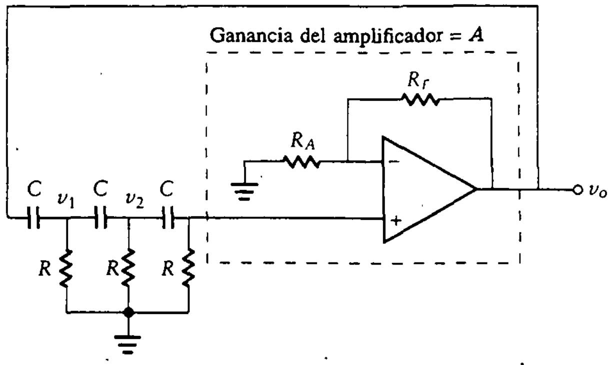


Figura PA11.4
Oscilador por desplazamiento de fase.

PA11.6 Diseñe un oscilador por desplazamiento de fase, como se muestra en la figura PA11.4, para operar a 100 kHz. Sea $C = 0.1$ pF y seleccione valores apropiados para R, R_F y R_A.

PA11.7 Diseñe el oscilador por puente de Wien de la figura PA11.5, para que oscile a 100 MHz con $R = 10$ kΩ.

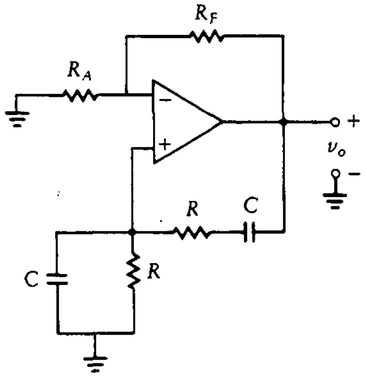


Figura PA11.5

12

CIRCUITOS NO LINEALES

12.0 INTRODUCCIÓN

En el capítulo 1 se vieron muchos circuitos no lineales con diodos. Uno de los ejemplos era el circuito de una fuente de alimentación, que convierte una señal de ca en una de cd. También se analizaron varias configuraciones recortadoras y sujetadoras que se utilizan ya sea para recortar una porción de una señal variable en el tiempo o para cambiar su nivel de cd. En el presente capítulo, se combinan diodos y amplificadores operacionales en varios circuitos. La ventaja de este método es que los diodos pueden operar de manera más próxima a sus características ideales. Se consideran rectificadores, limitadores, comparadores y disparadores Schmitt. El objetivo es diseñar un sistema que cumpla con las especificaciones de entrada a salida para una característica de transferencia en tensión no lineal instantánea. Las características son *instantáneas* ya que el circuito no contiene dispositivos para almacenamiento de energía (por ejemplo, inductores o capacitores). La salida en un momento particular depende sólo del valor presente de la entrada.

12.1 RECTIFICADORES

Uno de los circuitos no lineales básicos y más útiles es el *rectificador*. Los rectificadores operan sobre una señal de entrada de manera tal que dependen del signo de la tensión de entrada instantánea. Se pueden diseñar ya sea para recortar la parte

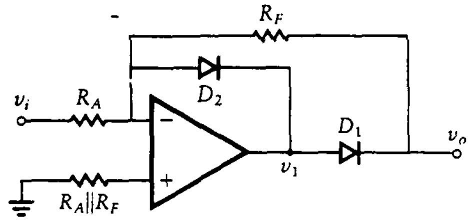


Figura 12.1
Rectificador inversor de media onda.

negativa (o positiva) de la señal o para proporcionar una salida que es el valor absoluto matemático de la entrada.

El circuito mostrado en la figura 12.1 se conoce como *rectificador inversor de media onda.* Como el diodo puede operar en cualquiera de dos estados, el rectificador se analiza como dos circuitos separados. Cuál de los dos circuitos se aplica depende del signo de v_1.

Se supone que el amplificador operacional es ideal. Entonces

$$v_- = v_+ = 0$$

Para una v_i positiva, la tensión de salida del amplificador, v_1, es menor que cero. El diodo D_2 *conduce* y por tanto se puede reemplazar por un pequeño resistor, R_f. La resistencia en directo del diodo representa un pequeño resistor de retroalimentación, lo cual lleva a una disminución en la ganancia del amplificador. El diodo D_1 se presenta como un circuito abierto bajo esta condición, por lo que

$$v_o = v_- = 0$$

Por el contrario, cuando v_1 es positiva, D_2 no conduce (apagado) y D_1 sí conduce (encendido). En la figura 12.2(a) se repite el circuito de la figura 12.1 reemplazando los diodos por sus equivalentes para el caso en que v_1 es positiva. Esto es, D_1 se reemplaza por una resistencia en directo y D_2 por un circuito abierto. En la figura 12.2(b) se muestra el mismo circuito con el amplificador operacional reemplazado por su equivalente simplificado.

Se ve de la figura 12.2(b) que

$$v_+ = 0$$

$$v_- = v_i - iR_A \tag{12.1}$$

Como $v_- = v_+ = 0$, se iguala a cero el lado derecho de la ecuación (12.1) y se despeja i para obtener,

$$i = \frac{v_i}{R_A}$$

La tensión de salida está dada por

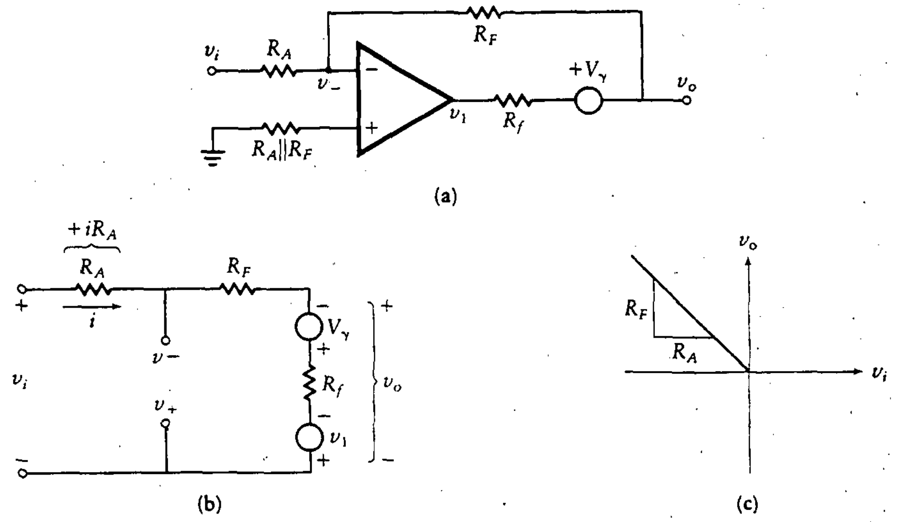


Figura 12.2
Rectificador inversor de media onda

$$v_o = -R_F i$$
$$= -R_F \frac{v_i}{R_A} \tag{12.2}$$

La ecuación (12.2) no depende de la tensión en directo del diodo, V_γ. Por tanto, la retroalimentación sirve para cancelar la tensión de encendido (directa) del diodo. Esto conduce a un mejor desempeño ya que el diodo se aproxima más al dispositivo ideal. La característica de transferencia se muestra en la figura 12.2(c).

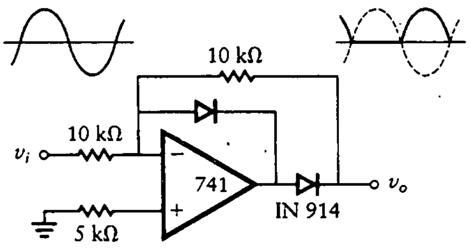
El rectificador de media onda es uno de los circuitos no lineales más simples. Existen muchas variaciones del circuito básico. Algunas de estas formas alternativas se ilustran en la tabla 12.1. Se recomienda mucho no seguir adelante sin antes revisar en la tabla la operación de cada circuito.

Un *rectificador de onda completa*, u *operador magnitud*, produce una salida que es el valor absoluto, o magnitud, de la señal de entrada. Un método para conseguir la rectificación de onda completa es utilizar dos rectificadores de media onda. Uno de ellos opera sobre la parte positiva de la entrada y el segundo sobre la parte negativa. Las salidas se suman con las polaridades apropiadas. En la figura 12.3 se ilustra una de dichas configuraciones. Este método de rectificación de onda completa requiere tres amplificadores separados, aunque existen métodos más simples.

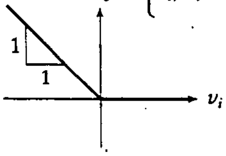
Uno de estos métodos más sencillos de rectificación de onda completa se deduce de una observación aritmética. En primer lugar, nótese que la operación matemática de tomar el valor absoluto es lo mismo que invertir el signo de la parte negativa de la señal. Si la señal original se resta de dos veces la señal de salida en media onda, el resultado es la señal rectificada de onda completa. La prueba es muy sencilla si se consideran las dos condiciones de operación por separado.

Tabla 12.1 Configuraciones para el rectificador de media onda

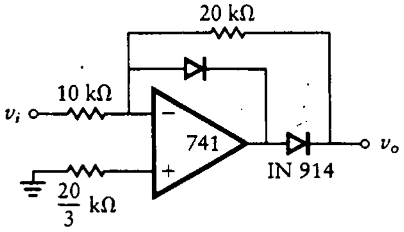
1. Inversor básico, salida positiva

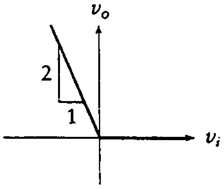


$v_o = \begin{cases} 0, & v_i > 0 \\ v_i, & v_i < 0 \end{cases}$

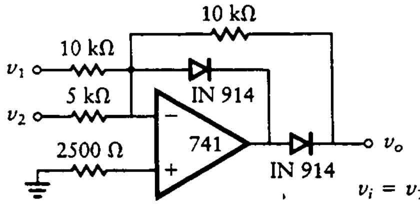


2. Salida positiva, inversor con ganancia

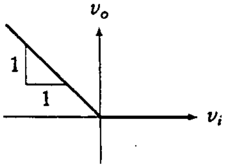


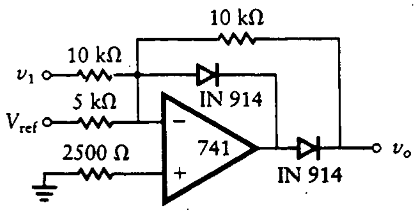


3. Salida positiva, inversor y sumador



$v_i = v_1 + 2v_2$





$\begin{cases} v_o = 0, v_i > 0 \\ v_o = -1v_i, v_i < 0 \\ V_{ref} = 0 \end{cases}$

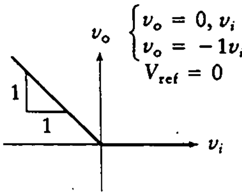
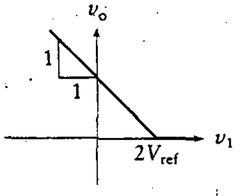
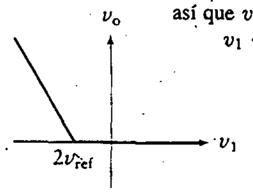


Tabla 12.1 Configuraciones para el rectificador de media onda. (*Continuación*)

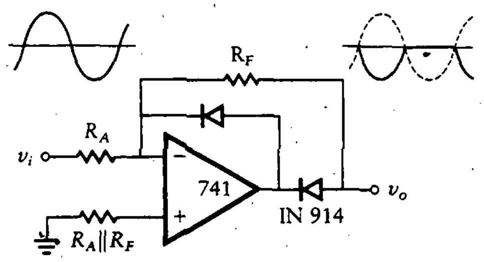




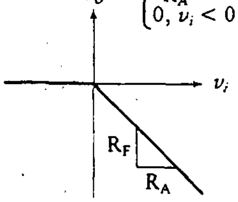
Para un desplazamiento del eje $v_i < 0$, pero $v_i = v_1 + 2V_{ref}$ así que $v_1 + 2V_{ref} < 0$
$v_1 < 2V_{ref}$

Para una V_{ref} positiva, la tensión de salida (v_{o2}) se desplaza a la izquierda, y para una V_{ref} negativa, la salida (v_{o1}) se desplaza a la derecha.

4. Inversor básico, salida negativa



$$v_o = \begin{cases} \frac{-R_F}{R_A} v_i, & v_i > 0 \\ 0, & v_i < 0 \end{cases}$$



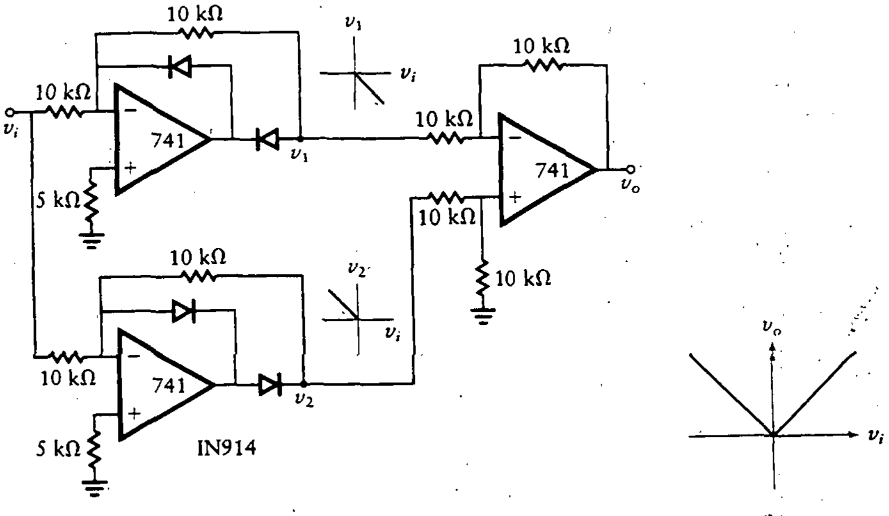


Figura 12.3 Rectificador de onda completa.

Primero, supóngase que la entrada es positiva. Entonces la media onda de salida es igual a la de la entrada, y la diferencia descrita antes es

$$2v_i(t) - v_i(t) = v_i(t)$$

Por tanto, la salida es igual a la entrada. Si ahora la entrada es negativa, la media onda de salida es cero y la diferencia es

$$2 \times 0 - v_i(t) = -v_i(t)$$

Por tanto, la salida es igual al negativo de la entrada. La salida compuesta es entonces el valor absoluto de la entrada. Esta forma del rectificador de onda completa se muestra en primer lugar en la tabla 12.2. En las demás entradas de la tabla se ilustran métodos alternos para conformar la salida rectificada de onda completa. Con un estudio cuidadoso se puede verificar la operación de cada sistema.

Ejemplo 12.1

Comiéncese con el rectificador inversor de media onda de la figura 12.1, pero inviértanse los diodos y colóquese una referencia de tensión, V_{ref} = 5 V, en la terminal negativa del amplificador operacional a través de un resistor de 20 kΩ. Sea R_A = 10 kΩ y R_F = 20 kΩ. El circuito resultante se muestra en la figura 12.4(a). Supóngase que el amplificador operacional está balanceado en su polarización de cd. Encuéntrese la característica de tensión entrada-salida.

SOLUCIÓN Si la tensión de referencia fuese cero, la salida sería diferente de cero sólo en el cuarto cuadrante de la característica v_o contra v_i. Esto difiere de la situación de la figura 12.2(c) por 180°, ya que los diodos están invertidos. En ese cuadrante, la pendiente es $-R_F/R_A$ o −2, y la curva atraviesa el origen. Con una tensión de referencia de +5 V y una ganancia asociada de 1 (basada en el valor de los resistores dados), el eje de la línea se desplaza hacia donde $v_i = -5$ cuando $v_o = 0$. Esto es, v_i es −5 V para que la suma a la entrada sea igual a cero. La referencia de 5 V hace que el diodo conduzca cuando la tensión v_i es −5 V o menos. Se alcanza una ganancia de −2 para todas las tensiones de entrada inferiores a −5 V. La característica v_o contra v_i se muestra en la figura 12.4(b).

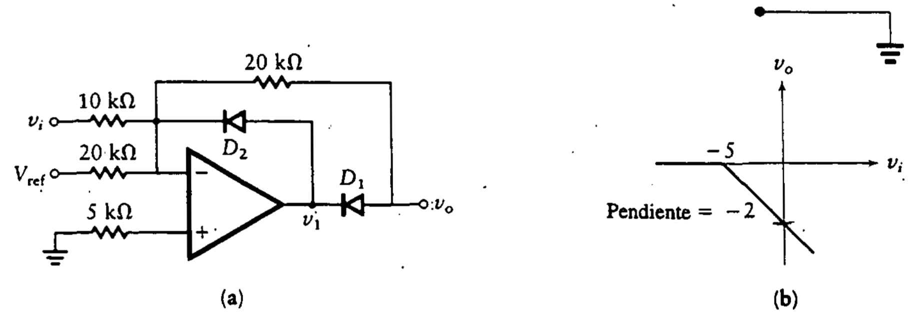


Figura 12.4
Circuito para el ejemplo 12.1.

12.2 LIMITADORES RETROALIMENTADOS

Un *limitador*, en su forma básica ideal, restringe una señal a estar debajo (o arriba) de un valor específico particular (punto de ruptura). La señal de salida es proporcional a la entrada por debajo (o por arriba) de este punto de ruptura y permanece constante para entradas por arriba (o por debajo) de este valor.

Existe una amplia gama de variaciones del circuito limitador básico. De hecho, cualquier característica compuesta de dos rectas que se intersecan en un punto se puede considerar una forma de limitador y realizarse utilizando un diodo en la trayectoria de retroalimentación de un amplificador operacional.

Como ejemplo, considérese el sistema de la figura 12.5. Debido a la presencia del diodo, este circuito se analiza tomando por separado los dos casos. Esto es, en primer lugar se supone que el diodo es un circuito abierto, y se resuelve el circuito. El procedimiento se repite para el caso en el que el diodo es un cortocircuito. Entonces, simplemente es necesario encontrar la ubicación del punto de ruptura entre las dos regiones.

Cuando el diodo de la figura 12.5 no conduce, el circuito opera como un amplificador inversor con la salida dada por

$$v_o = -v_i \left(\frac{R_F}{R_A}\right)$$

y la ganancia es $-R_F/R_A$.

Para encontrar el punto de ruptura, se despeja v_1 como sigue:

$$v_1 = \frac{V_{\text{ref}} - v_o}{R_1 + R_2} R_2 + v_o = \frac{R_2 V_{\text{ref}} + R_1 v_o}{R_1 + R_2}$$

$$= (R_1 \parallel R_2) \left[\frac{V_{\text{ref}}}{R_1} + \frac{v_o}{R_2}\right]$$

Figura 12.5 Limitador retroalimentado.

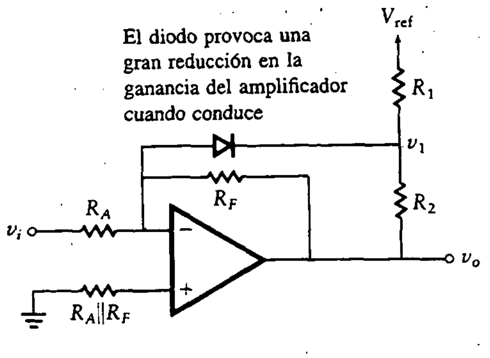
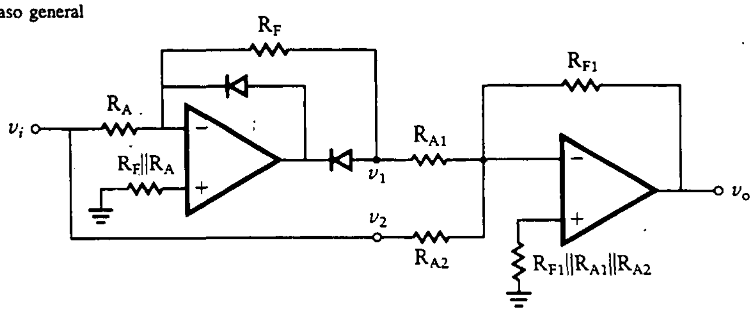
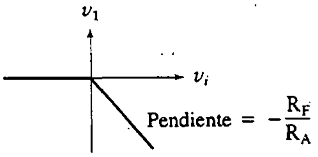


Tabla 12.2 Rectificadores de onda completa.

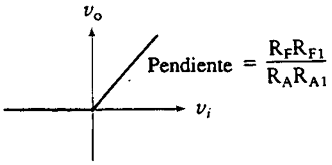
1. Caso general





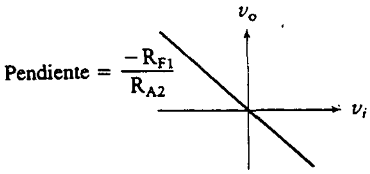
① v_1 debido a v_i:

$$v_1 \big|_{v_2=0} = -\frac{R_F}{R_A} v_i$$



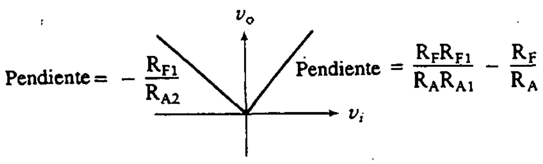
② v_o debido a v_1:

$$v_o \big|_{v_2=0} = -\frac{R_{F1}}{R_{A1}} v_1 = \frac{R_F R_{F1}}{R_A R_{A1}} v_i$$



③ v_o debido a v_2:

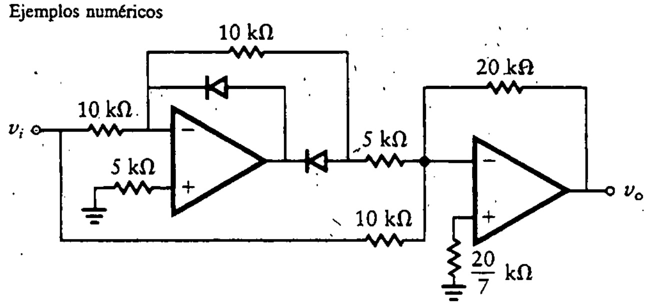
$$v_o \big|_{v_1=0} = -\frac{R_{F1}}{R_{A2}} v_2 = \frac{R_{F1}}{R_{A2}} v_i$$

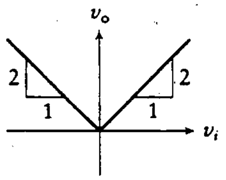


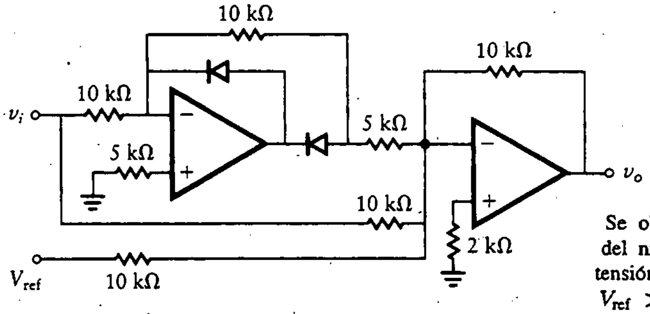
④ v_o debido a v_1 y v_2

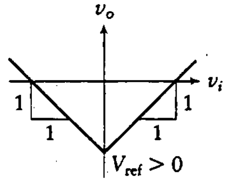
Tabla 12.2 Rectificadores de onda completa. (*Continuación*)

2. Ejemplos numéricos

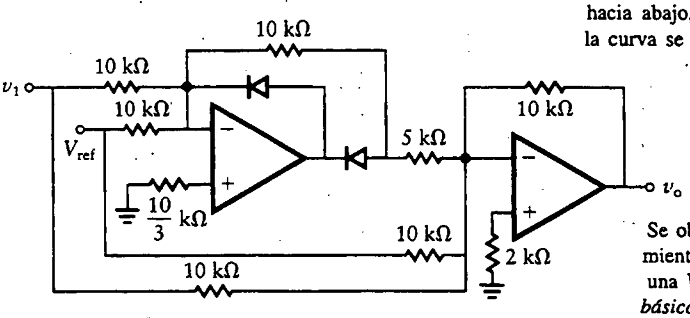






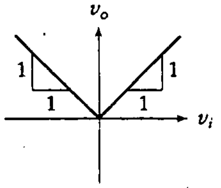


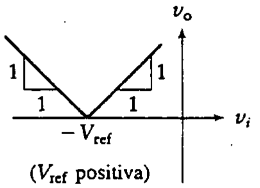
Se obtiene un desplazamiento del nivel de cd añadiendo una tensión V_{ref} de entrada. Cuando $V_{ref} > 0$, la curva se desplaza hacia abajo, y cuando $V_{ref} < 0$, la curva se desplaza hacia arriba.

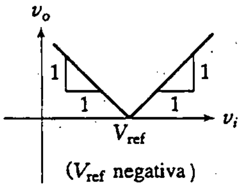


$v_i = v_1 + V_{ref}$

Se obtiene un desplazamiento del eje añadiendo una V_{ref} al amplificador *básico de salida negativa.*







El diodo conduce cuando v_1 intenta estar por debajo de V_γ. (Nótese que $v_- = v_+ = 0$). Esto es,

$$v_1 = \frac{R_2 V_{ref} + R_1 v_o}{R_1 + R_2} < V_\gamma$$

v_o se despeja haciendo $v_1 = -V_\gamma$ como sigue:

$$v_o = \frac{-(R_1 + R_2)}{R_1} V_\gamma - \frac{R_2}{R_1} V_{ref}$$

Si se supone que V_γ es cero, esto se convierte en

$$v_o = \frac{-R_2 V_{ref}}{R_1} \tag{12.3}$$

Esto representa el punto de ruptura entre las dos condiciones del circuito.

Para analizar la otra condición, se encuentra el equivalente de Thévenin de la red divisora resistiva a la derecha del diodo, como se muestra en la figura 12.6. Cuando el diodo está encendido, se reemplaza por un generador de tensión de "encendido", V_γ, y una resistencia en directo, R_f. Entonces el circuito de la figura 12.5 toma la forma mostrada en la figura 12.7. La tensión v_o se determina del circuito como sigue:

$$\begin{aligned} v_o &= -\frac{R_F}{R_A} v_i - \frac{R_F}{R_1 \parallel R_2 + R_f} \left[\frac{R_2 V_{ref} + R_1 v_o}{R_1 + R_2} + V_\gamma \right] \\ \text{y } & \left[1 + \frac{R_F}{R_1 \parallel R_2 + R_f} \frac{R_1}{R_1 + R_2} \right] v_o \\ &= -\frac{R_F}{R_a} v_i - \frac{R_F}{R_1 \parallel R_2 + R_f} \left[\frac{R_2}{R_1 + R_2} V_{ref} + V_\gamma \right] \end{aligned}$$

Se supone ahora que

$$\frac{R_F}{R_1 \parallel R_2 + R_f} \gg 1$$

que es el caso normal. Entonces la ecuación se reduce a

$$\begin{aligned} v_o &= \frac{-R_F v_i / R_A}{[R_F/(R_1 \parallel R_2 + R_f)][R_1/(R_1 + R_2)]} - \frac{R_2}{R_1} V_{ref} - \frac{R_1 + R_2}{R_1} V_\gamma \\ &= -\left(\frac{1}{R_A}\right)\left(1 + \frac{R_2}{R_1}\right)(R_1 \parallel R_2 + R_f) v_i - \frac{R_2}{R_1} V_{ref} - \left(1 + \frac{R_2}{R_1}\right) V_\gamma \end{aligned} \tag{12.4}$$

Figura 12.6
Equivalente de Thévenin para el limitador retroalimentado.

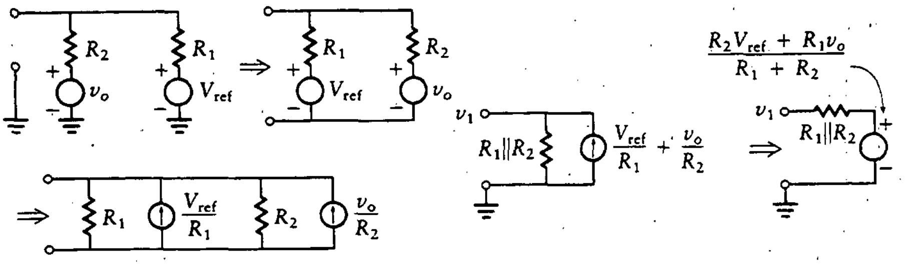
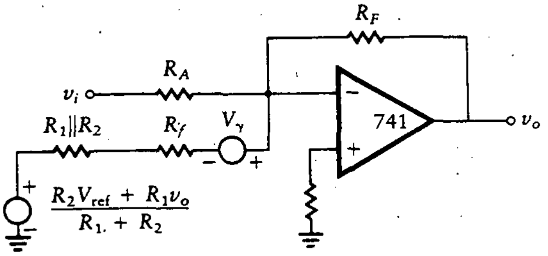


Figura 12.7
Circuito reducido. Limitador retroalimentado.



La ganancia está dada por

$$-\left(\frac{1}{R_A}\right)\left(1+\frac{R_2}{R_1}\right)(R_1 \parallel R_2 + R_f) \tag{12.5}$$

Si $R_2 \ll R_1$ o si $R_f \ll (R_1 \parallel R_2)$, la expresión para la ganancia en la ecuación (12.5) se reduce a

$$\frac{-R_2}{R_A}$$

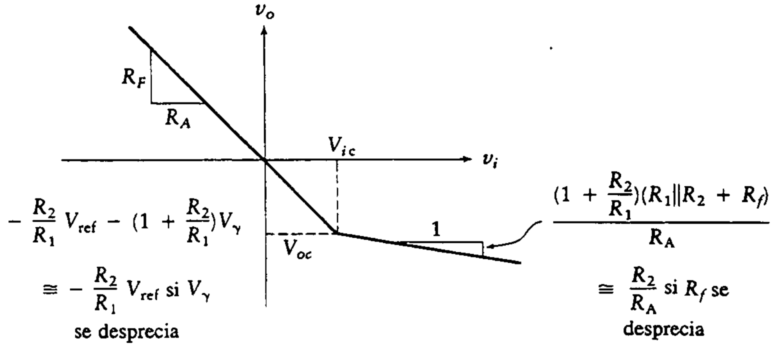
La curva característica resultante se muestra en la figura 12.8. La pendiente cambia de $-R_F/R_A$ a más o menos $-R_2/R_A$ conforme v_i aumenta más allá del punto de ruptura. Si V_{ref} es negativo, la ruptura en la curva característica ocurre en un valor positivo de v_o.

Nótese que R_2 debe ser mucho menor que R_A si se desea alcanzar una buena limitación. Esto es, si el limitador debe tener una pendiente cercana a cero más allá del punto de ruptura, $R_2/R_A \ll 1$.

Los valores de v_o y v_i cuando cambia la pendiente (se definen como V_{oc} y V_{ic} respectivamente) están dados por las siguientes ecuaciones:

$$V_{oc} = \frac{-R_2 V_{ref}}{R_1} - \left(1+\frac{R_2}{R_1}\right)V_\gamma \tag{12.6}$$

Figura 12.8 Características del limitador.



$$V_{ic} = \frac{R_A}{R_F}\left[\frac{R_2 V_{ref}}{R_1} + \left(1 + \frac{R_2}{R_1}\right)V_\gamma\right] \tag{12.7}$$

Es importante observar que el valor de la tensión de salida cuando cambia la pendiente, V_{oc}, debe ser menor que la tensión de saturación, $-E$, del amplificador operacional. Esto es cierto ya que el amplificador no puede producir una tensión mayor que la de saturación; debido a ello, si la ruptura está más allá de este valor, nunca se alcanza. Si $E = V_{ref}$, como es frecuente, R_2 debe ser menor que R_1.

En la tabla 12.3 se presentan varias configuraciones de limitadores. Deben estudiarse con cuidado antes de continuar.

Tabla 12.3 Configuraciones de limitadores. (*Continuación*)

1. Límite inferior básico

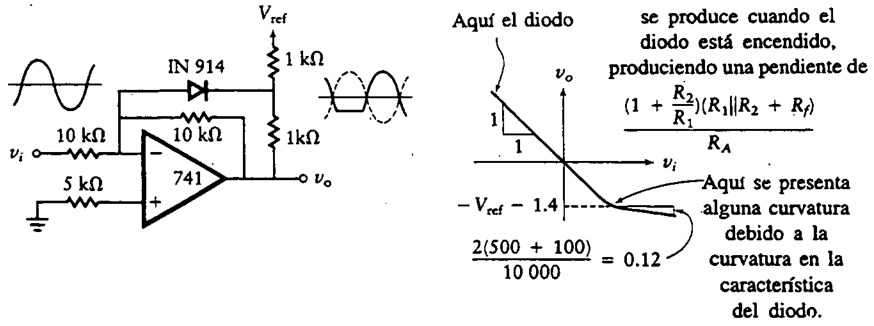
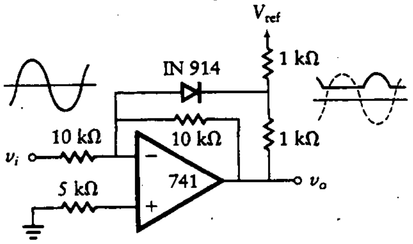
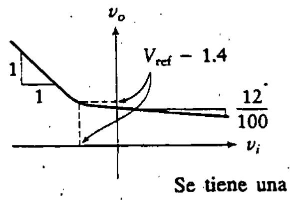


Tabla 12.3 Configuraciones de limitadores. (*Continuación*)

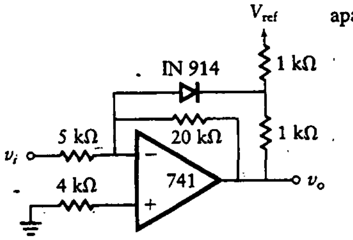
2. Tensión de referencia negativa



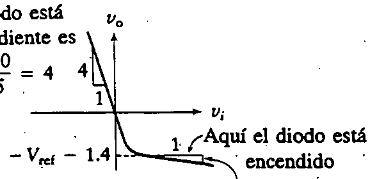


Se tiene una tensión de referencia con las pendientes igual que antes, excepto que ahora la tensión de salida se limita por arriba de cero.

3. Límite inferior con ganancia

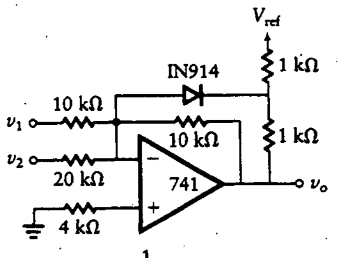


Cuando el diodo está apagado la pendiente es $\frac{R_F}{R_A} = \frac{20}{5} = 4$

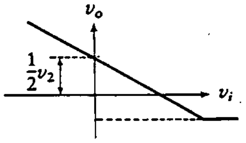


$$\frac{2(500 + 100)}{20\,000} = \frac{\left(1 + \frac{R_2}{R_1}\right)(R_1 \| R_2 + R_f)}{R_A}$$

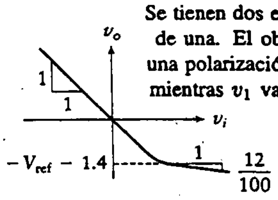
4. Suma y límite inferior

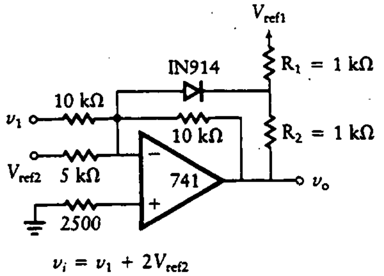


$v_i = v_1 + \frac{1}{2} v_2$



Se tienen dos entradas en lugar de una. El objetivo es tener una polarización en cd de $\frac{1}{2}v_2$ mientras v_1 varía o viceversa.





$v_i = v_1 + 2V_{ref2}$

Igual que antes, excepto por un coeficiente distinto para V_{ref}, lo cual produce una polarización mayor

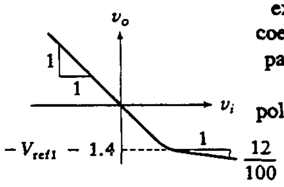
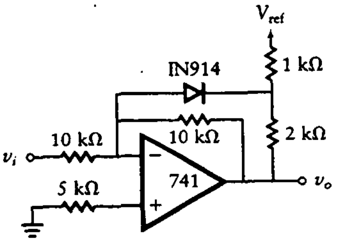
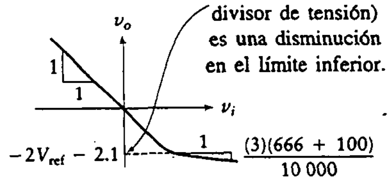


Tabla 12.3 Configuraciones de limitadores. (*Continuación*)

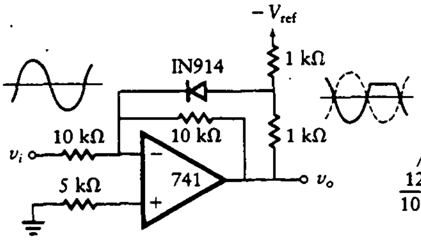
5. Resistencias para división desigual



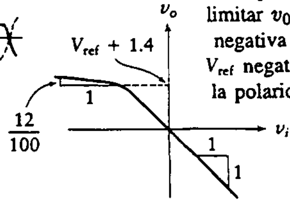
El resultado de aumentar R_2 (del divisor de tensión) es una disminución en el límite inferior.



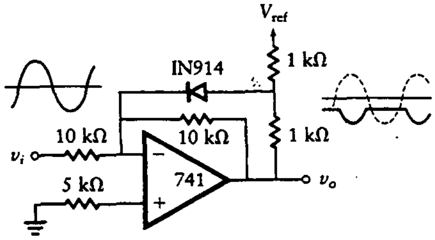
6. Límite superior básico



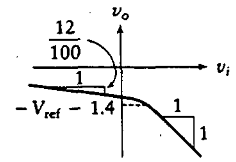
En vez de limitar la tensión de salida cuando v_i es positiva, se puede limitar v_0 cuando v_i es negativa teniendo una V_{ref} negativa cambiando la polaridad del diodo.



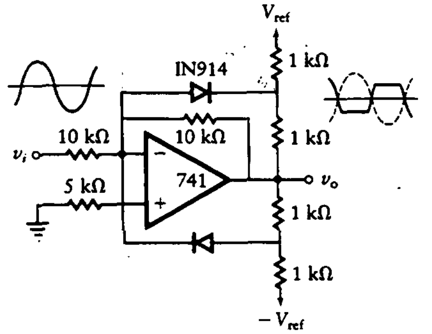
7. Tensión de referencia positiva



Comparando con el circuito de tensión de referencia negativa, aquí la tensión de salida se limita por debajo de cero porque la polaridad del diodo está invertida.



8. Límites superior e inferior



Se combinan los límites básicos superior e inferior.

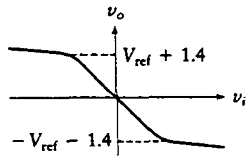
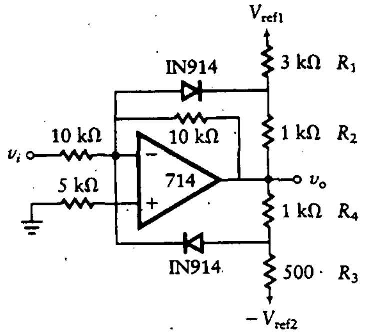
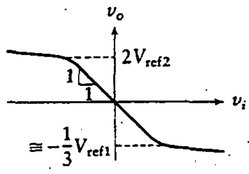


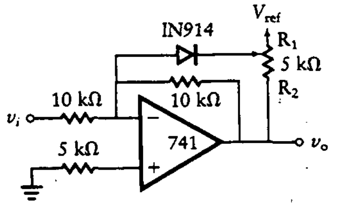
Tabla 12.3 Configuraciones de limitadores. (*Continuación*)

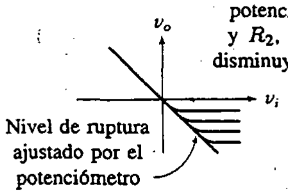


Este es un ejemplo de los efectos de cambiar los valores de R_1. Cambian los puntos de saturación.

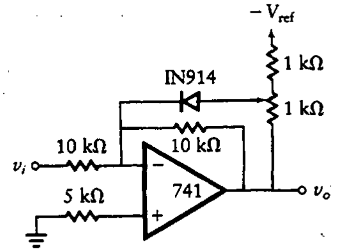


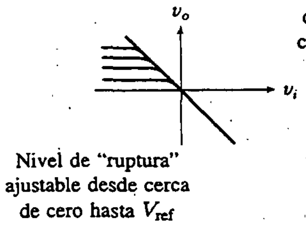
9. Límite ajustable





A partir del diagrama característico se puede ver que, utilizando un potenciómetro para R_1 y R_2, el límite inferior disminuye al aumentar R_2.

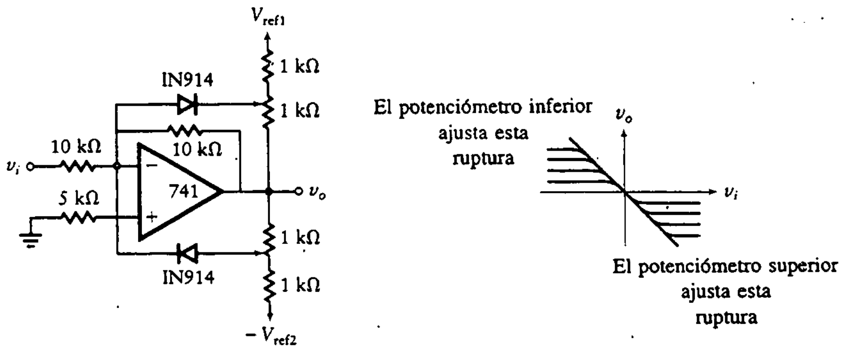




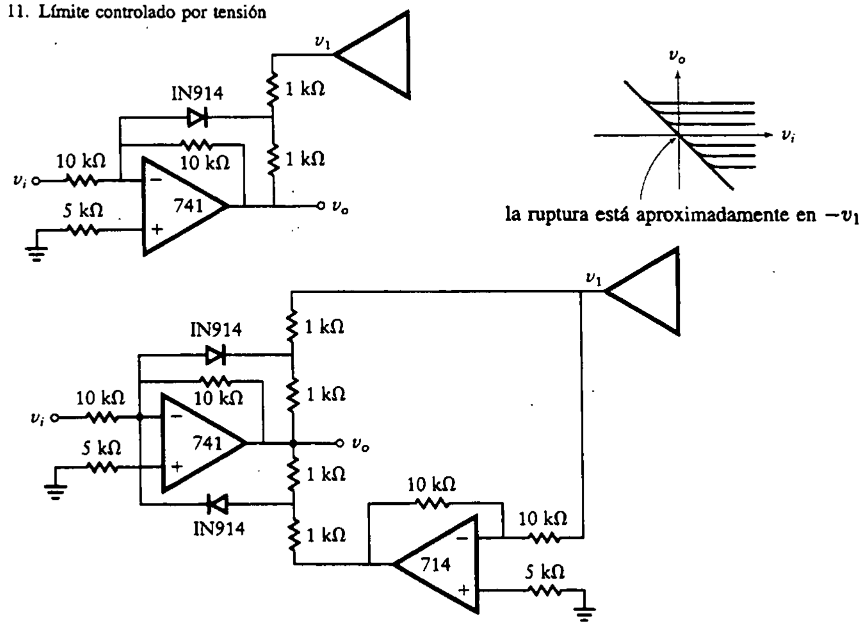
Como antes, pero con una V_{ref} negativa y polaridad del diodo invertida, las curvas de saturación están sobre cero.

Tabla 12.3 Configuraciones de limitadores. (*Continuación*)

10. Aquí se muestran los efectos combinados de los dos circuitos anteriores



11. Límite controlado por tensión



Ejercicios

Diséñense circuitos con 741 con las características de transferencia mostradas en las figuras. Supóngase que la fuente de referencia disponible es de ± 10 V y que $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$. Las respuestas se muestran en las figuras D12.1 y D12.2.

D12.1

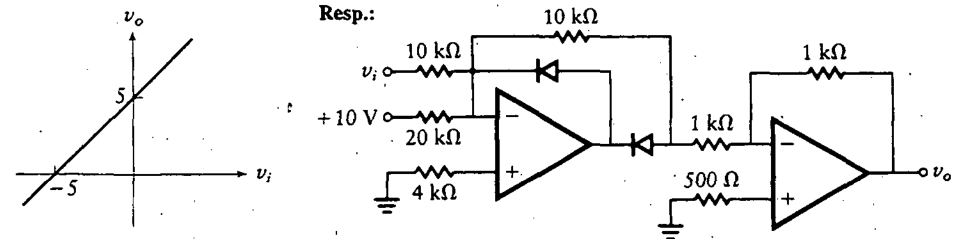


Figura D12.1

D12.2

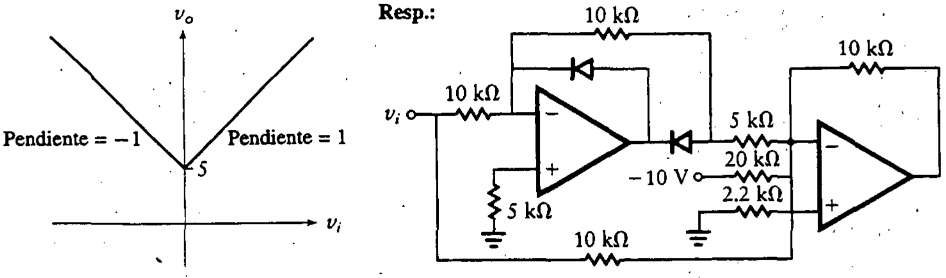


Figura D12.2

Encuéntrense las relaciones aproximadas entre las tensiones de entrada, v_1 y v_2, y la tensión de salida, v_o, para cada uno de los circuitos mostrados. Supóngase que $V_\gamma = 0.7$ V y que $R_f = 100\ \Omega$. Las respuestas se muestran en las figuras D12.3 y D12.4.

D12.3

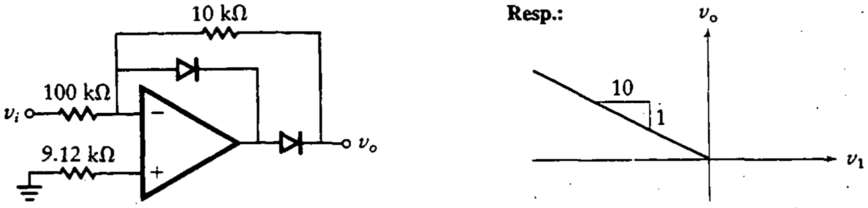
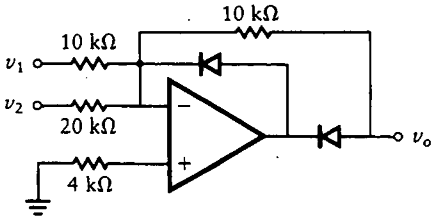


Figura D12.3

D12.4



Resp.:

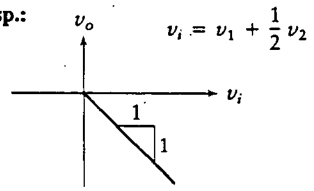


Figura D12.4

Ejemplo 12.2

Un limitador retroalimentado, como se muestra en la figura 12.5, tiene R_A = 10 kΩ, R_F = 20 kΩ, R_1 = 4 kΩ, R_2 = 2 kΩ, V_{ref} = 10 V, V_γ = 0.7 V y R_f = 50 Ω. Determínese el punto en el que la característica v_o contra v_i cambia de pendiente, y encuéntrese también la pendiente en la región de saturación (diodo en conducción).

SOLUCIÓN De las ecuaciones para el punto de ruptura, ecuaciones (12.6) y (12.7), se encuentra

$$V_{oc} = \frac{-R_2V_{ref}}{R_1} - \left[1 + \frac{R_2}{R_1}\right]V_\gamma$$

$$= \frac{-2\text{ k}\Omega \times 10}{4\text{ k}\Omega} - \left[1 + \frac{2\text{ k}\Omega}{4\text{ k}\Omega}\right](0.7)$$

$$= -6.05$$

$$V_{ic} = \frac{R_A}{R_F}\left[\frac{R_2V_{ref}}{R_1} + \left(1 + \frac{R_2}{R_1}\right)V_\gamma\right]$$

$$= \left(\frac{10\text{ k}\Omega}{20\text{ k}\Omega}\right)\left[\frac{2\text{ k}\Omega \times 10}{4\text{ k}\Omega} + \left(1 + \frac{2\text{ k}\Omega}{4\text{ k}\Omega}\right)0.7\right]$$

$$= 3.02$$

La pendiente está dada por la ecuación (12.5) como sigue:

$$\text{pendiente} = -\left(\frac{1}{R_A}\right)\left(1 + \frac{R_2}{R_1}\right)(R_1 \parallel R_2 + R_f)$$

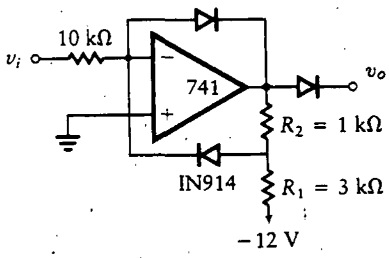
$$= -\frac{1}{10\text{ k}\Omega}\left(1 + \frac{2\text{ k}\Omega}{4\text{ k}\Omega}\right)(4\text{ k}\Omega \parallel 2\text{ k}\Omega + 50\ \Omega)$$

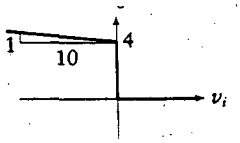
$$= -0.21$$

Las características v_o contra v_i se muestran en la tabla 12.3 como el limitador "básico de límite inferior". En la tabla 12.4 se incluyen otras aplicaciones adicionales del limitador.

Tabla 12.4 Aplicaciones del limitador.

1. Interfaz TTL



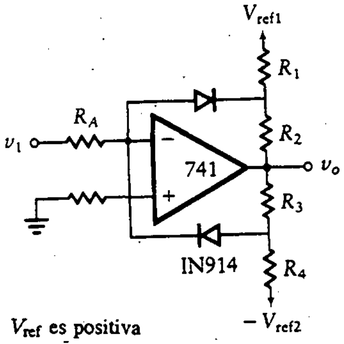


$$v_1 = -\frac{1000}{3000}(-12) + 0.7\left(1 + \frac{1000}{3000}\right) = 4.93 \text{ V}$$

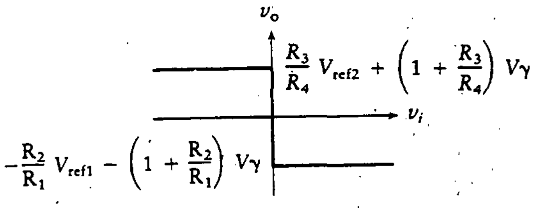
$$v_o = v_1 - 0.7 \text{ (caída en la tensión de salida)} = 4.23 \text{ V}$$

Valores distintos para R_1 y R_2 provocan otras tensiones de referencia

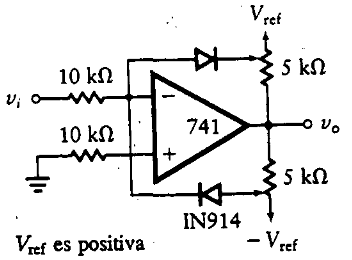
2. Suma inversora



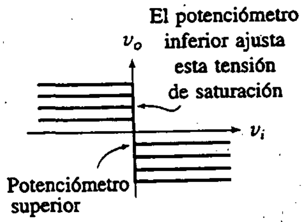
V_{ref} es positiva



3. Niveles de saturación ajustables



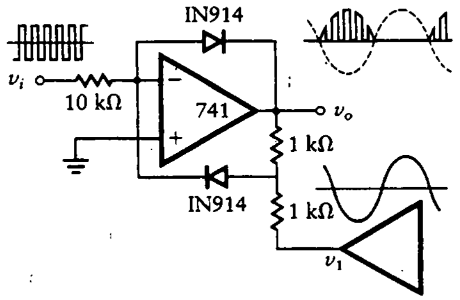
V_{ref} es positiva

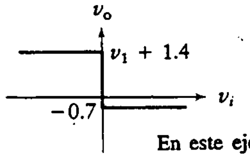


Igual que antes, excepto que el potenciómetro de 5 kΩ varía la relación de resistores. El efecto es ajustar las tensiones de saturación superior e inferior.

Tabla 12.4 Aplicaciones del limitador. (*Continuación*)

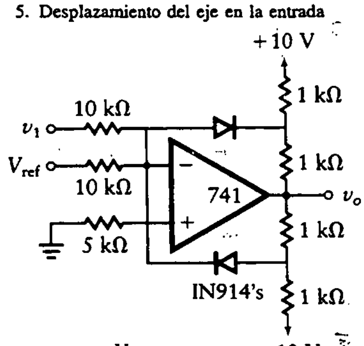
4. Niveles de saturación controlados por tensión





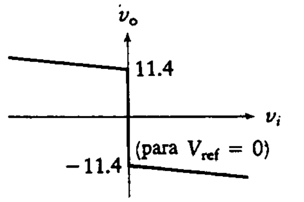
En este ejemplo, las tensiones de referencia pueden variar. Esto ajusta el nivel de saturación de la salida. La salida es determinada por la relación de los dos resistores de 1 kΩ.

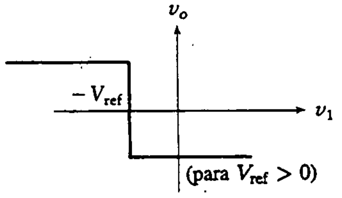
5. Desplazamiento del eje en la entrada

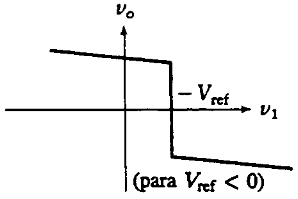


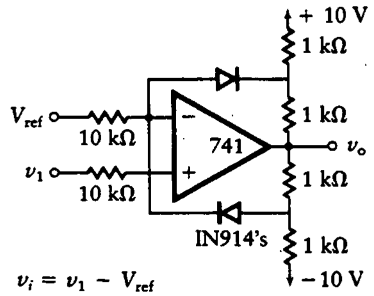
$v_i = v_1 + V_{ref}$

En este caso, V_{ref} se suma a v_1. Esto cambia el valor de v_1 que se requiere para cambiar de una tensión de saturación a otra.

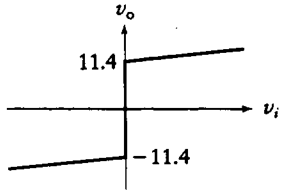






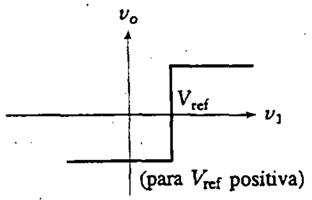


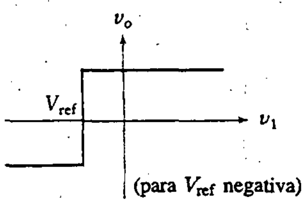
$v_i = v_1 - V_{ref}$



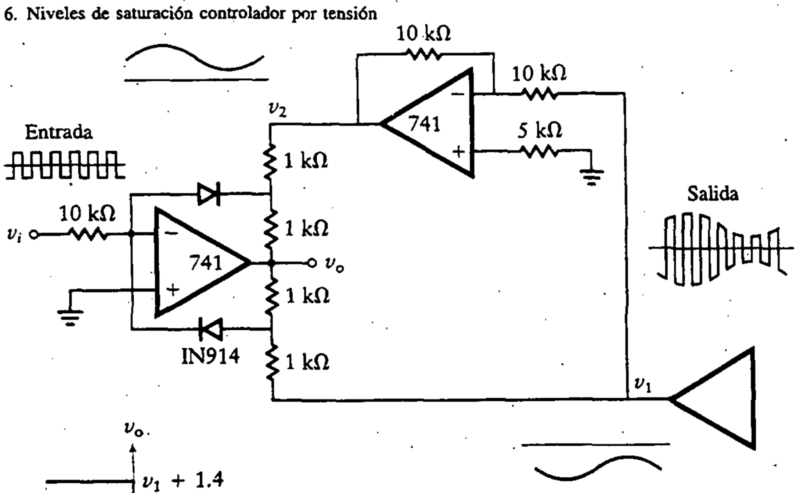
(para V_{ref} = 0)

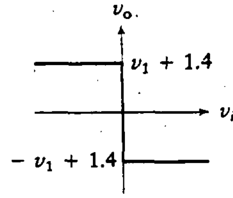
Tabla 12.4 Aplicaciones del limitador. (*Continuación*)





6. Niveles de saturación controlador por tensión





Este circuito se comporta como el circuito en (4), excepto que el segundo amplificador operacional invierte la tensión v_1, y alimenta esta tensión a la mitad superior de la red de polarización. El resultado son tensiones de saturación tanto para valores positivos como negativos de v_1.

12.3 COMPARADORES

Con frecuencia es importante comparar dos tensiones para determinar cuál es mayor. Como una aplicación simple, considérese un termostato electrónico en el que la temperatura se convierte a tensión. Cuando la tensión correspondiente a la temperatura ambiente es menor que la temperatura deseada (encendido del termostato), el sistema producirá una señal que hace funcionar la calefacción. Como aplicación más compleja, una forma de comunicación digital (modulación delta) requiere que una señal continua en el tiempo se reemplace por una aproximación en escalera. En cada punto de muestreo, la decisión de subir o bajar la aproximación se basa en la comparación de la aproximación en escalera con la función continua original.

Como es usual que los sistemas de control retroalimentados operen con la diferencia entre dos señales (invertida o no), los comparadores son ideales para estas aplicaciones.

La salida de un tipo de *comparador* es positiva cuando la tensión del circuito, v_i, es menor que la tensión de referencia, V_{ref}. La salida se vuelve negativa cuando v_i es mayor que V_{ref}. Si la ganancia del circuito es grande, la salida se satura. Esto es, tan pronto como v_i se vuelva un poco menor que V_{ref}, la salida cambiará rápidamente hacia el valor de alimentación positivo. Del mismo modo, la tensión se satura hacia la tensión de alimentación negativa para cualquier valor de v_i mayor que V_{ref}. Por tanto, la salida toma sólo uno de dos valores posibles: positivo o negativo.

Cuando la entrada varía alrededor de V_{ref}, existen transiciones en la salida siempre que v_i cruza el eje V_{ref}. Esto es, en un momento, v_i es menor que V_{ref}, y en el siguiente instante ocurre lo contrario. De manera ideal, la salida debería cambiar en forma instantánea de su valor de saturación positivo a su valor negativo. En la práctica, es necesario un pequeño tiempo de respuesta debido a efectos capacitivos en el circuito. Un valor típico para este tiempo de respuesta es de unos cuantos microsegundos. Por ejemplo, el 741 conmuta en alrededor de 40 μs.

La *exactitud* de un comparador práctico es la diferencia de tensión necesaria entre la entrada y la referencia para hacer que la salida cambie su estado de un valor de saturación a otro.

Los *comparadores de saturación*, que operan el amplificador operacional en el modo de lazo abierto, dependen de la elevada ganancia de lazo abierto para llevar al amplificador operacional a saturación. En la figura 12.9 se muestra un amplificador operacional 741 en dos configuraciones como comparador de saturación. En las figuras 12.10 y 12.11 se muestran otras configuraciones de comparadores que se pueden utilizar para variar la tensión de *cruce*.

Un *comparador limitador* se forma con un diodo como elemento de retroalimentación, como se muestra en la figura 12.12(a). Cuando el diodo está polarizado en inverso, la ausencia de retroalimentación hace que el amplificador operacional funcione en el modo de lazo abierto y se sature para tensiones de entrada negativas, y

$$v_o = \text{tensión de saturación del amplificador operacional}$$

Conforme aumenta v_i, el diodo se polariza en directo (se enciende). Esto ocurre cuando v_i excede $(V_{ref}+V_\gamma)$. El circuito equivalente para esta condición se muestra en la figura 12.12(b), donde se desprecia la resistencia del diodo en directo. Esto es, se supone que

$$R_f \ll (R_1 \parallel R_2)$$

También se desprecia la tensión en directo del diodo, V_γ.

Luego de simplificar el circuito resultante, la fuente de tensión equivalente de Thévenin proporciona una resistencia en serie de $R_1 \parallel R_2$ y una tensión de Thévenin de

$$v_{TH} = \left(\frac{V_{ref}}{R_1} + \frac{v_o}{R_2}\right)(R_1 \parallel R_2) \tag{12.8}$$

Figura 12.9
Comparador de saturación.

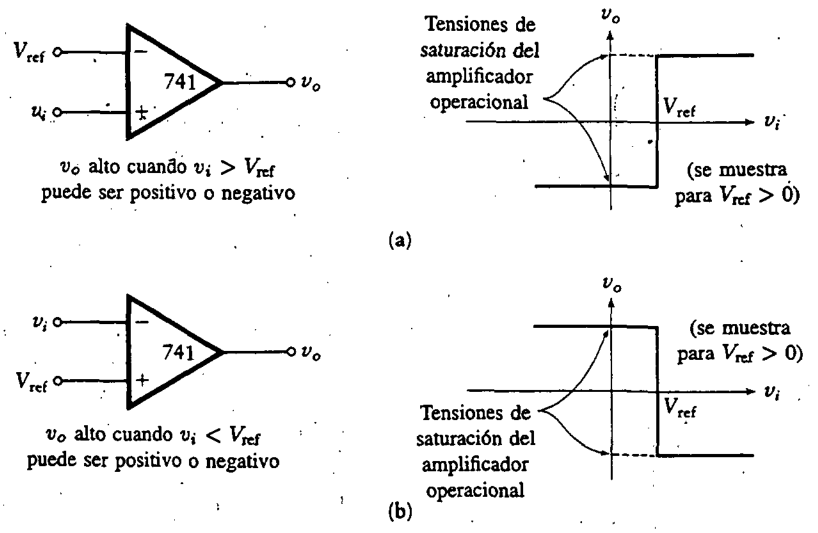


Figura 12.10
Comparador de cruce variable.

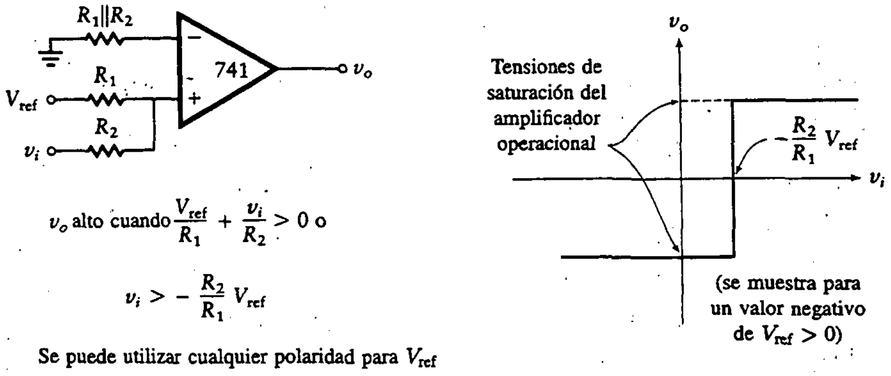


Figura 12.11
Comparador de cruce variable.

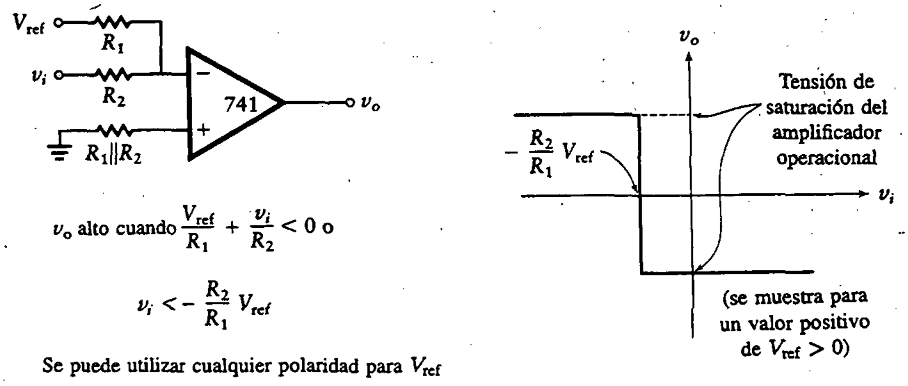
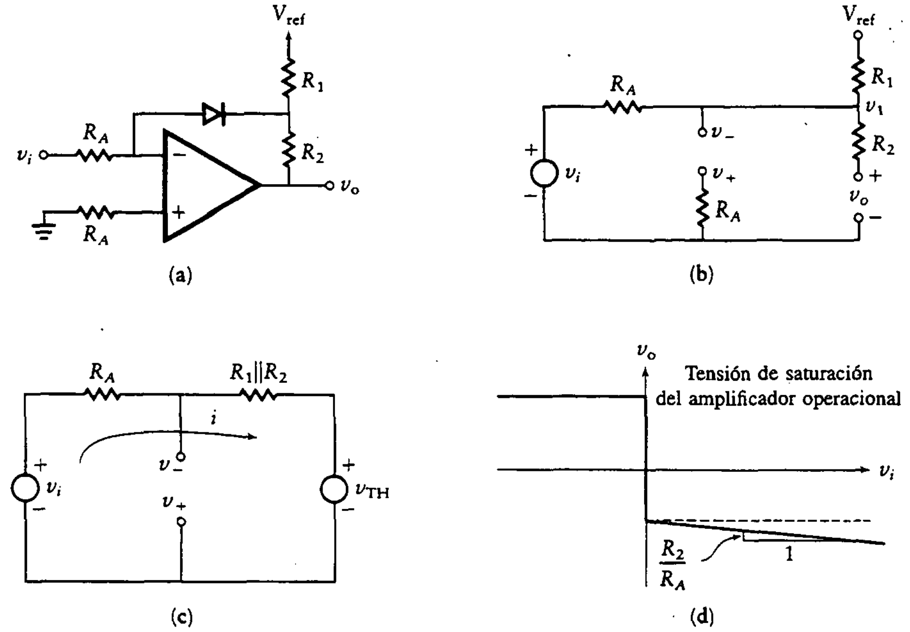


Figura 12.12
Comparador limitador.



Esta se muestra en el circuito equivalente de la figura 12.12(c). Para determinar las ecuaciones que relacionan v_o con v_i, se utilizan las ecuaciones

$$\begin{aligned} v_- &= v_i - iR_A \\ &= v_i - \frac{(v_1 - v_{\mathrm{TH}})R_A}{R_A + R_1 \parallel R_2} \end{aligned} \tag{12.9}$$

y como

$$v_+ = v_-$$

se iguala la expresión en la ecuación (12.9) a cero y se obtiene

$$(R_1 \parallel R_2)v_i + v_{\mathrm{TH}}R_A = 0$$

Reemplazando v_{TH} por la expresión de la ecuación (12.8), se tiene

$$0 = (R_1 \parallel R_2)v_i + V_{\mathrm{ref}}\frac{R_2R_A}{R_1 + R_2} + v_o\frac{R_1R_A}{R_1 + R_2}$$

o

$$(R_1 \parallel R_2)v_i + V_{\mathrm{ref}}\frac{R_2R_A}{R_1 + R_2} = \frac{-v_oR_1R_A}{R_1 + R_2}$$

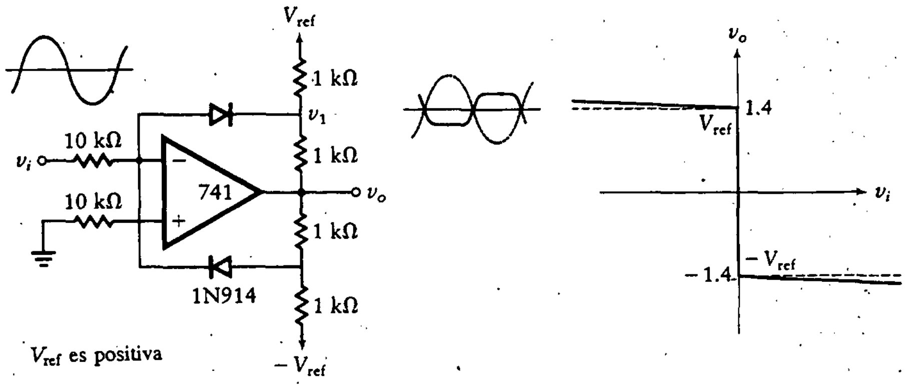


Figura 12.13
Comparador limitador balanceado.

Despejando la tensión de salida, se obtiene

$$v_o = \frac{-R_2}{R_A}v_i - V_{\text{ref}}\frac{R_2}{R_1} \tag{12.10}$$

La pendiente de la curva, para una tensión de entrada positiva, está dada por

$$\frac{v_o}{v_i} = -\frac{R_2}{R_A}$$

Las características de transferencia para la ecuación (12.10) se muestran en la figura 12.12(d).

Nótese que la tensión de salida para una entrada $v_i = V_{\text{ref}}$ está dada por

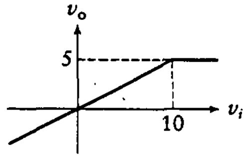
$$-R_2 V_{\text{ref}}\left(\frac{1}{R_A} + \frac{1}{R_1}\right)$$

El limitador aquí descrito no está *balanceado*, ya que las características de transferencia de conmutación no son simétricas. El circuito puede modificarse para proporcionar una operación balanceada. La característica de transferencia para el limitador positivo y negativo balanceado resultante se muestra en la figura 12.13. El análisis se lleva a cabo en forma similar a la utilizada para el limitador sin balancear.

Ejercicios

Diséñense circuitos con 741 con las siguientes características de transferencia aproximadas. Las fuentes de tensión de referencia disponibles son ±10 V. Las tensiones de alimentación del amplificador operacional son ±15 V. Supóngase que $V_\gamma = 0.7$ V. Las respuestas se muestran en las figuras D12.5 y D12.6.

D12.5



Resp.:

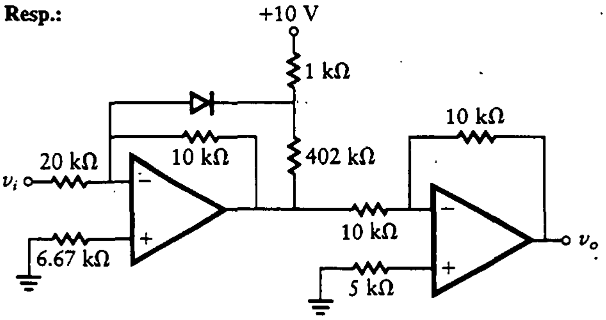
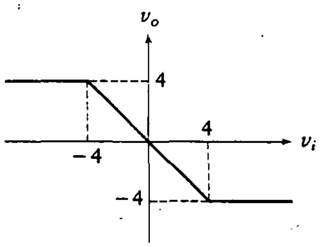


Figura D12.5

D12.6



Resp.:

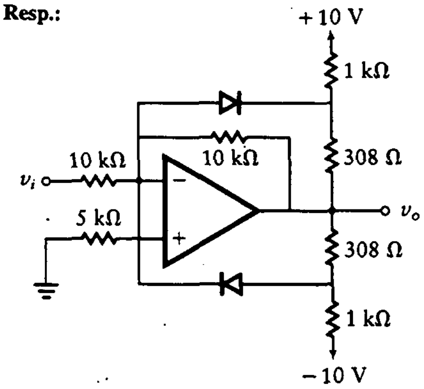
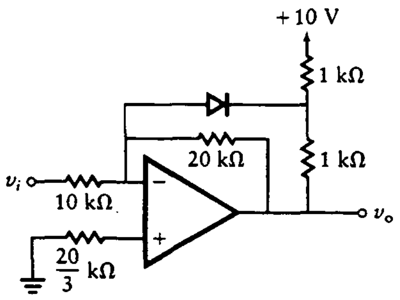


Figura D12.5

Encuéntrense las relaciones aproximadas entre la tensión de entrada, v_i, y la de salida, v_o, para los circuitos mostrados. Supóngase que $V_\gamma = 0.7$ V. Las respuestas se muestran en las figuras D12.7 y D12.8.

D12.7



Resp.:

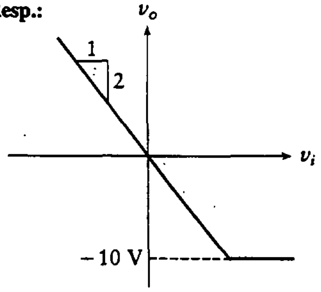
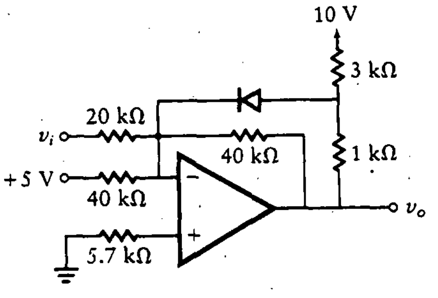


Figura D21.7

D12.8



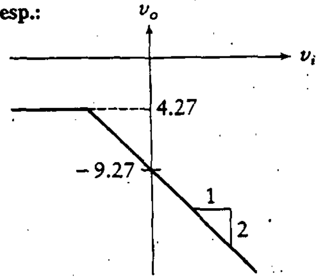


Figura D12.8

Ejemplo 12.3

Diséñese un limitador que proporcione limitación a $v_o = \pm 6$ V con ganancia de -4 y una pendiente en la región de saturación de $-1/25$. Supóngase que $V_{ref} = \pm 10$ V, $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

SOLUCIÓN El número de restricciones es menor que el número de valores de componentes desconocidos. Se selecciona $R_A = 10$ kΩ. Si esto lleva a valores no razonables de otros componentes, se regresará para revisar la selección. Despejando los otros parámetros,

$$R_F = 40\ \text{k}\Omega$$

$$V_{oc} = 6 = \frac{R_2 V_{ref}}{R_1} + \left(1 + \frac{R_2}{R_1}\right) V_\gamma$$

$$6 = \frac{R_2 \times 10}{R_1} + \left(1 + \frac{R_2}{R_1}\right) 0.7$$

por último,

$$\frac{R_2}{R_1} = 0.495$$

que representa una ecuación en R_1 y R_2. La pendiente es $\frac{-1}{25}$, lo cual da

$$-\frac{1}{25} = -\left(1 + \frac{R_2}{R_1}\right) \frac{(R_1 \parallel R_2 + R_f)}{R_A}$$

Esta es una segunda ecuación en R_1 y R_2, que proporciona los siguientes valores de resistores:

$$R_2 = 250\ \Omega$$

$$R_1 = 505\ \Omega$$

El circuito final es del tipo mostrado en la tabla 12.3 para "limitadores superior e inferior".

Ejemplo 12.4

Diséñese un comparador limitador balanceado del tipo que se ilustra en la figura 12.13 con una limitación en ±8 V y una pendiente en la parte limitada de la característica de $-\frac{1}{20}$. Supóngase que $V_{ref} = \pm 10$ V, $R_A = 10$ kΩ, $V_\gamma = 0.7$ V y $R_f = 100$ Ω.

SOLUCIÓN Se utilizan las ecuaciones de esta sección para encontrar

$$V_{oc} = 8 = V_\gamma\left(1 + \frac{R_2}{R_1}\right) + \frac{V_{ref}R_2}{R_1}$$

$$8 = 0.7\left(1 + \frac{R_2}{R_1}\right) + \frac{10R_2}{R_1}$$

Entonces

$$\frac{R_2}{R_1} = 0.682$$

que representa una ecuación con dos incógnitas. La segunda ecuación se obtiene de la pendiente dada. Esto es,

$$-\frac{1}{20} = -\frac{(1 + R_2/R_1)(R_f + R_1 \parallel R_2)}{R_A}$$

Por último, despejando el valor de los dos resistores, se tiene

$$R_2 = 332\ \Omega$$

$$R_1 = 486\ \Omega$$

El diseño está completo.

12.4 DISPARADORES SCHMITT

Una clase de comparador, conocida como *disparador Schmitt*, utiliza retroalimentación positiva para acelerar el ciclo de conmutación. Esto aumenta la ganancia y, por tanto, agudiza la transición entre los dos niveles de salida. La retroalimentación positiva mantiene al comparador en uno de los dos estados de saturación a menos que se aplique una entrada lo suficientemente grande para sobrepasar la retroalimentación.

En la figura 12.14(a) se ilustra una forma de disparador Schmitt en la que está implícita una tensión de referencia de 0 V, ya que $v_- = 0$. Se utiliza la figura 12.14(a) para obtener las curvas características. Se inicia con v_i como una tensión positiva grande. Esto provoca que la tensión de salida, v_o, se encuentre en $+E$, la tensión de saturación del amplificador operacional. La tensión en la entrada no inversora, v_+, se calcula escribiendo la ecuación de nodos en el nodo v_+ como sigue:

$$\frac{v_+ - v_i}{R_1} + \frac{v_+ - v_o}{R_2} = 0$$

entonces

$$v_+\left(\frac{1}{R_1} + \frac{1}{R_2}\right) = \frac{v_i}{R_1} + \frac{v_o}{R_2} \tag{12.11}$$

Se inicia reduciendo la magnitud de v_i para encontrar el punto de conmutación. Como $v_- = 0$ y $v_+ = v_-$ (cuando el amplificador operacional sale de saturación), la ecuación anterior se iguala a cero para obtener

$$v_i = \frac{-R_1 v_o}{R_2} = \frac{-R_1 E}{R_2} \tag{12.12}$$

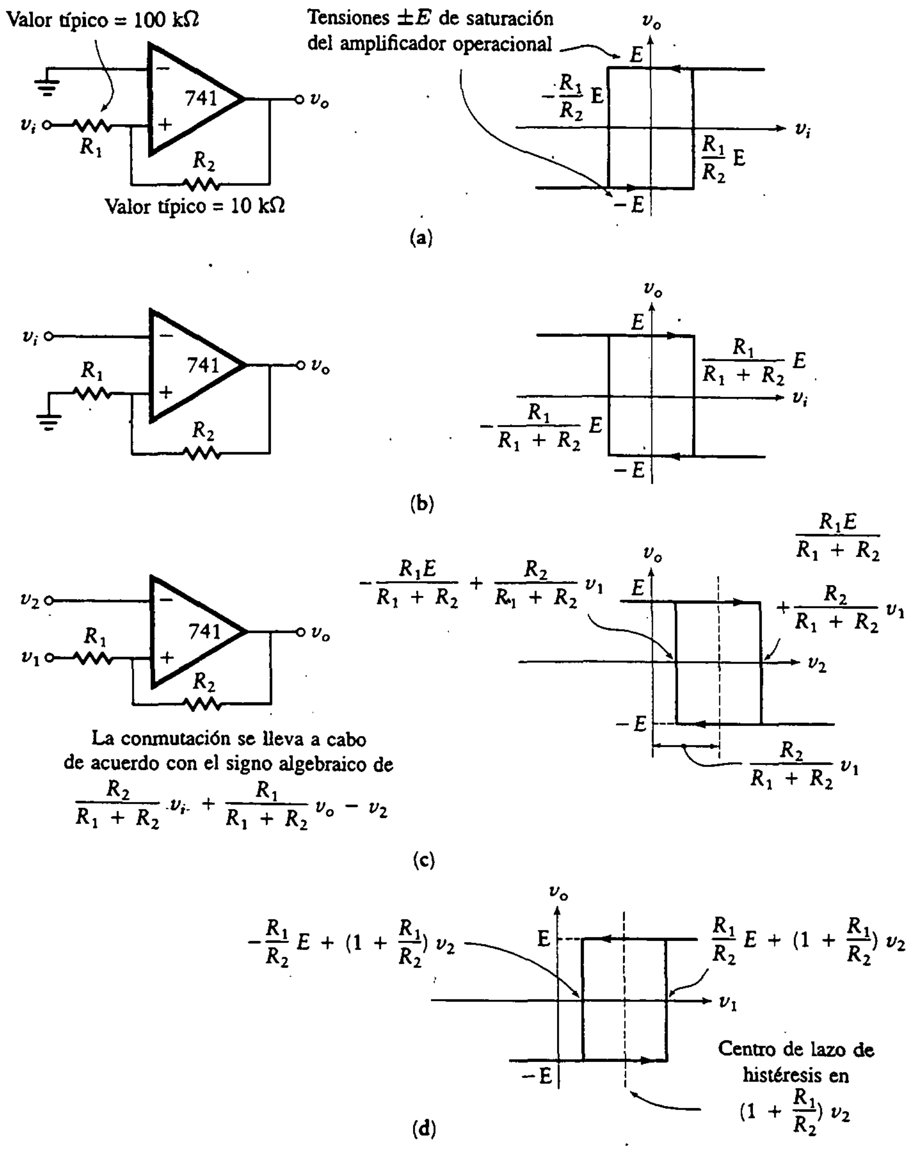
Conforme v_i se reduce a partir de una tensión positiva grande, la tensión de salida, v_o, se conmuta de $+E$ a $-E$ en el punto en el que v_+ llega a cero. Esto ocurre en el punto en el que v_i alcanza $-R_1E/R_2$. Conforme la tensión de entrada, v_i, se reduce más, v_o permanece en $-E$.

Si ahora se aumenta la tensión de entrada a partir de un valor negativo grande, la tensión de salida cambia a $+E$ cuando $v_+ = 0 = v_-$. Por tanto, la conmutación tiene lugar en

$$v_i = \frac{-R_1 v_o}{R_2} = \frac{-R_1(-E)}{R_2} = \frac{+R_1 E}{R_2} \tag{12.13}$$

v_o permanecerá en $+E$ conforme v_i aumente más allá de $+R_1E/R_2$.

Figura 12.14
Disparador Schmitt.



El lazo mostrado en la curva característica de la figura 12.14(a) es una forma de *histéresis*. Esta palabra se utiliza para describir una situación en la que el sistema tiene *memoria*. Esto es, la salida en un tiempo particular no sólo depende del valor presente de la entrada sino también de los valores pasados. Por ejemplo, para una tensión de entrada $v_i = 0$, existen dos valores posibles de v_o, dependiendo de la dirección en la que se haga la aproximación a $v_i = 0$.

Esta observación acerca de la histéresis indica una aplicación importante del disparador Schmitt. Este circuito se puede utilizar como *dispositivo de memoria binario*. Esto es, como la salida depende de valores pasados de la entrada, se puede

aplicar tensión a la entrada y luego quitarla. El circuito disparador recuerda si la tensión estaba arriba o abajo del nivel de referencia. Por tanto, en esta memoria se puede escribir uno de dos posibles valores.

Una segunda aplicación importante del disparador Schmitt es como generador de onda cuadrada. Una señal continua de desplazamiento lento en la entrada (por ejemplo, una onda sinusoidal) produce una salida que salta rápidamente entre dos niveles. El salto se produce cuando la entrada cruza el nivel de referencia. De esta forma, se puede generar una señal pulsátil a partir de una entrada continua.

El disparador Schmitt inversor de la figura 12.14(b) intercambia la tierra y las tensiones de entrada al amplificador operacional. Se analiza en forma similar a la aplicada antes. El punto de conmutación se encuentra de las ecuaciones

$$v_- = v_i$$

$$v_+ = \frac{R_1 v_o}{R_1 + R_2}$$

Los estados se conmutan cuando las dos tensiones son iguales, de modo que

$$v_i = \frac{R_1 v_o}{R_1 + R_2}$$

Cuando $v_o = +E$ y v_i aumenta a partir de una tensión negativa grande hacia una tensión positiva, el punto de conmutación ocurre en

$$v_i = \frac{R_1 v_o}{R_1 + R_2} = \frac{R_1 E}{R_1 + R_2}$$

Si $v_o = -E$ y v_i disminuye de una tensión positiva grande hacia una tensión negativa, el punto de conmutación ocurre en

$$v_i = \frac{-R_1 E}{R_1 + R_2}$$

El circuito de la figura 12.14(c) reemplaza la tierra de la entrada v_+ de la figura 12.14(b) con una tensión de referencia v_1. La segunda tensión, v_2, es la de entrada. Las ecuaciones se derivan de manera similar a las anteriores y se incluyen junto con la curva de histéresis en la figura. Nótese que toda la característica se desplaza a la derecha, por lo que ya no es simétrica alrededor del origen. Deben verificarse estos resultados antes de continuar.

El mismo circuito se puede ver de manera distinta cuando v_2 es la referencia y v_1 la entrada (supóngase que está presente un resistor de entrada en serie). Entonces esto representa una variación del circuito de la figura 12.14(a), donde la entrada a tierra en v_- se reemplaza por la referencia v_2. El resultado es la curva de la figura 12.14(d).

Ejemplo 12.5

Determínese la tensión de salida del disparador Schmitt de la figura 12.14(a). La tensión de entrada es

$$v_i = 20 \operatorname{sen} 200\pi t$$

$E = 5\ V$, $R_1 = 20\ \text{k}\Omega$ y $R_2 = 100\ \text{k}\Omega$.

SOLUCIÓN La curva de histéresis para estos valores se muestra en la figura 12.15(a). Cuando se aplica una entrada sinusoidal, $v_i = 20 \operatorname{sen} 200\pi t$, al disparador Schmitt de la figura 12.15(a), el resultado es una onda cuadrada. En la figura 12.15(b) muestra la entrada sinusoidal (con línea continua) y el tren de pulsos de salida (con línea punteada). La tensión pico a pico es 10 V y el cruce por cero está desplazado ±1 V debido al lazo de histéresis de la figura 12.15(a).

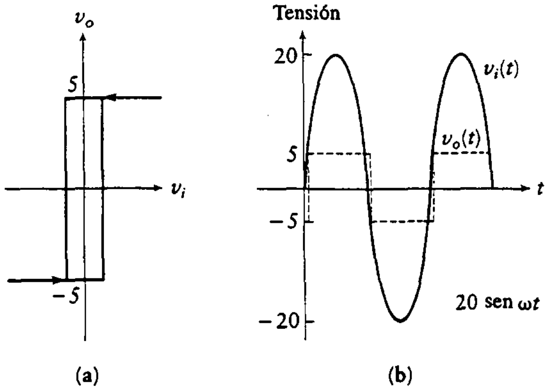


Figura 12.15
Salida del disparador Schmitt del ejemplo 12.5.

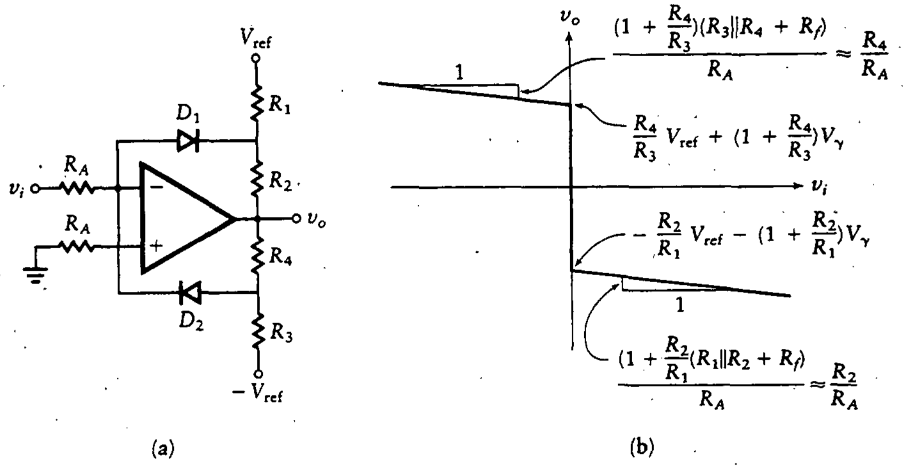
12.4.1 Disparadores Schmitt con limitadores

El comparador limitador, que se estudió en la sección 12.3, se puede utilizar junto con cualquiera de los disparadores Schmitt de la figura 12.14. Al hacerlo, la tensión de saturación del amplificador operacional, E, que no es muy exacta, se reemplaza por una tensión precisa, V_{ref}. En la figura 12.16(a) se ilustra un comparador limitador sin balancear. El diodo D_1 controla el punto inferior de saturación, y D_2 controla el punto superior de saturación. La curva característica resultante se muestra en la figura 12.16(b).

Utilizando esta configuración, las tensiones de saturación, $\pm E$, se reemplazan por las tensiones limitantes mostradas en la figura.

Como ejemplo de utilización de un limitador con disparador Schmitt, considérese el circuito de la figura 12.17. Estos circuitos utilizan retroalimentación positiva para

Figura 12.16
Comparador limitador sin balancear.



alcanzar la acción de conmutación más rápida necesaria para un disparador Schmitt, pero con los límites en la curva de la tensión de salida determinados por V_{ref}.

Cuando se aplica una tensión de cd en una entrada del disparador Schmitt, el lazo de histéresis se mueve a lo largo del eje v_i. Esto se demuestra utilizando la figura 12.14(c) con v_1 como tensión de referencia en cd y v_2 como v_i. Se utiliza LTK para derivar

$$\frac{v_1 - v_+}{R_1} + \frac{v_o - v_+}{R_2} = 0$$

de modo que

$$v_+\left(\frac{1}{R_1} + \frac{1}{R_2}\right) = \frac{v_1}{R_1} + \frac{v_o}{R_2}$$

Como el amplificador operacional está actuando en su región lineal hasta que v_o alcanza la tensión *límite* (ésta es la fuente $\pm V_{CC}$ aplicada al amplificador operacional),

$$v_+ = v_- = v_2$$

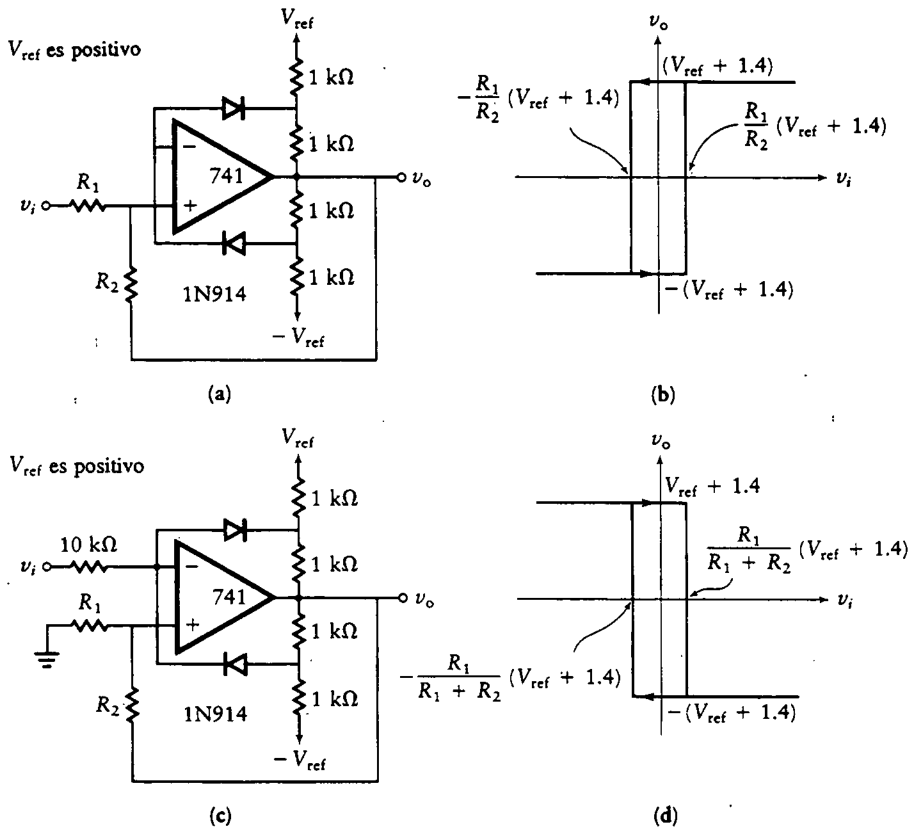
Por tanto,

$$v_2 = \frac{R_2 v_1}{R_1 + R_2} + \frac{R_1 v_o}{R_1 + R_2}$$

$$v_1 = V_{ref}$$

$$v_2 = v_i$$

Figura 12.17 Disparador Schmitt con valores limitados.



Como la retroalimentación positiva provocó que el amplificador alcanzara la tensión límite, E, entonces $v_o = E$ y

$$v_i = \frac{R_2 V_{ref}}{R_1 + R_2} + \frac{R_1 E}{R_1 + R_2}$$

Cuando se conmuta al límite negativo, $v_o = -E$ y

$$v_2 = \frac{R_2 V_{cd}}{R_1 + R_2} - \frac{R_1 E}{R_1 + R_2}$$

De esta forma, el lazo de histéresis se mueve a lo largo del eje v_i como se muestra en la figura 12.14(c). Para mover el lazo de histéresis arriba y abajo del eje v_o, se añade una tensión en cd a la salida del disparador Schmitt.

Ejercicios

Diséñense circuitos con amplificador operacional con las siguientes características de transferencia aproximadas. Las fuentes de referencia disponibles son de ±10 V. Las fuentes de alimentación del amplificador operacional son de ±15 V. Las respuestas se muestran en las figuras D12.9 y D12.10. Supóngase que $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

D12.9

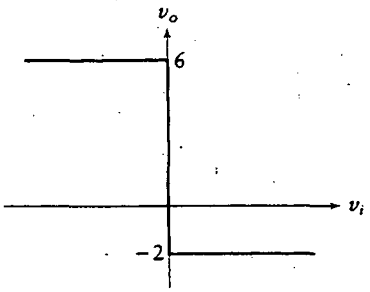
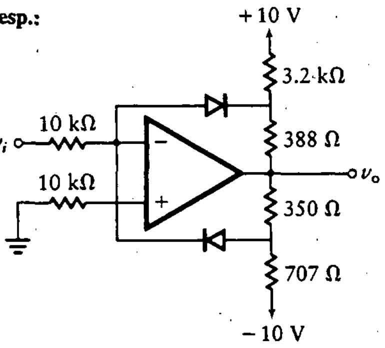


Figura D12.9

Resp.:



D12.10

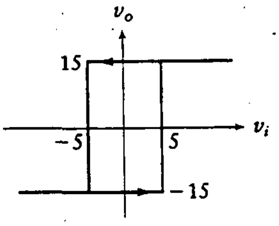
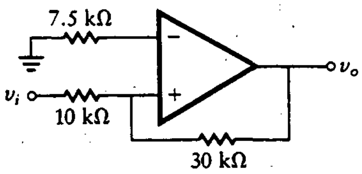


Figura D12.10

Resp.:



Encuéntrense las relaciones aproximadas entre la tensión de entrada v_i y la de salida v_o en cada circuito mostrado. Las respuestas se muestran en las figuras D12.11 y D12.12.

D12.11

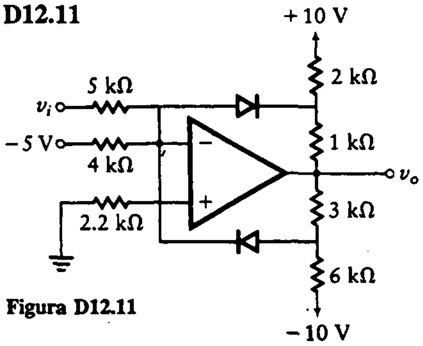
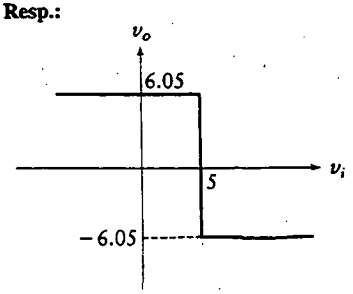
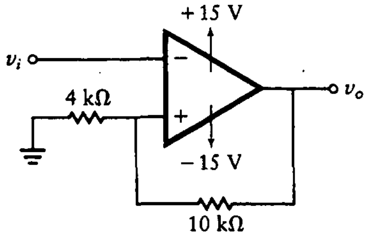


Figura D12.11

Resp.:



D12.12



Resp.:

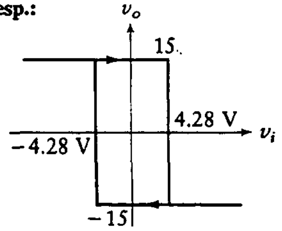


Figura D12.12

Ejemplo 12.6

Diséñese un comparador limitador sin balancear del tipo que se muestra en la figura 12.16. La limitación se debe producir a +6 V y −4 V, con la pendiente de la característica de limitación de $-\frac{1}{25}$. Supóngase una V_{ref} = 10 V, R_A = 10 kΩ, $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

SOLUCIÓN Utilizando las ecuaciones de este capítulo, se encuentra

$$V_{oc} = +6 = V_\gamma\left(1 + \frac{R_2}{R_1}\right) + \frac{V_{ref}R_2}{R_1}$$
$$= 0.7\left(1 + \frac{R_2}{R_1}\right) + \frac{10R_2}{R_1}$$

Despejando R_2/R_1, se tiene

$$\frac{R_2}{R_1} = 0.495$$

La pendiente requerida proporciona la segunda ecuación en R_1 y R_2.

$$-\frac{1}{25} = \frac{-(1 + R_2/R_1)(100 + R_1 \parallel R_2)}{10\ \text{k}\Omega}$$

Despejando R_1 y R_2, se obtiene

$$R_2 = 250\ \Omega$$
$$R_1 = 505\ \Omega$$

Nótese que la primera parte del diseño es paralela a la del ejemplo 12.3. En seguida se despejan los dos resistores restantes.

$$V_{oc} = -4 = -V_\gamma\left(1 + \frac{R_4}{R_3}\right) - \frac{V_{\text{ref}}R_4}{R_3}$$

$$\frac{R_4}{R_3} = 0.308$$

La segunda ecuación en R_3 y R_4 se obtiene de la especificación de la pendiente,

$$-\frac{1}{25} = \frac{-(1 + R_4/R_3)(100 + R_3 \parallel R_4)}{10\ \text{k}\Omega}$$

Despejando las resistencias, se obtiene

$$R_4 = 269\ \Omega$$
$$R_3 = 873\ \Omega$$

PROBLEMAS

Encuéntrense las relaciones aproximadas entre las tensiones de entrada v_1 y v_2 y la tensión de salida v_o en cada uno de los circuitos de los problemas 12.1 a 12.4. Supóngase $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

12.1

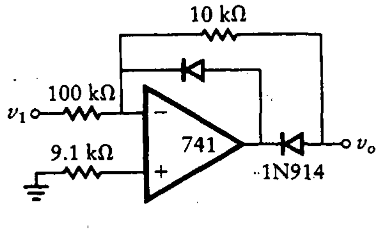


Figura P12.1

12.2

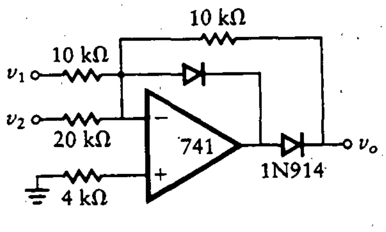


Figura P12.2

12.3

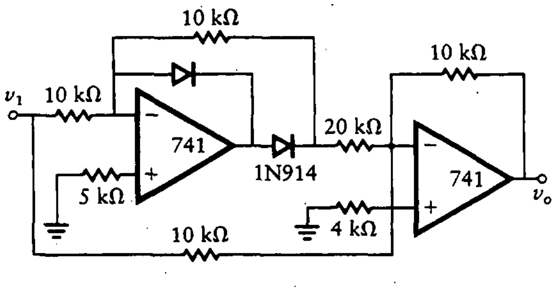


Figura P12.3

12.4

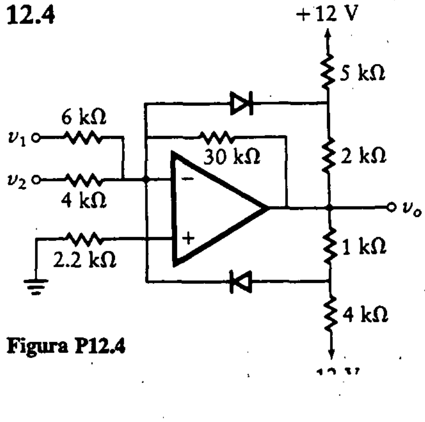


Figura P12.4

Diséñense circuitos con las características de transferencia aproximadas que aparecen en los problemas 12.5 a 12.11. Se hallan disponibles fuentes de referencia de +10 V y −10 V. Supóngase que $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

12.5

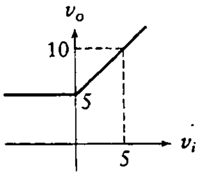


Figura P12.5

12.6

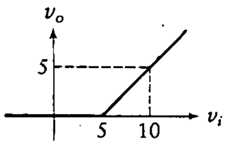


Figura P12.6

12.7

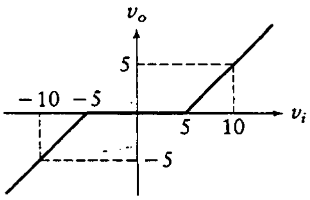


Figura P12.7

12.8

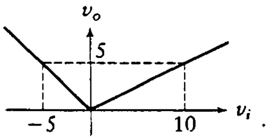


Figura P12.8

12.9

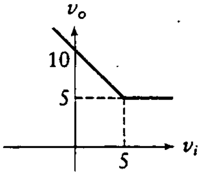


Figura P12.9

12.10

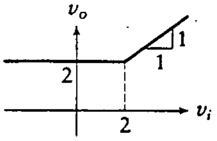


Figura P12.10

12.11

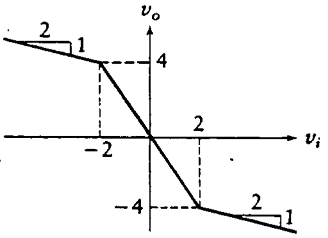


Figura P12.11

Encuéntrense las relaciones aproximadas entre las tensiones de entrada v_1 y v_2 y la tensión de salida v_o en cada uno de los circuitos mostrados en los problemas 12.12 a 12.15. Supóngase que $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

12.12

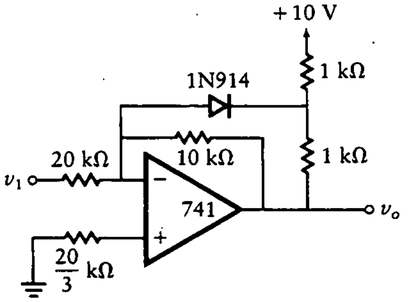


Figura P12.12

12.13

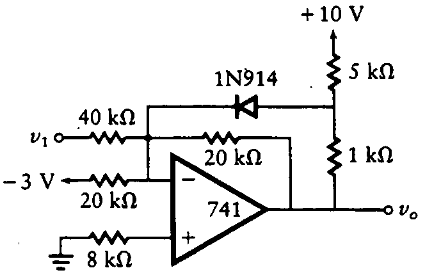


Figura P12.13

12.14

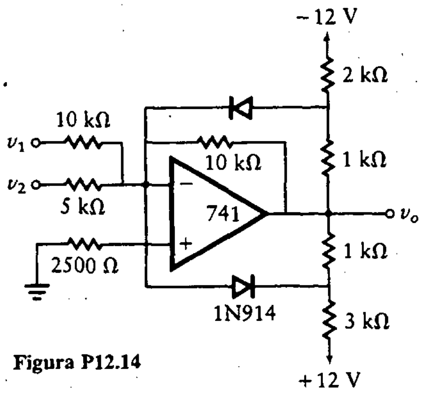


Figura P12.14

12.15

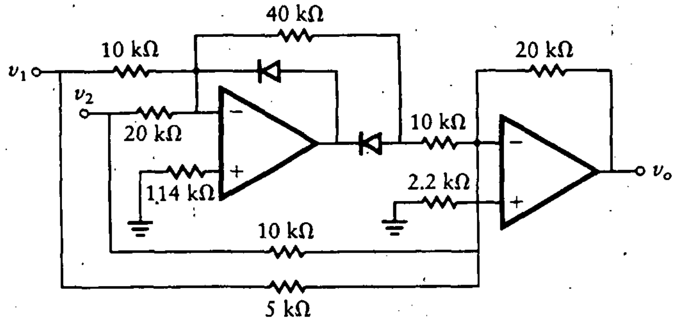


Figura P12.15

Diséñense circuitos con 741 con las características de transferencia aproximadas que se muestran en los problemas 12.16 a 12.22. Se hallan disponibles fuentes de referencia de ±10 V. Las fuentes de alimentación del amplificador operacional son de ±15 V. Supóngase que $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

12.16

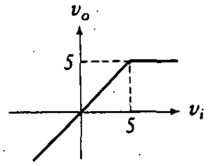


Figura P12.16

12.17

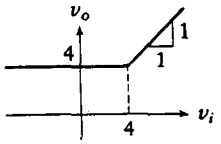


Figura P12.17

12.18

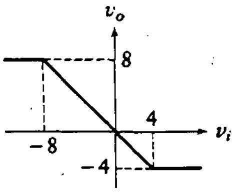


Figura P12.18

12.19

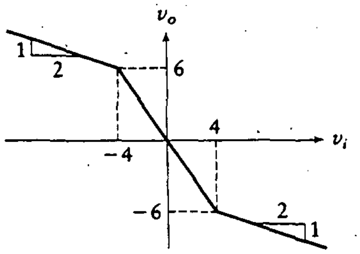


Figura P12.19

12.20

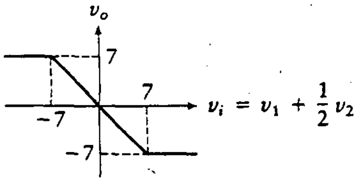


Figura P12.20

12.21

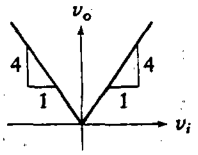


Figura P12.21

12.22

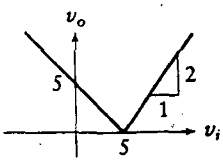


Figura P12.22

Encuéntrense las relaciones aproximadas entre las tensiones de entrada v_1 y v_2 y la tensión de salida v_o en cada uno de los circuitos mostrados en los problemas 12.23 a 12.26. Supóngase que $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

12.23

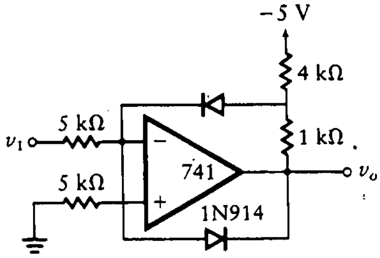


Figura P12.23

12.24

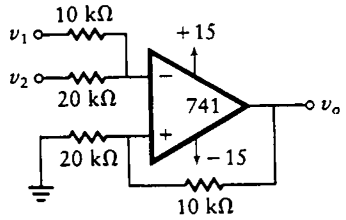


Figura P12.24

12.25

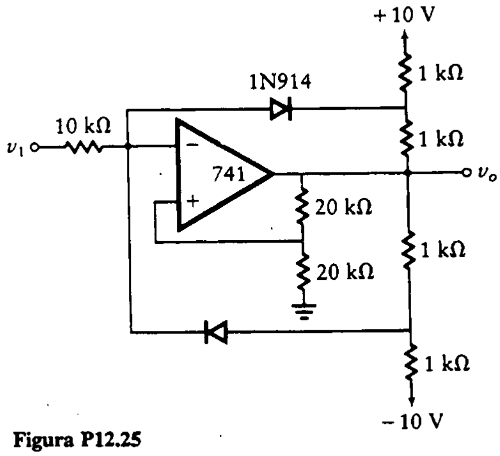


Figura P12.25

12.26

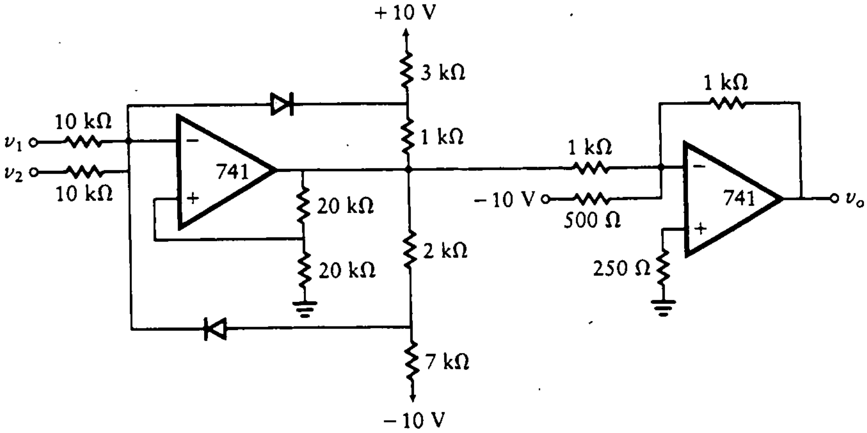


Figura P12.26

Diséñense circuitos con 741 con las características de transferencia aproximadas que aparecen en los problemas 12.27 a 12.33. Se hallan disponibles fuentes de referencia de ±10 V. Las fuentes de alimentación del amplificador operacional son de ±15 V. Supóngase que $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

12.27

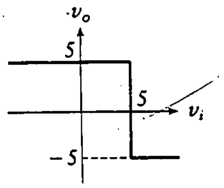


Figura P12.27

12.28

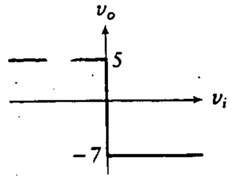


Figura P12.28

12.29

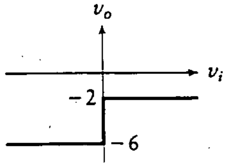


Figura P12.29

12.30

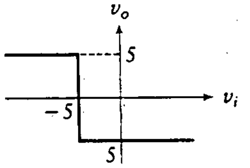


Figura P12.30

12.31

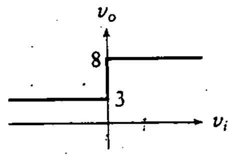


Figura P12.31

12.32

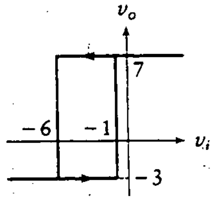


Figura P12.32

12.33

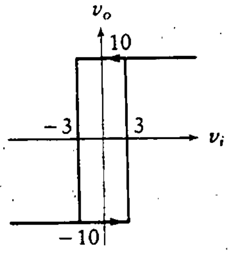


Figura P12.33

PROBLEMAS ADICIONALES

Encuentre las relaciones aproximadas entre las tensiones de entrada, v_1 y v_2, y la tensión de salida, v_o, para cada uno de los circuitos de los problemas PA12.1 a PA12.7. Suponga $V_\gamma = 0.7$ V y $R_f = 100\ \Omega$.

PA12.1

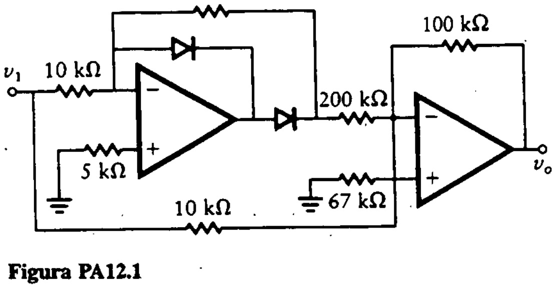


Figura PA12.1

PA12.2

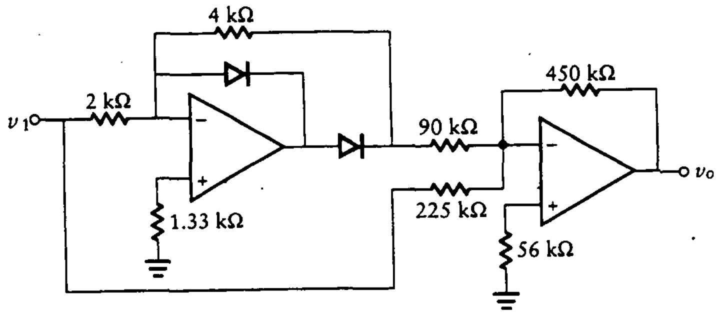


Figura PA12.2

PA12.3

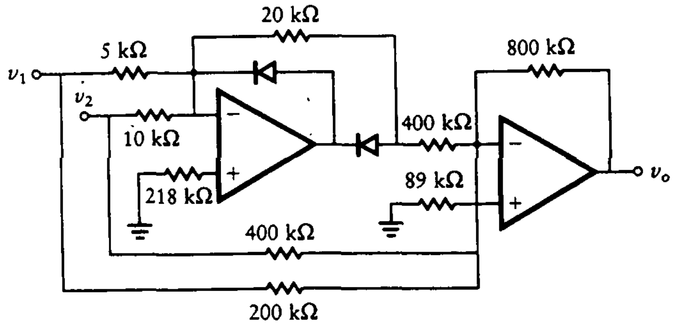


Figura PA12.3

PA12.4

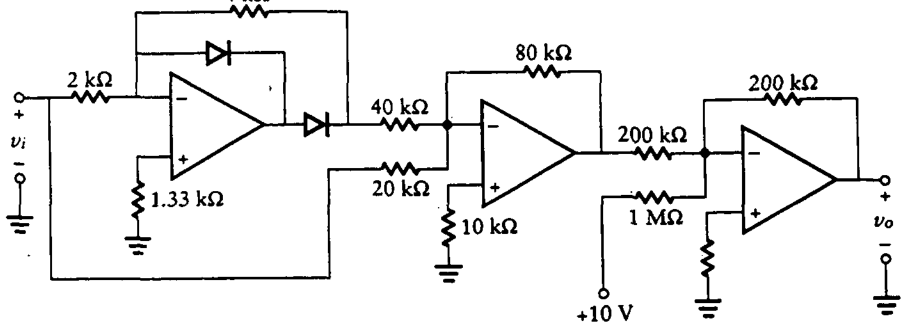


Figura PA12.4

PA12.5

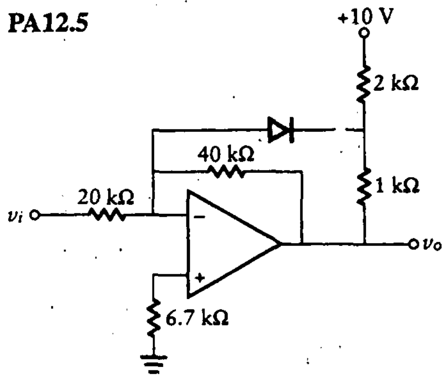


Figura PA12.5

PA12.6

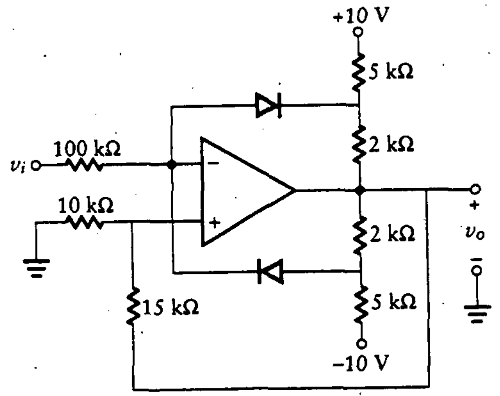


Figura PA12.6

PA12.7

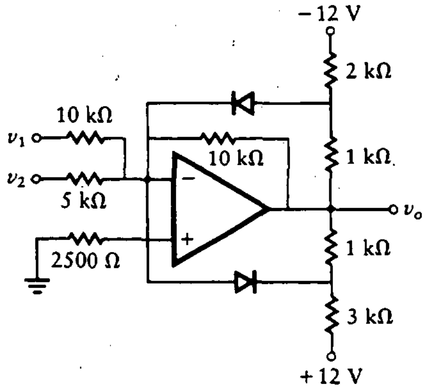


Figura PA12.7

Diseñe circuitos con amp-op con las características de transferencia mostradas en las figuras PA12.8 y PA12.9

PA12.8

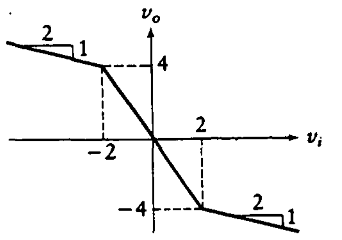


Figura PA12.8

PA12.9

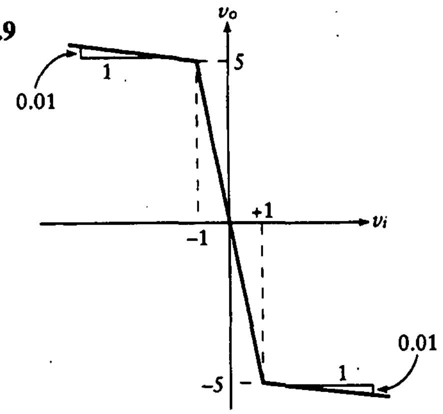


Figura PA12.9

PA12.10 Analice el circuito de valor absoluto de precisión de la figura PA12.10. La salida, v_o, de este circuito es igual a $|v_i|$. Debido a la alta ganancia de los amp-op, la caída de tensión *en directo* del diodo efectivamente es cero.

PA12.10

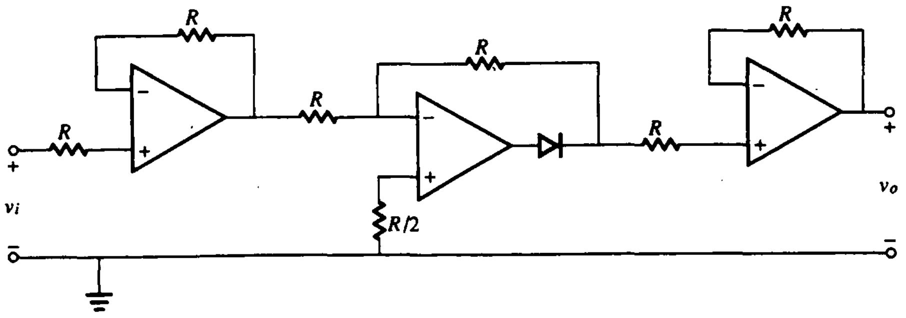


Figura PA12.10

13

FILTROS ACTIVOS

13.0 INTRODUCCIÓN

Una persona acaba de ser contratada por una empresa que diseña y fabrica juegos de vídeo. La compañía ha iniciado la fabricación de una nueva generación de juegos acoplando la tecnología de discos compactos (*compact disk*) con los tradicionales juegos de vídeo controlados por microprocesador. El artículo pionero en este mercado es uno llamado "La colonización de Marte". Acopla imágenes reales de película tomada en la superficie de Marte con imágenes superpuestas del jugador. La Comisión Federal de Comunicaciones (CFC) debe emitir una licencia para el juego ya que las señales de vídeo del jugador se transmiten desde una pequeña cámara remota al módulo de juego. Desafortunadamente, la CFC rechazó la licencia debido a la presencia de señales espurias, y manifiesta que el transmisor interfiere con señales en las bandas adyacentes. La compañía dio a la persona recién contratada la pequeña tarea de eliminar el problema lo más pronto posible ya que las órdenes de compra para el juego (a un precio fijo) se deben llenar en 30 días.

Puesto que esta persona tomó cursos de pregrado en síntesis de redes, hace acopio de todos sus conocimientos y diseña un filtro que cumple con las especificaciones de la CFC para reducir las transmisiones fuera de banda. Sin embargo, estas especificaciones son tan rígidas que el filtro requiere muchos componentes. Puesto que los componentes son baratos, esto no le preocupa hasta que se da cuenta del problema "real". Esto es, el precio de los componentes no es tan problemático como el espacio para alojarlos. Luego de echar mano de toda su experiencia y

conocimiento, el responsable no puede encontrar una solución. Otro ingeniero que trabaja para la misma compañía le pregunta si consideró filtros activos, lo cual, de hecho, no hizo. El presente capítulo mostrará cómo corregir esta deficiencia de conocimiento y proporcionará las herramientas para resolver el problema planteado.

El *filtro* es un sistema diseñado para obtener una característica de transferencia deseada. Esto es, opera sobre una señal (o señales) de entrada en una forma predeterminada. Los *filtros lineales pasivos* por lo general se consideran parte del estudio de circuitos, redes o sistemas lineales. Están compuestos de una combinación de resistores, inductores y capacitores. Aunque es posible obtener una amplia variedad de características de transferencia utilizando estos elementos, a menudo se requiere gran cantidad de componentes. Esto conduce a buscar alternativas a filtros pasivos.

Los *filtros activos* contienen amplificadores, lo cual permite diseñar una amplia gama de funciones de transferencia (dentro de las restricciones relacionadas con las propiedades de la función de transferencia).

En este capítulo se presentan los detalles prácticos de los filtros activos. En primer lugar se consideran los integradores y derivadores, seguidos por los filtros activos de primer y segundo órdenes. Se desarrollan los importantes conceptos de función de transferencia, respuesta al impulso, respuesta en frecuencia y clasificación de filtros.

Luego se analizan los filtros pasa-bajas, pasa-altas, pasa- banda y rechaza-banda. Las funciones de transferencia se analizan antes de la presentación de los circuitos de filtración reales. Se presenta una configuración general y luego se adapta a los diferentes tipos de filtros.

En la sección 13.6 se exploran los filtros analógicos clásicos. En particular, se analizan los filtros Butterworth y Chebyshev. A lo largo del capítulo se presentan técnicas de diseño práctico.

13.1 INTEGRADORES Y DERIVADORES

Un circuito pasivo simple de dos elementos se puede enfocar como un integrador o un derivador. Por ejemplo, un circuito RC en serie puede realizar esta función. En la figura 13.1 se ilustra un circuito RC con la aplicación de una fuente de tensión.

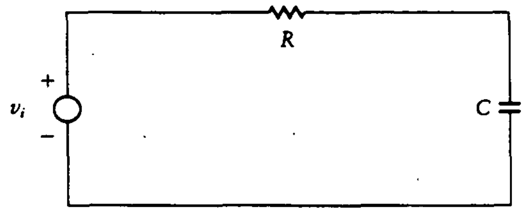


Figura 13.1
Circuito RC.

La corriente en un capacitor es proporcional a la derivada de la tensión a través del capacitor. El circuito actúa como derivador si la resistencia, R, es pequeña comparada con la impedancia capacitiva, $1/\omega C$, en las frecuencias de interés. Entonces la tensión de entrada es casi igual a la del capacitor, ya que la tensión a través del resistor es pequeña. Por tanto, la corriente es aproximadamente igual a la derivada de la tensión de entrada. La salida se toma a través del resistor, puesto que es más o menos proporcional a la derivada de la tensión de entrada.

Con el fin de calcular un integrador, se utiliza el método opuesto. Esto es, se desea que la corriente en el circuito sea proporcional a la tensión de entrada. Esto se logra haciendo que la resistencia predomine sobre la impedancia capacitiva. Ya que la tensión en el capacitor es proporcional a la integral de la corriente a través de él, la salida se toma en el capacitor.

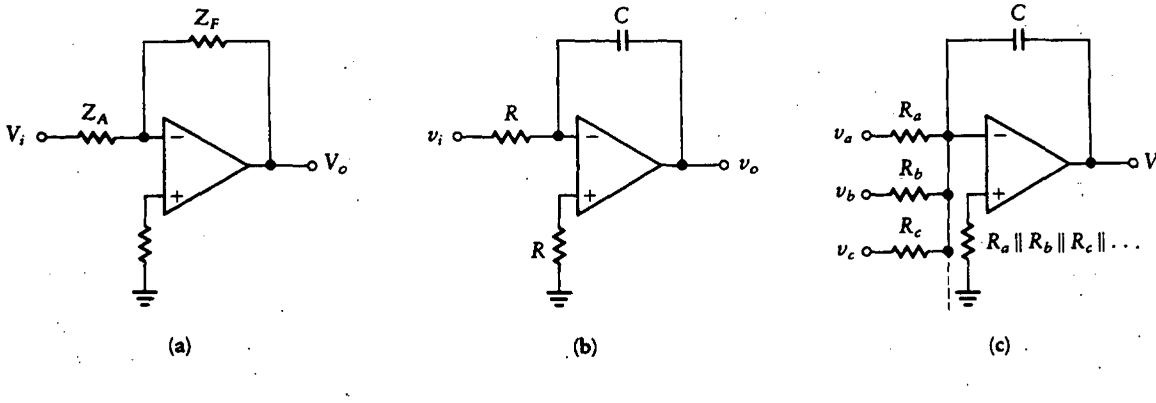
Este circuito pasivo calcula las operaciones de derivación e integración, y la aproximación es mejor a medida que la impedancia de uno de los elementos se hace más pequeña que la del otro. Por desgracia, conforme esta impedancia se hace menor, la magnitud de la tensión de salida también disminuye.

Es posible mejorar en forma considerable en desempeño si se cambia de circuitos pasivos a activos. Se inicia con el amplificador operacional básico de la figura 13.2(a). La ganancia de este amplificador está dada por la ecuación (13.1), donde Z_F es la impedancia en el trayecto de retroalimentación y Z_A la impedancia entre la fuente y la terminal de entrada inversora.

$$\frac{V_o}{V_i} = -\frac{Z_F}{Z_A} \tag{13.1}$$

La notación en operadores de transformada de Laplace para un integrador es $1/s$. Por tanto, se obtiene la integración si se eligen impedancias que hagan al lado derecho de la ecuación (13.1) proporcional a $1/s$. Por ejemplo, si Z_F es la impedancia de un capacitor y Z_A la de un resistor, la ganancia toma la forma deseada.

Figura 13.2 Circuitos con amplificador operacional.



En la figura 13.2(b) se muestra una forma del integrador. El comportamiento de este circuito se describe por medio de la siguiente ecuación:

$$V_o(s) = -\left(\frac{1}{sCR}\right) V_i(s)$$

Cuando esta ecuación en notación de operadores se convierte al dominio del tiempo, se obtiene

$$v_o(t) = -\left(\frac{1}{RC}\right)\int_0^t v_i(\tau)\,d\tau \tag{13.2}$$

El análisis anterior hace que este filtro activo aparezca como un integrador perfecto. Claro que al utilizar el modelo ideal para el amplificador operacional, se está trabajando aún con una aproximación. Sin embargo, este circuito activo proporciona una mejor aproximación a un integrador que la que se logra con circuitos pasivos. Otra ventaja de utilizar amplificadores operacionales se debe a la facilidad de sumar entradas.

En la figura 13.2(c) se ilustra un *integrador sumador inversor*. Esta configuración proporciona las siguientes ecuaciones:

$$V_o(s) = -\frac{1}{s}\left[\frac{V_a(s)}{R_aC} + \frac{V_b(s)}{R_bC} + \cdots\right] \tag{13.3}$$

En el dominio del tiempo, esto se convierte en

$$v_o(t) = -\int_0^t \left[\frac{v_a(\tau)}{R_aC} + \frac{v_b(\tau)}{R_bC} + \cdots\right] d\tau$$

Es fácil obtener diferencias entre las señales de entrada cuando se utilizan amplificadores operacionales en los circuitos. En la figura 13.3 se muestra un *integrador de diferencias*. Las ecuaciones se obtienen encontrando V_- y V_+, para luego igualarlas como sigue:

$$\begin{aligned} V_- &= \frac{(V_o - V_1)R}{R + 1/sC} + V_1 \\ &= \frac{RCsV_o + V_1}{RCs + 1} \\ V_+ &= \frac{1/Cs}{R + 1/Cs}V_2 = \frac{RCsV_o + V_1}{RCs + 1} \end{aligned}$$

Obsérvese que se utiliza notación en mayúsculas, ya que las tensiones son funciones de s. Como $G \to \infty$, $V_+ = V_-$,

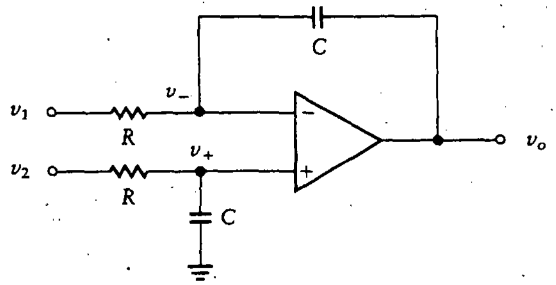


Figura 13.3
Integrador de diferencias.

$$V_o = \frac{V_2 - V_1}{RCs} \tag{13.4}$$

y, en el dominio del tiempo,

$$v_o(t) = \left(\frac{1}{RC}\right)\int_0^t [v_2(t) - v_1(t)]\,dt$$

Los componentes R y C se eligen para obtener la ganancia deseada.

Si se intercambian el resistor y el capacitor del circuito anterior, el resultado es el *derivador básico*, como se muestra en la figura 13.4(a). Como $V_+ = V_- = 0$, se escribe una ecuación de nodos en la terminal inversora del amplificador operacional, lo que da

$$\frac{V_i}{1/Cs} = \frac{-V_o}{R}$$

y

$$V_o = \frac{-RV_i}{1/sC} = -RCsV_i \tag{13.5}$$

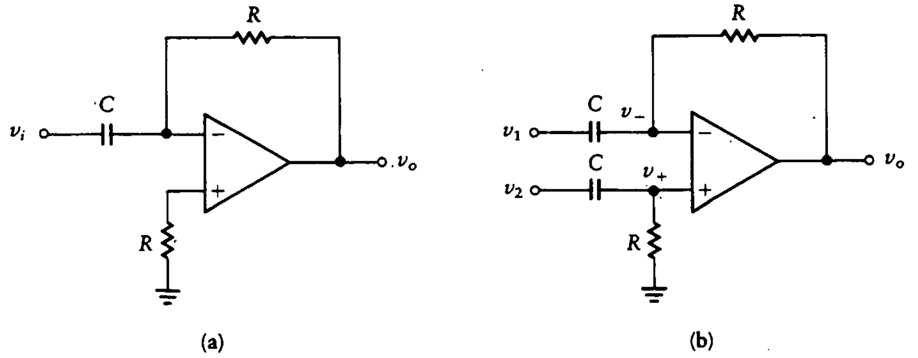
En el dominio del tiempo, la ecuación (13.5) se vuelve

$$v_o(t) = -RC\frac{dv_i(t)}{dt}$$

Los circuitos derivadores no son muy utilizados. Una de las razones de ello es el efecto que tiene el circuito sobre el ruido aleatorio. La integración es un proceso de "suavizamiento", mientras que la derivación tiene el efecto contrario. Por ejemplo, si hay picos de ruido, la derivación produce picos mayores debido a la presencia de pendientes pronunciadas en la forma de onda de la tensión de ruido.

Al igual que con los integradores, se puede sumar o tomar la diferencia entre las entradas. En la figura 13.4(b) se muestra un *derivador de diferencias*. Las

Figura 13.4
Derivador.



ecuaciones que describen su operación se derivan de las relaciones básicas del amplificador operacional, como sigue

$$V_+ = \frac{V_2 R}{R + 1/Cs} = \frac{V_2 RCs}{RCs + 1}$$

$$V_- = (V_o - V_1)\frac{1/Cs}{1/Cs + R} + V_1$$

$$= \frac{V_o + RCsV_1}{RCs + 1}$$

Como $G \to \infty$, $V_+ = V_-$, y se obtiene

$$V_o = (V_2 - V_1)RCs \tag{13.6}$$

En el dominio del tiempo, esto se convierte en

$$v_o(t) = RC\frac{d[v_2(t) - v_1(t)]}{dt}$$

El proceso de derivación acentúa los componentes de alta frecuencia. Esto es, al tomar la derivada de una sinusoide se multiplica la amplitud por la frecuencia de la forma de onda. Por esta razón, si se utilizan derivadores, a menudo se combinan con filtros cuya función de transferencia atenúa las altas frecuencias. En realidad, las limitaciones de frecuencia del amplificador operacional suelen proporcionar esta atenuación sin la necesidad de circuitos adicionales. Por tanto, a baja frecuencia, la función de transferencia se aproxima a un múltiplo de s, mientras que en altas frecuencias la función se aproxima ya sea a una constante o a cero. Los siguientes son ejemplos típicos de funciones de transferencia compuestas:

$$T_1(s) = \frac{100s}{s + 100}$$

$$T_2(s) = \frac{100s}{s^2 + 20s + 100}$$

Ambas funciones se aproximan a $T(s) = s$ en bajas frecuencias.

13.2 DISEÑO DE REDES ACTIVAS

La *síntesis de redes* es el estudio de técnicas para pasar de una función de transferencia deseada a la realización práctica del circuito. La inclusión de un amplificador al circuito pasivo conduce a una función de transferencia que tiene la forma de una razón de dos polinomios. El multiplicador constante (ganancia total) se puede cambiar, pero la forma de la función de transferencia se mantiene igual.

La forma general de la red activa se repite en la figura 13.5.

Existen varias ventajas asociadas al uso de redes activas en comparación con las pasivas. Algunas de éstas se mencionan en seguida:

- *Bajo costo* En aplicaciones de baja frecuencia, los inductores son grandes y caros. Los filtros activos que utilizan amplificador operacional se pueden diseñar sin inductores.
- *Configuración en cascada* Debido a su buen aislamiento, los filtros complejos se pueden dividir en una serie de secciones simples. La configuración en cascada permite que cada sección del filtro se diseñe en forma separada y luego se coloquen uno tras otro de tal forma que la función de transferencia total sea el producto de las funciones de las secciones individuales.
- *Ganancia* Los filtros activos pueden producir la ganancia necesaria para adecuarse a los requerimientos del sistema o filtro.

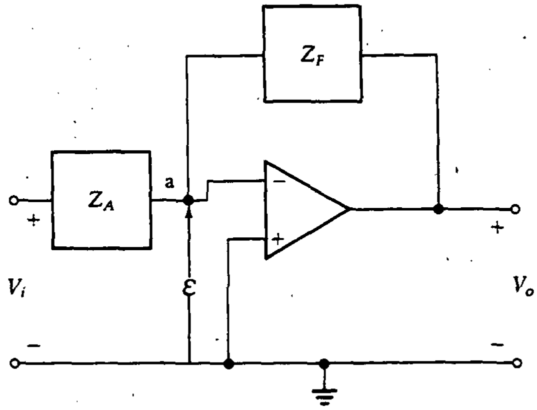


Figura 13.5
Amplificador operacional utilizado para síntesis de redes activas.

Junto a estas ventajas existen algunas limitaciones.

- *Fuente de alimentación* Es necesaria una fuente de alimentación para todos los filtros activos, mientras que los filtros pasivos no requieren ninguna fuente.
- *Límites de la señal* El amplificador operacional tiene, en forma inherente, límites definidos en la señal más allá de los cuales se presentan operaciones no lineales.
- *Límites de frecuencia* El amplificador operacional no responde en alta frecuencia, por lo que debe tener una frecuencia de corte muy baja para que se pueda utilizar en una aplicación particular.

Uno de los métodos más directos para el diseño de redes activas se basa en la ecuación (13.1). Las impedancias Z_F y Z_A no representan elementos simples. De hecho, pueden ser cualesquiera dos funciones de dos terminales resultantes de la combinación de elementos. En la tabla 13.1 se ilustran algunas configuraciones comunes de dos terminales y sus funciones de impedancia asociadas.

Ejemplo 13.1

Utilícense la tabla 13.1 y el circuito de la figura 13.5 para sintetizar la siguiente función de transferencia:

$$\frac{V_o}{V_i} = \frac{-(s+30)^2}{(s+5)(s+100)} = \frac{-(s+30)}{s+5}\,\frac{s+30}{s+100} \tag{13.7}$$

SOLUCIÓN Comparando la ecuación (13.7) con la (13.1) y despejando las funciones de impedancia de dos terminales, se encuentra una posible realización como sigue:

$$Z_F = \frac{s+30}{s+5}$$

y

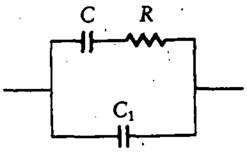
$$Z_A = \frac{s+100}{s+30} \tag{13.8}$$

En la tabla 13.1 se encuentran varias redes de dos terminales que satisfacen la ecuación (13.8). En particular, se pueden utilizar las redes (b) o (e).

Tabla 13.1 Funciones de dos terminales.

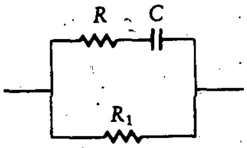
Circuito — **Función de transferencia**

(a)



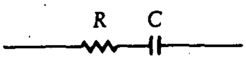
$$\frac{s + \frac{1}{RC}}{C_1 s\left(s + \frac{1}{R}\frac{C_1 + C}{C_1 C}\right)}$$

(b)



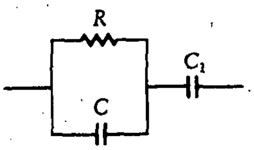
$$\frac{RR_1\left(s + \frac{1}{RC}\right)}{(R + R_1)\left[s + \frac{1}{C(R + R_1)}\right]}$$

(c)



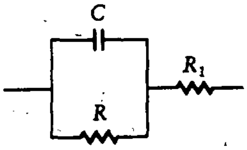
$$\frac{RCs + 1}{Cs}$$

(d)



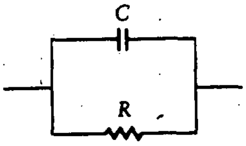
$$\frac{(C + C_1)\left[s + \frac{1}{R(C + C_1)}\right]}{CC_1 s\left[s + \frac{1}{RC}\right]}$$

(e)



$$\frac{R_1\left(s + \frac{1}{C}\frac{R + R_1}{R_1 R}\right)}{s + \frac{1}{RC}}$$

(f)



$$\frac{1}{C\left(s + \frac{1}{RC}\right)}$$

Ejercicio

D13.1 Diséñese una red activa para generar la siguiente función de transferencia.

$$\frac{V_o}{V_i} = -\frac{(s+4)^2}{s(s+20)^2}$$

Utilícese un amplificador operacional; no deben emplearse inductores.

Resp.: Utilícese el circuito (b) de la tabla 13.1 para Z_A y el circuito (d) para Z_F. El resultado se muestra en la figura D13.1.

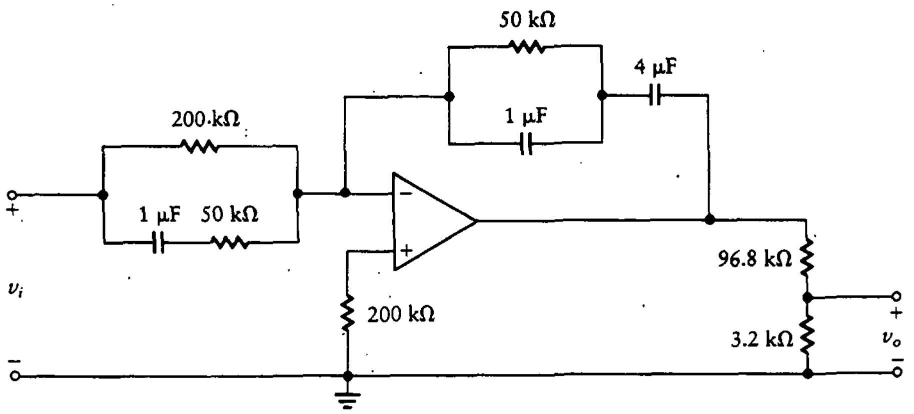


Figura D13.1

13.3 FILTROS ACTIVOS

La palabra *filtro* se refiere a la eliminación de porciones no deseadas del espectro de frecuencia. En principio se aplicaba a sistemas que eliminaban componentes de frecuencia no deseados de una señal en el tiempo. La palabra se utiliza en forma más general para incluir sistemas que simplemente ponderan los distintos componentes de frecuencia de una función en una forma predeterminada. Cuatro de las clases más comunes de filtros que se encuentran son pasa-bajas, pasa-altas, pasa-banda y rechaza-banda.

Los filtros ideales *pasa-bajas* permiten el paso de frecuencias hasta un límite dado y atenúan las frecuencias por arriba de ese límite. Los filtros ideales *pasa-altas* son exactamente lo contrario de los pasa-bajas, ya que pasan las frecuencias por encima del límite y atenúan las que se encuentran por debajo. Los filtros ideales *pasa-banda* sólo permiten el paso de frecuencias en una banda particular y atenúan las frecuencias restantes. Los filtros *rechaza-banda* ideales son lo contrario de los pasa-banda, ya que dejan pasar las frecuencias que se encuentran fuera de la banda particular y rechazan las frecuencias dentro de ésta.

Los *filtros activos* producen ganancia y por lo general consisten sólo en resistores y capacitores junto con circuitos integrados. El amplificador operacional, cuando se combina con resistores y capacitores, puede simular el desempeño de filtros pasivos inductivo-capacitivos. Para filtros de orden elevado, las configuraciones activas son más simples que las pasivas.

Cuando se diseña un circuito o sistema, es usual que se pongan restricciones. Cumplir las especificaciones deseadas es el fundamento del diseño. Las especificaciones pueden incluir el *decaimiento* (la razón de atenuación de la señal en frecuencias fuera de la banda de paso), la *frecuencia de corte* y la ganancia producida a la frecuencia de resonancia del circuito. Estos son requerimientos en el dominio de la frecuencia. Los requerimientos en el dominio del tiempo son también importantes, ya que determinan la respuesta transitoria. En general se expresan en términos de *tiempo de subida, sobredisparo* y *tiempo de estabilización* para entradas preestablecidas (por lo general funciones escalón).

Con frecuencia una restricción se puede cumplir sólo a expensas de otra. En estos casos, el ingeniero está forzado a considerar tanto el parámetro deseado como su contraparte indeseada.

13.3.1 Propiedades y clasificación de los filtros

La función de transferencia, $T(s)$, para un sistema lineal invariante en el tiempo de una entrada y una salida, es la relación de la transformada de Laplace de la salida, $Y(s)$, a la transformada de Laplace de la entrada, $R(s)$, con todas las condiciones iniciales iguales a cero. Nótese que al hablar de sistemas generales en vez de circuitos específicos, se utiliza la notación más general de $r(t)$ para la entrada y $y(t)$ para la salida. Para circuitos específicos, éstas se convierten en las tensiones $v_i(t)$ y $v_o(t)$.

En la figura 13.6(a) se muestra un sistema general y se incluye la notación recién descrita. La función de transferencia es igual que la relación de la salida a la entrada como función de s cuando cada una varía como e^{st}. Esto se muestra en la figura 13.6(b).

La salida y la entrada para un sistema lineal invariante en el tiempo se relacionan por medio de una ecuación diferencial como sigue:

$$\frac{d^n y}{dt^n} + a_{n-1}\frac{d^{n-1}y}{dt^{n-1}} + \cdots + a_1\frac{dy}{dt} + a_0 y = \frac{d^m r}{dt^m} + \cdots + b_0 r$$

Entonces la función de transferencia está dada por

$$T(s) = \frac{b_m s^m + b_{m-1}s^{m-1} + \cdots + b_1 s + b_0}{s^n + a_{n-1}s^{n-1} + \cdots + a_1 s + a_0} \tag{13.9}$$

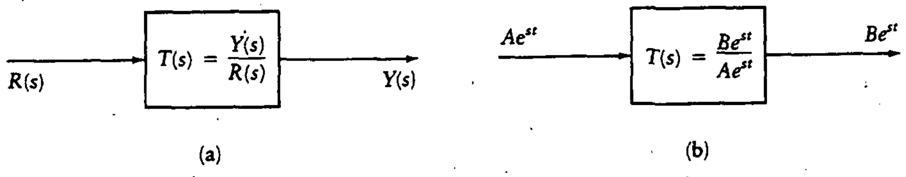


Figura 13.6
Definición de la función de transferencia.

Ejemplo 13.2

Determínese la función de transferencia de un sistema descrito por la siguiente ecuación diferencial:

$$\frac{d^2y}{dt^2} + 3\frac{dy}{dt} + 2y = -4\frac{dr}{dt} + 5r$$

Supónganse condiciones iniciales iguales a cero.

SOLUCIÓN Se puede escribir la función de transferencia directamente a partir de la ecuación diferencial u obtenerla por la sustitución

$$r(t) = Ae^{st}$$

$$y(t) = Be^{st}$$

para tener

$$(s^2 + 3s + 2)Be^{st} = (-4s + 5)Ae^{st}$$

y

$$T(s) = \frac{-4s + 5}{s^2 + 3s + 2}$$

Ejemplo 13.3

Determínese la función de transferencia del sistema descrito por la siguiente ecuación diferencial con condiciones iniciales de cero.

$$\frac{d^2y}{dt^2} + 2\frac{dy}{dt} + 10y = 6\frac{d^2r}{dt^2}$$

SOLUCIÓN Se toma la transformada de Laplace de cada término en la ecuación con condiciones iniciales iguales a cero para obtener

$$T(s) = \frac{Y(s)}{R(s)} = \frac{6s^2}{s^2 + 2s + 10}$$

La función de transferencia se obtiene de la respuesta impulso, como se indica en la figura 13.7(a). Si se aplica una función impulso a la entrada del sistema, la salida tiene una transformada de Laplace igual a la función de transferencia del

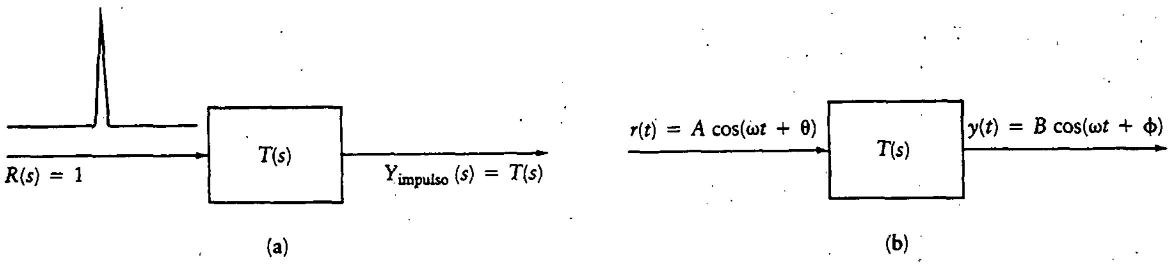


Figura 13.7 Respuesta impulso y respuesta de frecuencia.

sistema. La respuesta impulso de éste es, por tanto, la transformada de Laplace inversa de la función de transferencia.

$$Y_{\text{impulso}}(s) = T(s)$$

$$y_{\text{impulso}}(t) = L^{-1}[T(s)]$$

La función de transferencia también se puede determinar a partir de la respuesta senoidal en estado estacionario. Si la entrada al sistema es una señal senoidal, la razón de la magnitud de la salida a la magnitud de la entrada es la magnitud de la función de transferencia evaluada en $s = j\omega$. La diferencia de fase entre la salida y la entrada es el desplazamiento de fase de la función de transferencia a esta frecuencia.

Ejemplo 13.4

Un sistema tiene una función de transferencia dada por

$$T(s) = \frac{10}{s+4}$$

Determínese la respuesta del sistema a una función

$$r(t) = 3\cos 4t$$

por el método de la respuesta en frecuencia.

SOLUCIÓN La frecuencia de la entrada es de 4 rad/s. Para $s = j4$, se tiene

$$T(j4) = \frac{10}{4+j4} = \frac{10}{4\sqrt{2}}\angle -45^\circ$$

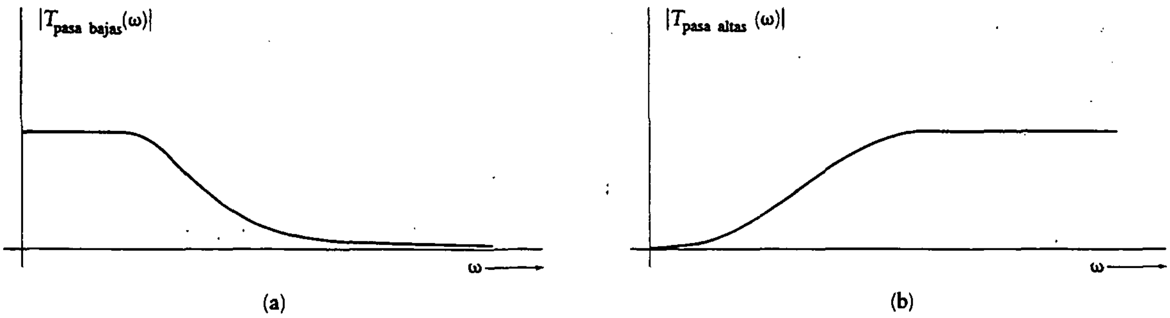


Figura 13.8 Filtros pasa-bajas y pasa-altas.

Entonces

$$y(t) = \left(\frac{15}{2\sqrt{2}}\right)\cos(4t - 45°)$$

La respuesta en frecuencia total de este sistema está dada por

$$|T(s = j\omega)| = \frac{10}{\sqrt{16 + \omega^2}}$$

$$\underline{/T(s = j\omega)} = -\tan^{-1}\left(\frac{\omega}{4}\right)$$

Se examina ahora la respuesta en frecuencia de la clasificación general de filtros. El filtro *pasa-bajas* tiene una respuesta en frecuencia que es diferente de cero para $\omega = 0$ y cero conforme $\omega \to \infty$, como se muestra en la figura 13.8(a). Nótese que sólo se considera la amplitud y se ignora la fase.

Ejemplo 13.5

Descríbase la respuesta en frecuencia de un sistema con función de transferencia

$$T(s) = \frac{10}{s + 2}$$

SOLUCIÓN La ganancia en $\omega = 0$ es 5 y declina a -20 dB/década para frecuencias mayores que la frecuencia de corte de $\omega = 2$ rad/s. Este es un filtro pasa-bajas.

Ejemplo 13.6

Descríbase la respuesta en frecuencia de un sistema con función de transferencia

$$T(s) = \frac{3s - 8}{s^2 + s + 100}$$

SOLUCIÓN El término constante, $-\frac{8}{100}$, determina el comportamiento en $\omega = 0$. Como $T(s)$ tiene un denominador de orden mayor que el numerador, la magnitud declina con aumentos en la frecuencia a una tasa de -20 dB/década y se aproxima a cero para valores grandes de ω. Este es un filtro pasa-bajas.

El filtro *pasa-altas* tiene una característica de magnitud que es cero para $\omega = 0$ y diferente de cero, aproximándose a una constante, conforme $\omega \to \infty$. Esta característica se muestra en la figura 13.8(b).

Ejemplo 13.7

Descríbase la respuesta en frecuencia de un sistema con función de transferencia

$$T(s) = \frac{s}{s + 2}$$

SOLUCIÓN El cero en el origen conduce a una respuesta en magnitud cero para $\omega \to 0$. La magnitud se aproxima a una constante, 1, para $\omega \to \infty$. Este es un filtro pasa-altas.

Ejemplo 13.8

Descríbase la respuesta en frecuencia de un sistema con función de transferencia

$$T(s) = \frac{s^3 - 10s^2 + 20s}{3s^3 + s + 70}$$

SOLUCIÓN El término de potencia unitaria, s, es un factor del numerador pero no del denominador. Esto hace que la magnitud sea cero para $\omega = 0$. Como el numerador y el denominador son del mismo orden, la magnitud se aproxima a una constante para $\omega \to \infty$. Este es un filtro pasa-altas.

Un filtro *pasa-banda* tiene una característica de magnitud que es cero para $\omega = 0$ y para $\omega \to \infty$, como se muestra en la figura 13.9(a).

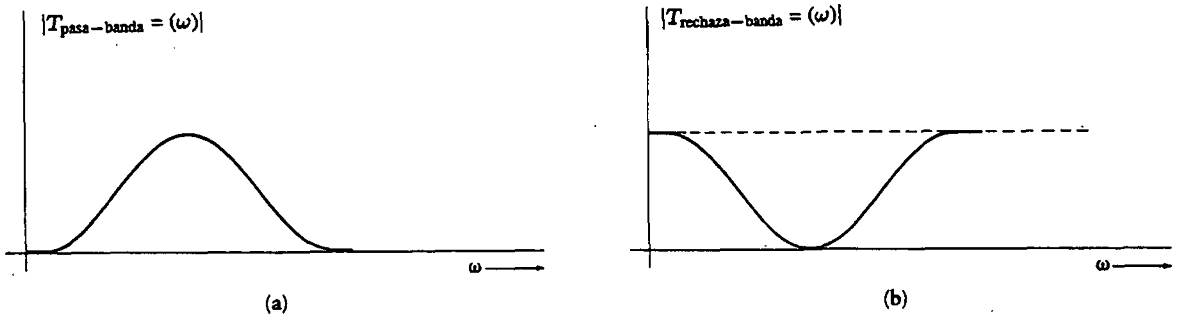


Figura 13.9 Respuesta en amplitud de un filtro pasa-banda y uno rechaza-banda.

Ejemplo 13.9

Descríbase la respuesta en frecuencia de un sistema con función de transferencia

$$T(s) = \frac{s}{s^2 - s + 20}$$

SOLUCIÓN El cero en el origen lleva a una magnitud cero en $\omega = 0$. El denominador de orden mayor provoca que la magnitud sea cero para $\omega \to \infty$. Este es un filtro pasa-banda.

El filtro *rechaza-banda* cuenta con una característica de magnitud que es distinta de cero para $\omega = 0$ y tiene el mismo valor distinto de cero para $\omega \to \infty$. La amplitud es cero (o cercana a cero) para algún intervalo de frecuencia. Esto se muestra en la figura 13.9(b).

Ejemplo 13.10

Descríbase la respuesta en frecuencia de un sistema con función de transferencia

$$T(s) = \frac{3s^2 + 60}{s^2 + s + 20}$$

SOLUCIÓN El numerador de esta función de transferencia es cero para $\omega = \sqrt{20}$ (es decir, $s = j\sqrt{20}$); el término constante y los términos de orden mayor tienen la misma relación, en este caso 3:1. Este es un filtro rechaza-banda.

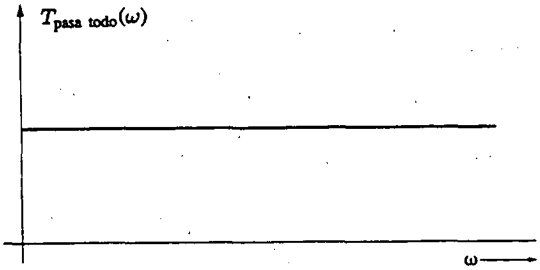


Figura 13.10 Red pasa-todo.

Un filtro no trivial para el cual la magnitud es constante (o casi constante) se denomina filtro *pasa-todo* o *igualador de retardo*. La gráfica de la característica de magnitud para dicho filtro se muestra en la figura 13.10. En ella sólo aparece la magnitud, ya que la fase puede variar dependiendo de la aplicación.

Los siguientes dos ejemplos muestran formas típicas de las funciones de transferencia para un filtro pasa-todo.

$$T(s) = \frac{s - 10}{s + 10}$$

$$T(s) = \frac{s^2 - 3s + 20}{s^2 + 3s + 20}$$

No es posible obtener una fase que sea idénticamente cero, $\phi(\omega) = 0°$. De hecho, si la fase fuese cero, el filtro sería "trivial". Esto es, el circuito resultante no produciría ningún cambio en la señal. La aproximación más cercana para varias aplicaciones es dejar que el desplazamiento de fase sea proporcional a la frecuencia, como sigue:

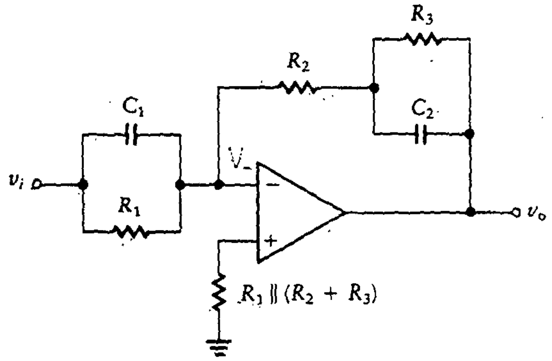
$$\phi(\omega) = -\tau\omega$$

donde τ es una constante que corresponde a un *tiempo de retardo* constante de las señales que pasan a través del filtro. El retardo es de τ segundos si ϕ se expresa en radianes.

Ejercicios

Encuéntrese la función de transferencia, $T(s)$, para los circuitos mostrados en los problemas D13.2 a D13.5. Hágase que todos los resistores, R_1, R_2, R_3, R_4 y R_5, sean de 100 kΩ. Hágase también que $C_1 = C_3 = 10\ \mu$F; $C_2 = C_4 = 0.01\ \mu$F.

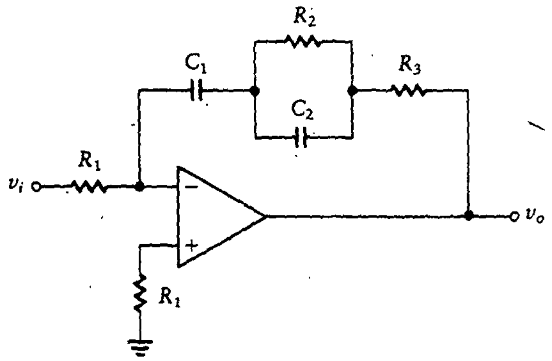
D13.2



Resp.: $-\dfrac{(s + 2000)}{(s + 1000)}(s + 1)$

Figura D13.2

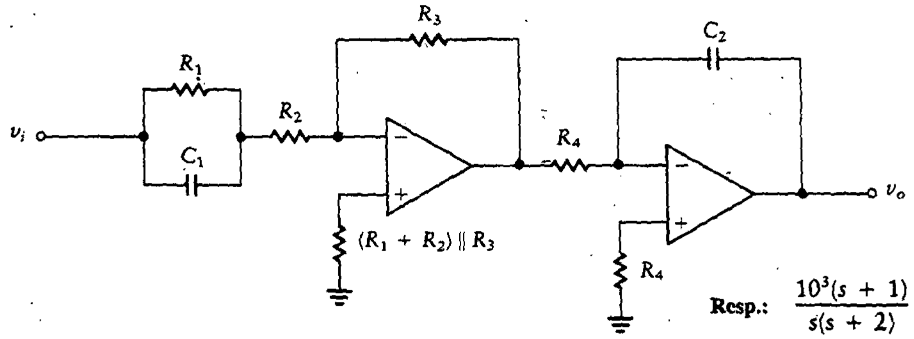
D13.3



Resp.: $-\dfrac{s^2 + 2000s + 1000}{s(s + 1000)}$

Figura D13.3

D13.4



Resp.: $\dfrac{10^3(s + 1)}{s(s + 2)}$

Figura D13.4

D13.5

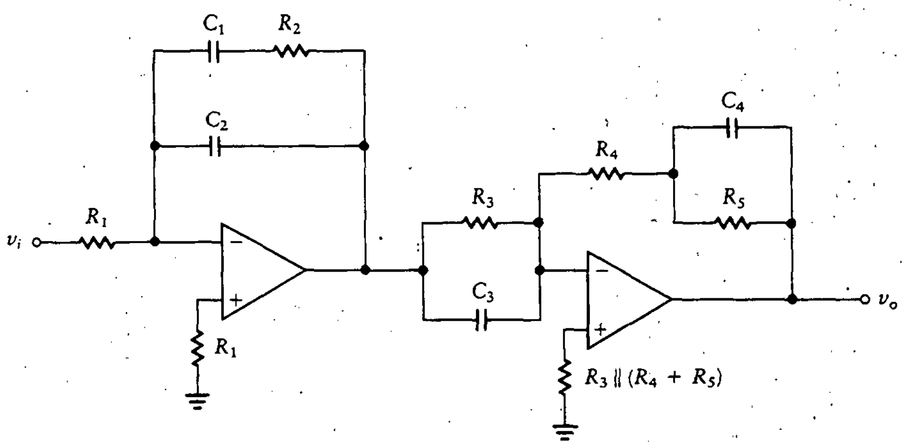


Figura D13.5

Resp.: $\dfrac{10^3(s+1)^2(s+2000)}{s(s+1000)^2}$

D13.6 Determínese la transformada de Laplace de la siguiente ecuación diferencial.

$$\frac{d^2y}{dt^2} + 5\frac{dy}{dt} + 20y = 10\frac{d^2r}{dt^2}$$

Supóngase condiciones iniciales iguales a cero.

Resp.: $(s^2 + 5s + 20)Y(s) = 10s^2R(s)$

D13.7 ¿Qué tipo de filtro describe la siguiente función de transferencia?

$$T(s) = \frac{5s - 10}{s^2 + s + 200}$$

Resp.: Filtro pasa-bajas.

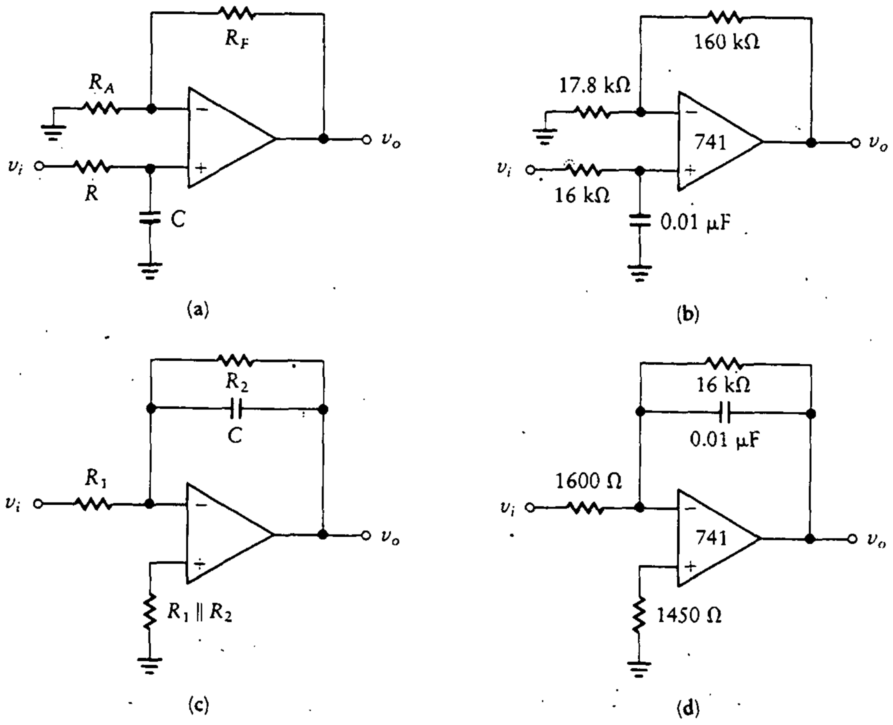
13.3.2 Filtros activos de primer orden

En la figura 13.11(a) se muestra un filtro activo RC pasa-bajas. Las ecuaciones se encuentran haciendo que $V_+ = V_-$ como sigue:

$$V_+ = \frac{(1/sC)V_i}{R + 1/sC} = \frac{V_i}{RsC + 1}$$

$$V_- = \frac{R_A V_o}{R_A + R_F}$$

Figura 13.11
Filtro pasa-bajas.



Igualando estas expresiones y despejando la función de transferencia, se tiene

$$T(s) = \frac{V_o}{V_i} = \frac{(1 + R_F/R_A)/RC}{s + 1/RC} \tag{13.10}$$

Esto se halla en la misma forma que la expresión del ejemplo 13.5.

Nótese que el filtro activo de primer orden tiene un polo (polinomio denominador de primer orden). La frecuencia de corte se encuentra en $1/RC$ y la ganancia en cd (que se encuentra haciendo $s = 0$) es $1 + R_F/R_A$.

Ejemplo 13.11

Diséñese un filtro activo pasa-bajas de primer orden con ganancia en cd de 10 y frecuencia de corte de 1 kHz.

SOLUCIÓN Existen cuatro incógnitas (R, R_A, R_F y C) y sólo tres ecuaciones: la ganancia en cd, la frecuencia de corte y la ecuación para balance de corriente

de polarización. (Nótese que si se hubiese especificado la impedancia de entrada, se tendrían cuatro ecuaciones con cuatro incógnitas.) Por tanto, se tiene la libertad de elegir el valor de algún elemento. En la práctica, se elige de tal forma que los valores de los demás elementos caigan dentro de intervalos razonables. (Por ejemplo, no tendría sentido resolver las ecuaciones y encontrar que se necesita un capacitor de ¡100 F! Una enorme papa frita con dos terminales podría servir para esto, pero es preferible manejar componentes en un intervalo que permita obtenerlos en el mercado.) Se toma C como el componente por elegir y se utiliza un capacitor de 100 μF. Se emplea la ecuación de la frecuencia de corte con el fin de despejar R; esto es

$$\omega = 2\pi f = 6280 = \frac{1}{RC}$$

y

$$R = \frac{10^8}{6280} = 16 \text{ k}\Omega$$

Si se debe conseguir balance en la corriente de polarización,

$$R_A \parallel R_F = R = 16 \text{ k}\Omega$$

Por tanto,

$$R_A \parallel R_F = \frac{R_A R_F}{R_A + R_F} = 16 \text{ k}\Omega$$

La ganancia en cd proporciona una segunda ecuación en R_A y R_F.

$$T(0) = 1 + \frac{R_F}{R_A} = 10$$

Resolviendo estas dos ecuaciones, se obtiene

$$R_F = 160 \text{ k}\Omega$$

$$R_A = 17.8 \text{ k}\Omega$$

El circuito completo se muestra en la figura 13.11(b).

Una forma alterna del filtro pasa-bajas se muestra en la figura 13.11(c). La función de transferencia se deriva de la misma manera que en el circuito anterior. Esto es, se hace $V_- = V_+$ para obtener

$$T(s) = \frac{-R_2}{R_1}\frac{1}{R_2Cs + 1} \tag{13.11}$$

La ganancia en cd es R_2/R_1 y la frecuencia de corte se encuentra en $1/R_2C$.

Si se desea, se puede acoplar la entrada a la terminal no inversora del amplificador operacional en lugar de la terminal inversora. Con esto se obtiene una gran impedancia de entrada, y la salida ya no se invierte.

Ejemplo 13.12

Diséñese un filtro activo de primer orden con ganancia en cd de 10 y frecuencia de corte de 1 kHz. Utilícese el circuito de la figura 13.11(c).

SOLUCIÓN Utilizando la ecuación para la frecuencia de corte, se encuentra.

$$\omega = 2\pi f = 6280 = \frac{1}{R_2C}$$

La ganancia en cd da

$$T(0) = \frac{-R_2}{R_1} = -10$$

Existe una incógnita más que el número de restricciones. Supóngase que se elige $C = 0.01\ \mu\text{F}$. Entonces

$$R_2 = \frac{10^8}{6280} = 16\ \text{k}\Omega$$

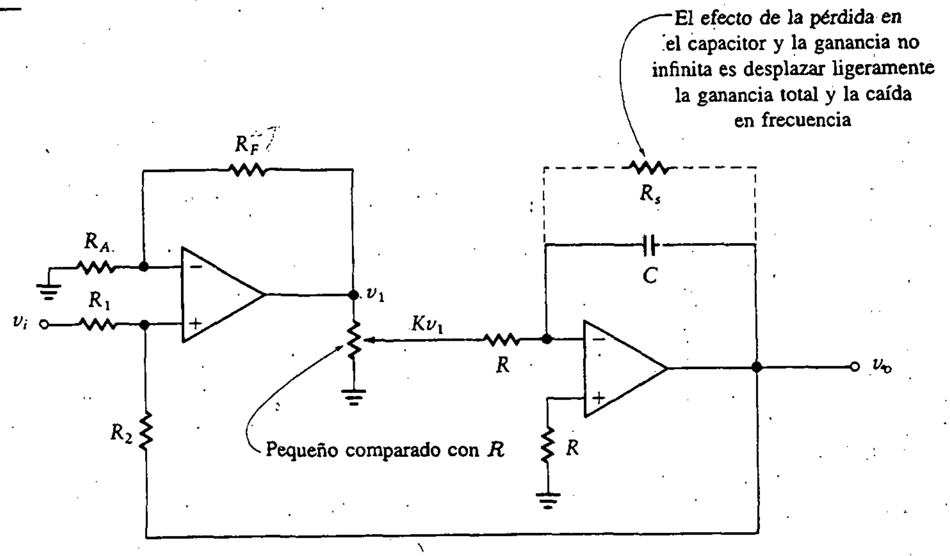
$$R_1 = \frac{R_2}{10} = 1.6\ \text{k}\Omega$$

El filtro completo se muestra en la figura 13.11(d).

Una ventaja de los filtros activos es que resulta muy sencillo variar los valores de los parámetros. Como ejemplo, en la figura 13.12 se muestra un filtro pasa-bajas de primer orden de frecuencia de corte ajustable. La tensión en v_- es

$$v_- = \frac{v_1 R_A}{R_A + R_F}$$

Figura 13.12
Filtro pasa-bajas con frecuencia de corte ajustable.



Donde $K = \dfrac{\text{resistencia del contacto hacia tierra}}{\text{resistencia total}}$

La tensión en la terminal de entrada no inversora se encuentra escribiendo la ecuación de nodos en v_+ y despejando v_+.

$$v_+ = \frac{R_2 v_i}{R_1 + R_2} + \frac{R_1 v_o}{R_1 + R_2}$$

Haciendo $v_+ = v_-$ se obtiene la tensión , v_1, como sigue:

$$\begin{aligned} v_1 &= \left(1 + \frac{R_F}{R_A}\right)\left[\left(\frac{R_2}{R_1 + R_2}\right) v_i + \frac{R_1}{R_1 + R_2} v_o\right] \\ &= A_1 v_i + A_2 v_o \end{aligned}$$

donde

$$A_1 = \frac{(1 + R_F/R_A)R_2}{R_1 + R_2}$$

$$A_2 = \frac{(1 + R_F/R_A)R_1}{R_1 + R_2}$$

El segundo amplificador operacional funciona como integrador inversor, y

$$V_o = \frac{-KV_1}{RCs}$$

Nótese que se utilizan letras mayúsculas para las tensiones ya que son funciones de s. K es la fracción de V_1 que se envía al integrador. Es decir, constituye la razón del potenciómetro, que es un número entre 0 y 1.

$$V_o = \frac{-K(A_1V_i + A_2V_o)}{RCs}$$

La función de transferencia está dada por

$$T(s) = \frac{V_o}{V_i} = \frac{-KA_1}{RCs + KA_2} \tag{13.12}$$

La ganancia en cd está dada por

$$\frac{-A_1}{A_2} = \frac{-R_2}{R_1}$$

La frecuencia de corte se halla en KA_2/RC. Por tanto, la frecuencia es proporcional a K. Sin el amplificador operacional, se obtendría una frecuencia de corte inversamente proporcional al valor del resistor. Con una frecuencia proporcional a K, se puede utilizar el potenciómetro *lineal*. Entonces la frecuencia es linealmente proporcional al valor ajustado del potenciómetro.

Ejemplo 13.13

Diséñese un filtro pasa-bajas ajustable de primer orden con ganancia en cd de 10 y frecuencia ajustable desde cerca de cero hasta 1 kHz.

SOLUCIÓN Existen seis incógnitas en el problema (R_A, R_F, R_1, R_2, R y C) y sólo tres ecuaciones (ganancia, frecuencia y balance de polarización). Esto deja abierta la elección de tres parámetros. Supóngase que se eligen los siguientes valores:

$$C = 0.1\ \mu\text{F}$$

$$R = 10\ \text{k}\Omega$$

$$R_1 = 10\ \text{k}\Omega$$

La relación de R_2 a R_1 es la ganancia en cd; por tanto, con un valor dado de 10 kΩ, R_2 debe ser 100 kΩ. Se despejan A_1 y A_2 con el fin de encontrar la relación R_F/R_A.

La máxima frecuencia de corte se presenta en $K = 1$, por lo que esta frecuencia se coloca en $2\pi \times 1000 = 6280$.

$$\frac{A_2}{RC} = \frac{A_2}{10^4 \times 10^{-7}} = 6280$$

y, despejando A_2,

$$A_2 = 6.28$$

A_2 y A_1 se relacionan por la ganancia en cd, de modo que

$$\frac{A_1}{A_2} = 10$$

Por tanto,

$$A_1 = 62.8$$

Si ahora se sustituye la expresión para A_2, se obtiene

$$\frac{(1 + R_F/R_A)(R_1)}{R_1 + R_2} = A_2 = 6.28$$

Pero

$$\frac{R_1}{R_1 + R_2} = \frac{1}{11}$$

por lo que

$$1 + \frac{R_F}{R_A} = 11(6.28) = 69$$

$$\frac{R_F}{R_A} = 68$$

R_A se elige para alcanzar el balance de polarización. La impedancia asociada a la entrada no inversora es

$$10\ \text{k}\Omega \parallel 100\ \text{k}\Omega \approx 10\ \text{k}\Omega$$

Si se supone que R_F es grande comparada con R_A (esto se puede verificar después de despejar los resistores), la combinación paralela estará cercana al valor de R_A.

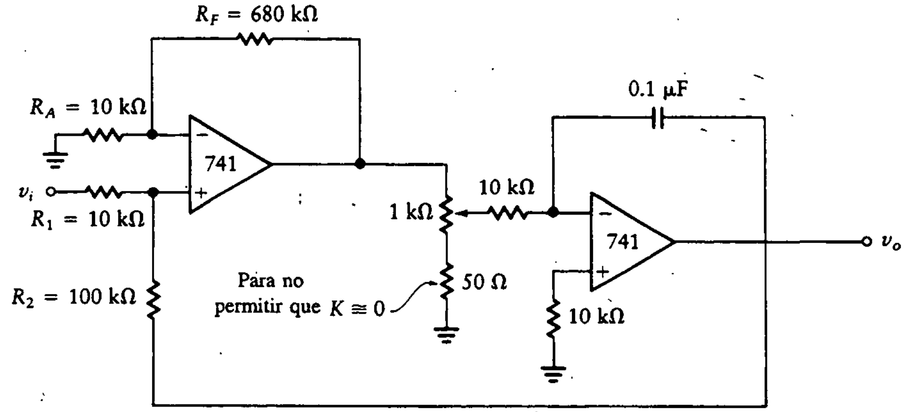


Figura 13.13
Filtro de primer orden para el ejemplo 13.13.

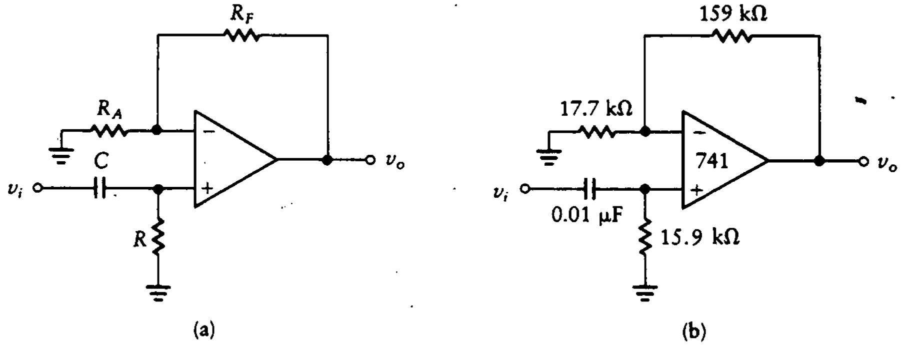


Figura 13.14
Filtro RC pasa-altas.

Por tanto, se puede elegir R_A = 10 kΩ. Con esta elección de R_A, se encuentra que R_F es 680 kΩ y se alcanza el balance de polarización.

El filtro completo se muestra en la figura 13.13.

En la figura 13.14(a) se muestra un *filtro RC pasa-altas*. Nuevamente, se obtienen V_+ y V_-, y se igualan para encontrar la función de transferencia.

$$T(s) = \frac{R}{R + 1/Cs}\left(1 + \frac{R_F}{R_A}\right) = \left(1 + \frac{R_F}{R_A}\right)\frac{s}{s + 1/RC}$$

La ganancia en alta frecuencia es $1 + R_F/R_A$ y la frecuencia de corte está en $1/RC$.

Ejemplo 13.14

Diséñese un circuito RC pasa-altas con ganancia en alta frecuencia de 10 y frecuencia de corte de 1 kHz.

SOLUCIÓN En este problema se tienen tres ecuaciones (ganancia en alta frecuencia, frecuencia de corte y balance de polarización) y cuatro incógnitas (R, C, R_A y R_F). Por tanto, un parámetro es arbitrario. Se elige $C = 0.01\ \mu\text{F}$ y se encuentra R de la ecuación para la frecuencia de corte.

$$\omega = 2\pi f = 6280 = \frac{1}{RC}$$

y

$$R = 15.9\ \text{k}\Omega$$

La ecuación para la ganancia en alta frecuencia da

$$1 + \frac{R_F}{R_A} = 10$$

Esto representa una ecuación en dos incógnitas, R_F y R_A. Se deriva una segunda ecuación de la relación para el balance de polarización,

$$R_A \parallel R_F = R = 15.9\ \text{k}\Omega$$

Despejando estas dos ecuaciones, se obtiene

$$R_F = 159\ \text{k}\Omega$$

$$R_A = 17.7\ \text{k}\Omega$$

El circuito completo se muestra en la figura 13.14(b).

Ejercicios

D13.8 ¿Cuáles son la ganancia en cd y la frecuencia de corte del circuito mostrado en la figura D13.6? ¿Qué tipo de circuito es éste?

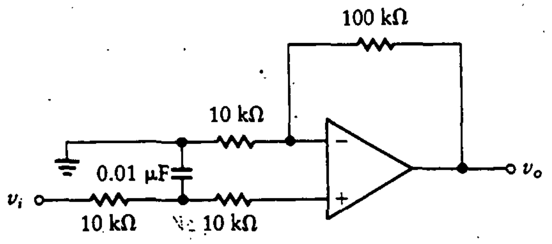


Figura D13.6

Resp.: Ganancia en cd = 11; la frecuencia de corte es 10^4 rad/s; filtro pasa-bajas.

Se analizará ahora el circuito para un filtro pasa-altas ajustable. El circuito de la figura 13.15 combina un amplificador para suma de señales con un segundo amplificador para suma en bajas frecuencias. El análisis proporciona las siguientes ecuaciones:

$$V_o = \frac{(1 + R_F/R_A)(R_1)V_1}{R_1 + R_2} - \frac{R_F V_i}{R_A}$$
$$= A_1 V_1 - A_2 V_i$$

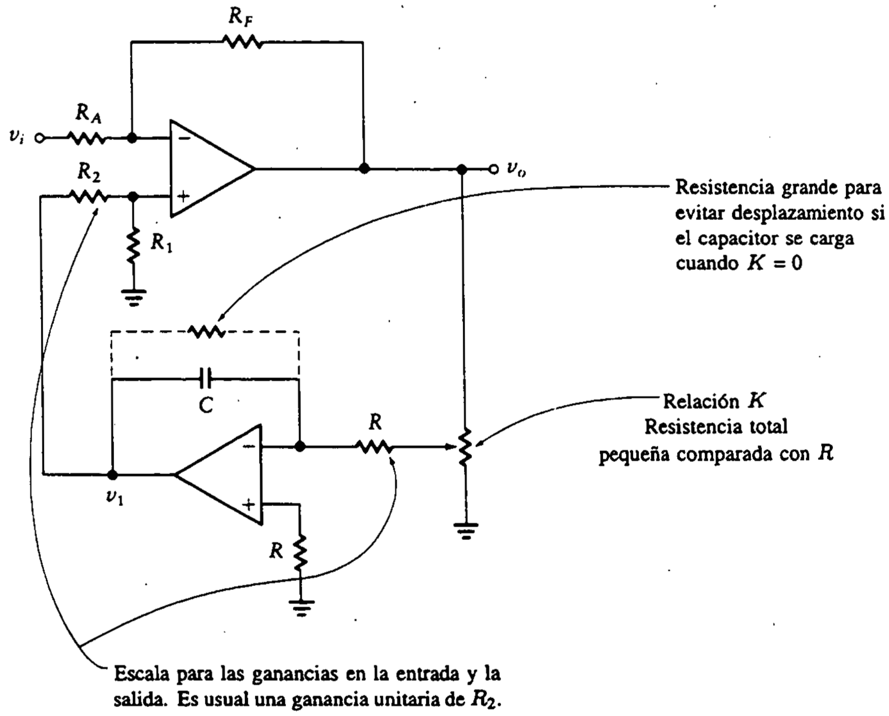
donde

$$A_1 = \frac{(1 + R_F/R_A)(R_1)}{R_1 + R_2}$$
$$A_2 = \frac{R_F}{R_A}$$

Si K es la atenuación del potenciómetro, entonces

$$V_1 = \frac{-KV_o}{RCs}$$

Figura 13.15
Filtro pasa-altas ajustable.



y

$$V_o = \frac{-KA_1V_o}{RCs} - A_2V_i$$

La función de transferencia está dada por

$$T(s) = \frac{V_o}{V_i} = \frac{-A_2RCs}{RCs + KA_1}$$
$$= -A_2\frac{s}{s + KA_1/RC}$$

El resultado es un filtro pasa-altas con frecuencia de corte ajustable.

Ejemplo 13.15

Diséñese un filtro pasa-altas con ganancia en alta frecuencia de 10 y frecuencia de corte ajustable de 100 Hz a 400 Hz.

SOLUCIÓN Se tienen tres ecuaciones y seis incógnitas, por lo que se eligen valores para tres variables: R_A, A_1 y C. Se empieza con la ecuación de ganancia en alta frecuencia,

$$A_2 = \frac{R_F}{R_A} = 10$$

Si se elige $R_A = 10\ \text{k}\Omega$, se encuentra que $R_F = 100\ \text{k}\Omega$. Se selecciona $A_1 = 1$ a fin de lograr una ganancia unitaria para la entrada no inversora. Entonces

$$A_1 = \frac{(1 + R_F/R_A)(R_1)}{R_1 + R_2}$$
$$= \frac{11R_1}{R_1 + R_2} = 1$$

La ecuación para el balance de polarización da

$$R_1 \parallel R_2 = R_A \parallel R_F = 10\ \text{k}\Omega \parallel 100\ \text{k}\Omega$$

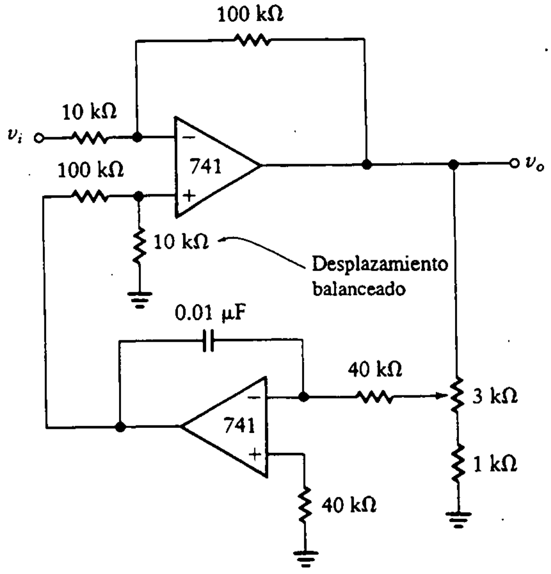


Figura 13.16 Circuito para el ejemplo 13.15.

Por tanto, se tienen dos ecuaciones en R_1 y R_2. Resolviéndolas se obtiene

$$R_1 = 10\ \text{k}\Omega$$

$$R_2 = 100\ \text{k}\Omega$$

Como K no puede ser mayor que la unidad, se diseña para tener la máxima frecuencia de corte con $K = 1$ a fin de obtener

$$\frac{A_1}{RC} = \frac{1}{RC} = \omega = 2\pi f = 2513\ \text{rad/s}$$

Si se elige $C = 0.01\ \mu\text{F}$, se encuentra

$$R = \frac{10^8}{2513} = 40\ \text{k}\Omega$$

El ajuste de K de 0.25 a 1 proporciona el intervalo de frecuencia deseado de 100 Hz a 400 Hz. Esto se consigue utilizando un potenciómetro de 4 kΩ con un limitador o colocando un resistor fijo de 1 kΩ entre tierra y un potenciómetro de 3 kΩ. Este último método se muestra en la entrada del amplificador operacional de retroalimentación en el circuito de la figura 13.16.

Ejercicio

D13.9 Dado el circuito de la figura D13.7, ¿cuáles son la ganancia y el intervalo de frecuencia ajustable?

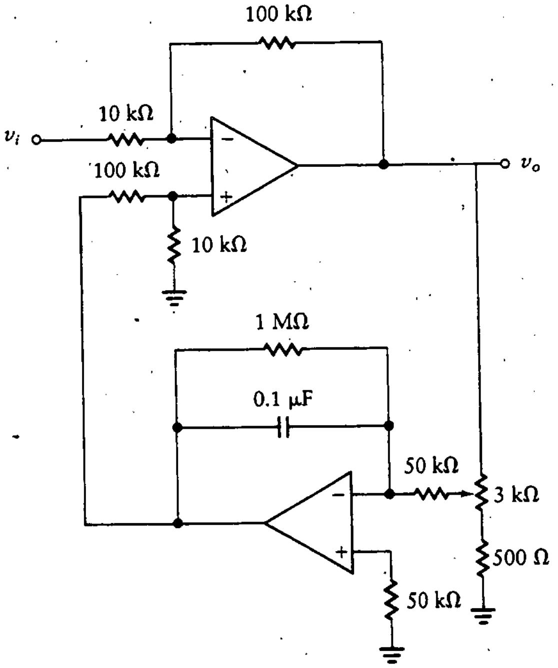


Figura D13.7

Resp.: $A_1 = 1$; el intervalo de frecuencias es de 28.6 rad/s a 200 rad/s.

13.3.3 Filtros generales de primer orden

En la sección anterior se consideraron los filtros pasa-bajas y pasa-altas, que constituyen ejemplos específicos de filtros de primer orden. Se examinará ahora el caso más general. El diagrama de circuito para un filtro general de primer orden se muestra en la figura 13.17. La colocación en cascada de dos etapas permite a este filtro realizar cualquier función de transferencia de primer orden (es decir, tanto el numerador como el denominador de la función de transferencia pueden ser cualquier polinomio de primer orden en s). La segunda etapa suma una parte de la entrada con una versión filtrada en baja frecuencia de esta entrada. Las ganancias de las etapas de entrada y salida se determinan con R_1 y R_3, respectivamente. La ganancia a frecuencia cero de la etapa de entrada (el filtro pasa-bajas) en general se selecciona unitaria. Esto permite que v_1 y v_i sean comparables en amplitud al formar la entrada a la segunda etapa.

La función de transferencia del filtro se encuentra por superposición como sigue:

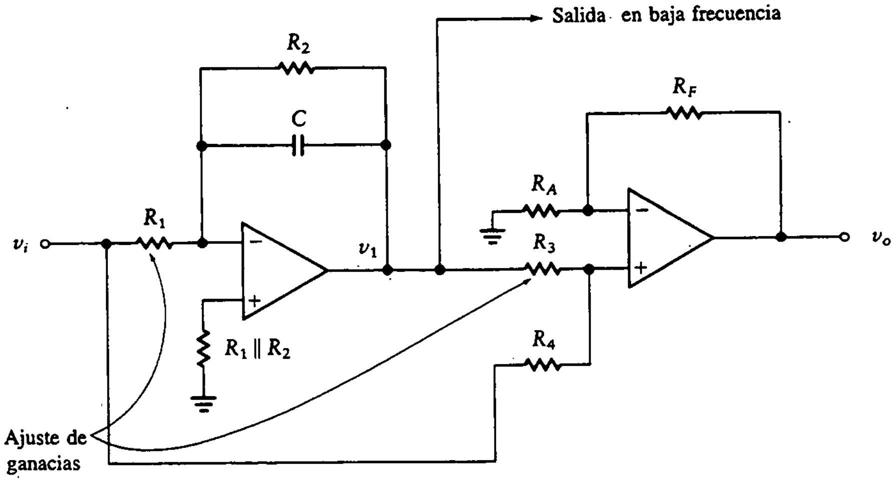


Figura 13.17
Filtro general de primer orden.

$$V_o = \left(1 + \frac{R_F}{R_A}\right) \frac{R_3 V_i + R_4 V_1}{R_3 + R_4} \tag{13.13}$$

pero

$$V_1 = \frac{(R_2/R_1)V_i}{1 + sCR_2}$$

que es la ecuación de un filtro pasa-bajas de primer orden (véanse Fig. 13.11(c) y Ec. (13.11)). Esto se sustituye en la ecuación (13.13) para obtener

$$\frac{V_o}{V_i} = T(s) = \left(1 + \frac{R_F}{R_A}\right) \frac{R_3}{R_3 + R_4} \left[1 - \frac{R_4}{R_3} \frac{1/R_1C}{s + 1/R_2C}\right]$$

$$T(s) = \left(1 + \frac{R_F}{R_A}\right) \frac{R_3}{R_3 + R_4} \frac{s + (1/R_2 - R_4/R_1R_3)/C}{s + 1/R_2C} \tag{13.14a}$$

Con una elección adecuada del capacitor y los seis resistores, esto puede simular cualquier sistema de primer orden.

Por ejemplo, para convertir lo anterior en un filtro pasa-altas, es necesario hacer el numerador igual a un múltiplo constante de s. Si se hace

$$R_1R_3 = R_2R_4$$

entonces

$$T(s) = \left(1 + \frac{R_F}{R_A}\right) \frac{R_3}{R_3 + R_4} \frac{s}{s + 1/R_2C} \tag{13.14b}$$

La ganancia en alta frecuencia es

$$\frac{(1 + R_F/R_A)(R_3)}{R_3 + R_4}$$

y la frecuencia de corte está en $1/R_2C$.

Ejemplo 13.16

Diséñese un filtro pasa-altas con ganancia en alta frecuencia de 10 y frecuencia de corte de 400 Hz.

SOLUCIÓN El filtro tiene siete incógnitas, pero sólo se cuenta con cinco ecuaciones (ganancia, frecuencia de corte, restricción de resistores para filtro pasa-altas, balance de polarización y exigencia de que la ganancia de la primera etapa sea unitaria). Por tanto, se eligen dos de los valores. Se seleccionan C y R_3 como sigue:

$$C = 0.01\ \mu\text{F}$$
$$R_3 = 10\ \text{k}\Omega$$

Entonces se despeja R_2 a partir de la ecuación de la frecuencia de corte,

$$\frac{1}{R_2C} = \frac{10^8}{R_2} = \omega = 2\pi f = 2513\ \text{rad/s}$$
$$R_2 = 40\ \text{k}\Omega$$

La sección del filtro pasa-bajas se diseña para ganancia unitaria en cd, de modo que R_1 debe ser igual a R_2, o 40 kΩ. Se conoce R_1, R_2 y R_3, por lo que se puede despejar R_4 de la restricción para el filtro pasa-altas

$$R_1R_3 = R_2R_4$$

que da

$$R_4 = R_3 = 10\ \text{k}\Omega$$

La ganancia en alta frecuencia se utiliza para especificar la relación de R_F a R_A.

$$T(s \to \infty) = \frac{(1 + R_F/R_A)(R_3)}{R_3 + R_4} = \left(1 + \frac{R_F}{R_A}\right)\left(\frac{1}{2}\right) = 10$$

Por tanto,

$$\frac{R_F}{R_A} = 19$$

Para conseguir el balance de polarización, se elige

$$R_A \parallel R_F = R_3 \parallel R_4$$

A partir de estas dos condiciones se encuentran $R_A = 5.26\ \text{k}\Omega$ y $R_F = 100\ \text{k}\Omega$. El circuito pasa-altas completo se muestra en la figura 13.18.

Como otro ejemplo de la utilidad de este diseño general para varios filtros, se puede cambiar la ecuación (13.14a) para que represente un filtro pasa-todo. El polo y el cero deben estar localizados en forma simétrica alrededor del eje imaginario s. Por tanto,

$$\frac{-1}{R_2} + \frac{R_4}{R_1 R_3} = \frac{1}{R_2}$$

o

$$R_1 R_2 = \frac{R_2 R_4}{2}$$

Sustituyendo estos valores en la ecuación (13.14a), se obtiene

$$T(s) = \left(1 + \frac{R_F}{R_A}\right) \frac{R_3}{R_3 + R_4} \frac{s - 1/R_2 C}{s + 1/R_2 C} \tag{13.15}$$

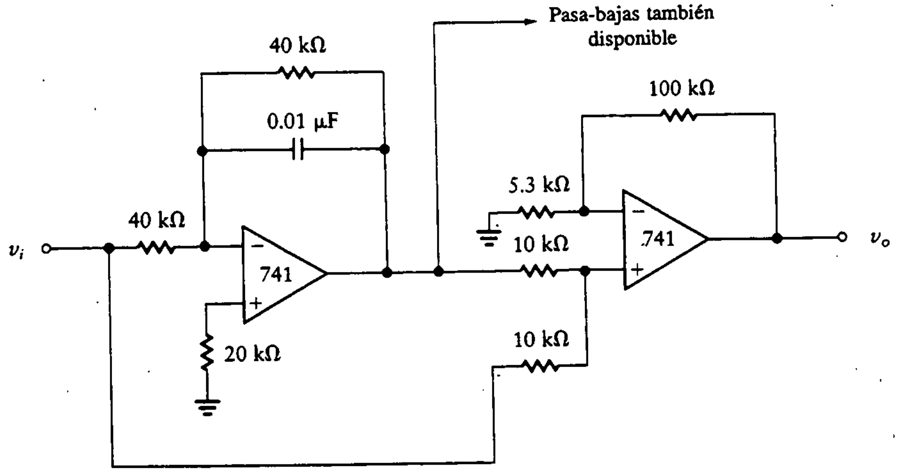


Figura 13.18
Filtro pasa-altas para el ejemplo 13.16.

La ganancia en cd está dada por

$$-\frac{R_3(1 + R_F/R_A}{R_3 + R_A}$$

y la frecuencia de corte se halla en $1/R_2C$. Para un filtro pasa-todo, la frecuencia de corte se puede considerar como la frecuencia a la cual la fase del numerador y del denominador es $-45°$. Por tanto, la fase total es $-90°$, y ya no se piensa en ésta como la frecuencia de corte, donde la característica de amplitud comienza a decaer.

Ejemplo 13.17

Diséñese un filtro pasa-todo con ganancia en cd de 10 y frecuencia de corte de 400 Hz.

SOLUCIÓN Existen siete incógnitas (R_F, R_A, R_1, R_2, R_3, R_4 y C) y sólo cinco ecuaciones (ganancia, frecuencia de corte, restricción para el filtro pasa-todo, balance de polarización y ganancia unitaria para la primera etapa). Por tanto, se pueden seleccionar dos parámetros, y se eligen

$$C = 0.01\ \mu\text{F}$$

$$R_3 = 10\ \text{k}\Omega$$

Entonces, a partir de la relación para la frecuencia de corte se tiene

$$\frac{1}{R_2C} = \frac{10^8}{R_2} = \omega = 2\pi f = 2513\ \text{rad/s}$$

y

$$R_2 = 40\ \text{k}\Omega$$

Se utiliza la relación de ganancia unitaria de la primera etapa para encontrar R_1. Por tanto,

$$R_1 = R_2 = 40\ \text{k}\Omega$$

Para encontrar R_4 se utiliza la condición para el filtro pasa-todo. Luego,

$$R_1R_3 = \frac{R_2R_4}{2}$$

y al sustituir los valores encontrados antes,

$$40\text{ k}\Omega \times 10\text{ k}\Omega = 40\text{ k}\Omega \times \frac{R_4}{2}$$

y

$$R_4 = 20\text{ k}\Omega$$

La relación para el balance de polarización da

$$R_A = R_3 \parallel R_4 = 10\text{ k}\Omega \parallel 20\text{ k}\Omega = 6.67\text{ k}\Omega$$

Puesto que

$$R_A \ll R_F$$

entonces

$$R_A \parallel R_F \approx R_A$$

La relación de ganancia da

$$\frac{(1 + R_F/R_A)(R_3)}{R_3 + R_4} = 10$$

Despejando R_F, se obtiene

$$R_F = 193\text{ k}\Omega$$

El circuito completo se muestra en la figura 13.19.

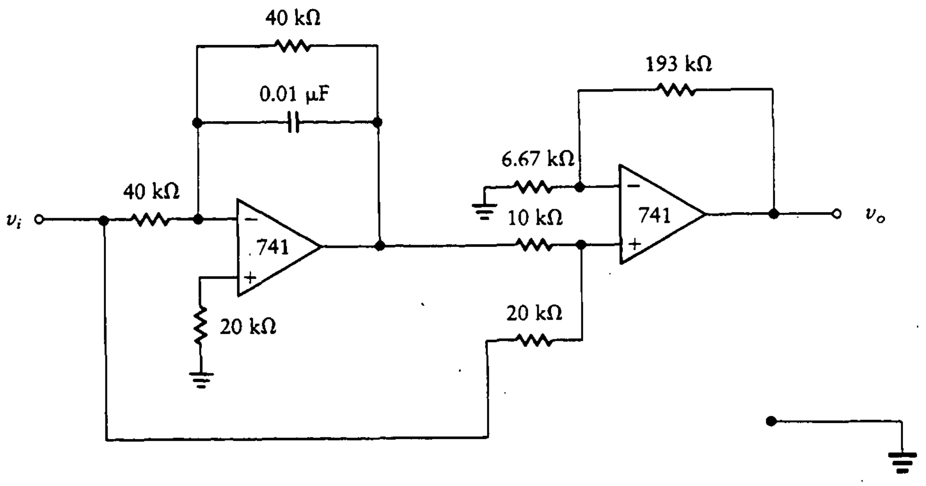


Figura 13.19
Filtro pasa-todo para el ejemplo 13.17.

Ejercicio

D13.10 Encuéntrese la función de transferencia para el filtro de primer orden que se muestra en la figura D13.8. Encuéntrense la ganancia en cd y la frecuencia de corte.

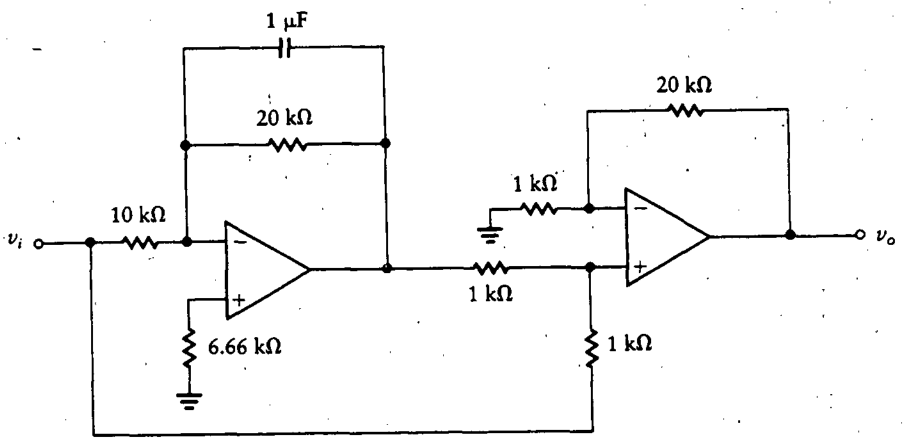


Figura D13.8

Resp.: $10.5\dfrac{0.02s-1}{0.02s+1}$; ganancia = 10.5 y frecuencia de corte = 50 rad/s.

13.4 AMPLIFICADOR DE TIPO GENERAL CON UN SOLO AMPLIFICADOR OPERACIONAL

En la sección 13.3.3 se consideró un filtro general de primer orden que utiliza dos amplificadores operacionales. En esta sección, se consigue un resultado similar utilizando un solo amplificador operacional. En la figura 13.20 se muestra el circuito para el amplificador general de un solo amplificador operacional. La función de transferencia se obtiene de la siguiente forma:

$$T(s) = \left[1 + \frac{R_2/R_1}{R_2Cs+1}\right]\frac{R_4}{R_3+R_4} - \frac{R_2/R_1}{R_2Cs+1}$$

$$= \frac{(R_2sC + 1 + R_2/R_1)[R_4/(R_3+R_4)]}{R_2Cs+1} - \frac{R_2/R_1}{R_2Cs+1} \tag{13.16}$$

Por último,

$$T(s) = \frac{R_4}{R_3+R_4}\frac{s+(1/R_1C)(R_1/R_2 - R_3/R_4)}{s+1/R_2C} \tag{13.17}$$

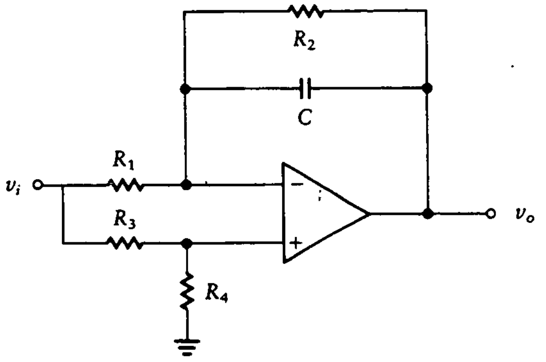


Figura 13.20
Amplificador de tipo general con un solo amplificador operacional.

Para que esto sea un *filtro pasa-altas,* se desea que el cero del numerador esté en el origen. Por tanto, se hace que

$$R_1R_4 = R_2R_3$$

Entonces

$$T(s) = \frac{R_4}{R_3 + R_4}\frac{s}{s + 1/R_2C} \tag{13.18}$$

La ganancia a frecuencia cero es cero, y conforme la frecuencia se aproxima a infinito, la ganancia es

$$\frac{V_o}{V_i} = \frac{R_4}{R_3 + R_4} \tag{13.19}$$

Si se desea convertir al circuito en un *filtro pasa-todo,* se hace

$$R_2R_3 = 2R_1R_4$$

en la ecuación (13.17). Entonces

$$T(s) = \frac{R_4}{R_3 + R_4}\frac{s - 1/R_2C}{s + 1/R_2C} \tag{13.20}$$

Por último, si se desea construir un *filtro pasa-bajas,* se hace que R_3 se aproxime a infinito en la ecuación (13.17). Esto da

$$T(s) = \frac{-(1/R_1C)}{s + 1/R_2C}$$

Ejemplo 13.18

Diséñese un filtro pasa-altas con ganancia en alta frecuencia de $\frac{1}{2}$ y frecuencia de corte de 4 kHz.

SOLUCIÓN Las incógnitas son R_1, R_2, R_3, R_4 y C. Se tienen ecuaciones para la ganancia, la frecuencia de corte, el balance de polarización y la condición para el filtro pasa-altas. Esto deja una incógnita, la cual se puede seleccionar. Elíjase $C = 0.01\ \mu\text{F}$. Entonces, de la frecuencia de corte se tiene

$$\frac{10^8}{R_2} = 2\pi f = 12\,130 \text{ rad/s}$$

Por tanto,

$$R_2 = 4 \text{ k}\Omega$$

Para una ganancia en alta frecuencia de $\frac{1}{2}$, se obtiene, a partir de la ecuación (13.19),

$$R_3 = R_4$$

Por tanto, la restricción de los resistores para el filtro pasa-altas da

$$R_1R_4 = R_2R_3$$

y

$$R_1 = R_2 = 4 \text{ k}\Omega$$

Para lograr el balance de polarización, se elige

$$R_3 = R_4 = 4 \text{ k}\Omega$$

Ejemplo 13.19

Diséñese un filtro pasa-todo con ganancia de $\frac{1}{2}$ y frecuencia de corte de 4 kHz.

SOLUCIÓN Se elige $C = 0.01\ \mu\text{F}$. A partir de las ecuaciones para la frecuencia de corte, se tiene

$$\frac{1}{R_2C} = \frac{10^8}{R_2} = 2\pi f = 25\,130 \text{ rad/s}$$

y

$$R_2 = 4\text{ k}\Omega$$

Para conseguir una ganancia de $\frac{1}{2}$,

$$R_3 = R_4$$

y la condición para el filtro pasa-todo da

$$R_2R_3 = 2R_1R_4$$

pero como $R_3 = R_4$, se tiene

$$R_1 = \frac{R_2}{2} = 2\text{ k}\Omega$$

La combinación en paralelo de R_1 y R_2 tiene una resistencia de 1.33 kΩ, de modo que para conseguir balance de polarización, se requiere

$$R_3 = R_4 = 2.67\text{ k}\Omega$$

13.5 FILTROS DE SEGUNDO ORDEN CON UN SOLO AMPLIFICADOR

Los filtros de segundo orden pueden modelar las características ideales en forma más cercana que un filtro de primer orden. En la figura 13.21(a) se muestra un filtro pasa-bajas de segundo orden. Los resistores se eligen para proporcionar balance de polarización. El circuito equivalente se muestra en la figura 13.21(b). Las ecuaciones de lazo están dadas por

$$\left(R_1 + \frac{1}{sC_1}\right) I_1 - \left(\frac{1}{sC_1}\right) = V_i - V_+$$

$$\left(-\frac{1}{sC_1}\right) I_1 + \left(R_2 + \frac{1}{sC_1} + \frac{1}{sC_2}\right) I_2 = V_+$$

$$V_+ = V_o = \left(\frac{1}{sC_2}\right) I_2$$

Se multiplica la primera ecuación por sC_1 y la segunda por sC_1C_2. Sustituyendo V_o por V_+, se obtiene

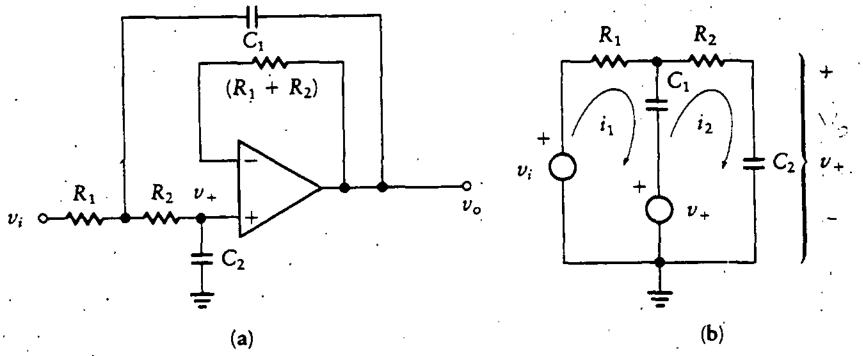


Figura 13.21
Filtro pasa-bajas de segundo orden.

$$(R_1C_1s + 1)I_1 - I_2 = sC_1V_i - sC_1V_o$$
$$-C_2I_1 + (R_2C_1C_2s + C_2 + C_1)I_2 = C_1C_2sV_o$$
$$I_2 = sC_2V_o$$

Por último, despejando V_o y eliminando I_1 e I_2 se obtiene la función de transferencia, V_o/V_i:

$$T(s) = \frac{1}{(R_1R_2C_1C_2)s^2 + (R_1 + R_2)C_2s + 1} \tag{13.21}$$

Ejemplo 13.20

Diséñese un filtro pasa-bajas de segundo orden para obtener la función de transferencia

$$T(s) = \frac{1000}{s^2 + 10s + 1000} = \frac{1}{s^2/1000 + s/100 + 1}$$

SOLUCIÓN Se tienen cuatro incógnitas (R_1, R_2, C_1 y C_2) y dos ecuaciones (los coeficientes de s^2 y s). Por tanto, se pueden elegir dos parámetros.

Si se elige $C_2 = 0.1\ \mu$F, entonces

$$(R_1 + R_2)C_2 = \frac{1}{100}$$

y

$$R_1 + R_2 = 100\ \text{k}\Omega$$

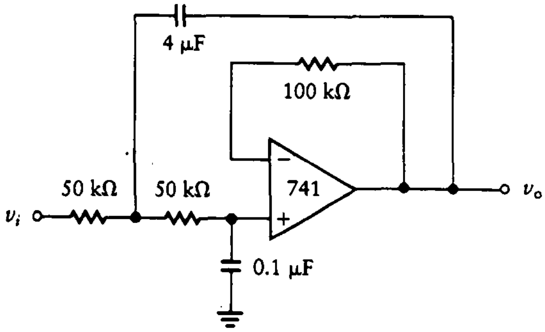


Figura 13.22 Circuito para el ejemplo 13.20.

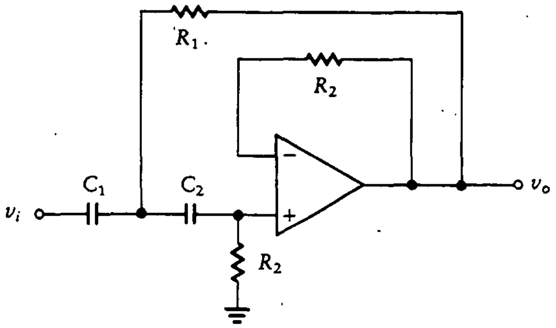


Figura 13.23 Filtro pasa-altas de segundo orden.

Si se elige $R_1 = 50$ kΩ, se encuentra

$$R_2 = 50\ \text{k}\Omega$$

Y como

$$R_1R_2C_1C_2 = (5 \times 10^4)(5 \times 10^4)(10^{-7})C_1 = 10^{-3}$$

se encuentra que C_1 es

$$C_1 = 4\ \mu\text{F}$$

El circuito final se muestra en la figura 13.22.

En la figura 13.23 se ilustra un filtro pasa-altas de segundo orden. Al compararlo con el filtro pasa-bajas de la figura 13.21 se ve que los resistores y capacitores se hallan intercambiados. Nótese que los valores de los resistores están restringidos para proporcionar balance de polarización. Se repite la ecuación (13.21) para el filtro pasa-bajas:

$$T_{PB}(s) = \frac{1}{(R_1R_2C_1C_2)s^2 + (R_1 + R_2)C_2s + 1} = \frac{1}{R_1R_2(C_1s)(C_2s) + (R_1 + R_2)C_2s + 1}$$

No es necesario volver a derivar los resultados para el nuevo circuito. Simplemente se intercambian los ccmponentes para obtener la función de transferencia del filtro pasa altas. Se intercambian R_1 y $1/sC_1$ así como R_2 y $1/sC_2$ para obtener

$$T_{PA}(s) = \frac{1}{(1/sC_1)(1/sC_2)(1/R_2)(1/R_1) + (1/sC_1 + 1/sC_2)(1/R_2) + 1} = \frac{s^2}{s^2 + (1/R_2C_1 + 1/R_2C_2)s + 1/R_1R_2C_1C_2} \quad (13.22)$$

Ejemplo 13.21

Diséñese un filtro pasa-altas para conseguir la siguiente función de transferencia:

$$T(s) = \frac{s^2}{s^2 + 10s + 1000}$$

SOLUCIÓN Se selecciona el valor de dos componentes ya que existen más incógnitas que ecuaciones. Si se eligen $C_1 = C_2 = 10\ \mu\text{F}$, entonces la igualación de los coeficientes de s da

$$\frac{1}{R_2C_1} + \frac{1}{R_2C_2} = \left(\frac{1}{R_2}\right)(2 \times 20^5) = 10$$

y

$$R_2 = 20\ \text{k}\Omega$$

Igualando el término constante, se tiene

$$R_1R_2C_1C_2 = R_1(2 \times 10^4)(10^{-5})(10^{-5}) = 10^{-3}$$

y

$$R_1 = 500\ \Omega$$

El circuito completo aparece en la figura 13.24.

En la figura 13.25(a) se muestra un filtro pasa-banda de segundo orden, mientras que el circuito equivalente se halla en la figura 13.25(b). La función de transferencia se obtiene como sigue:

$$\left(\frac{1}{R_1} + C_1s + C_2s + \frac{1}{R_2}\right) V_1 = \frac{V_i}{R_1} + C_1sV_o$$

$$V_1 = \frac{-V_o}{R_3C_2s}$$

$$\left(\frac{1}{R_1} + C_1s + C_2s + \frac{1}{R_2}\right)\left(\frac{-V_o}{R_3C_2s}\right) = \frac{V_i}{R_1} + C_1sV_o$$

$$[R_2 + R_1R_2C_1s + R_1R_2C_2s + R_1 + C_1s(R_1R_2R_3C_2s)]V_o$$

$$= -R_2R_3C_2sV_i$$

Por último,

$$T(s) = \frac{-(1/R_1C_1)s}{s^2 + (1/R_3)(1/C_1 + 1/C_2)s + (R_1 + R_2)/(C_1C_2R_3R_1R_2)} \qquad (13.23)$$

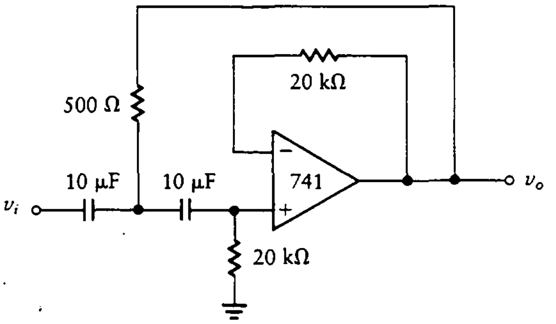


Figura 13.24
Filtro pasa-altas para el ejemplo 13.21.

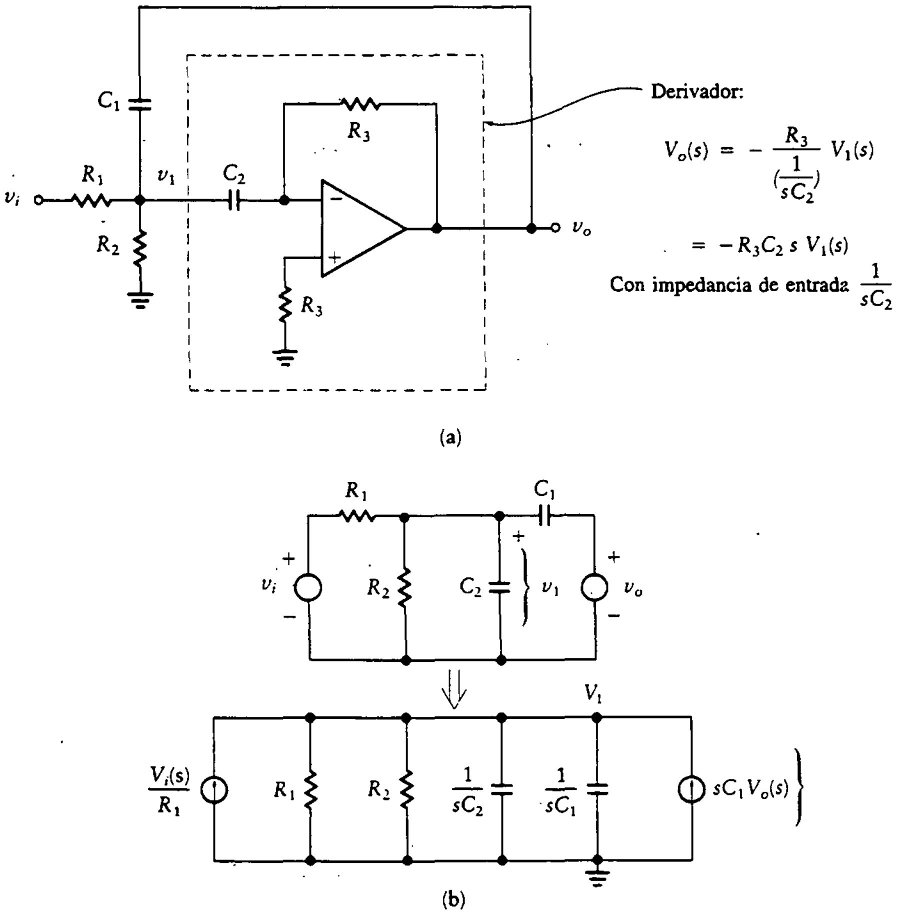


Figura 13.25
Filtro pasa-banda.

Ejemplo 13.22

Diséñese un filtro pasa-banda para conseguir la siguiente función de transferencia:

$$T(s) = \frac{-s}{s^2 + 10s + 1000}$$

SOLUCIÓN Existen cinco incógnitas en el circuito (R_1, R_2, R_3, C_1 y C_2) y sólo tres ecuaciones. Supóngase que se elige $C_1 = 1.0\ \mu$F. Entonces, al igualar los coeficientes de s en el numerador se obtiene

$$\frac{1}{R_1C_1} = \frac{10^6}{R_1} = 1$$

y

$$R_1 = 1\ \text{M}\Omega$$

Si ahora se elige $C_2 = 1\ \mu$F, al igualar los coeficientes de s en el denominador se tiene

$$\left(\frac{1}{R_3}\right)\left(\frac{1}{C_1} + \frac{1}{C_2}\right) = \left(\frac{1}{R_3}\right)(2 \times 10^6) = 10$$

por lo que

$$R_3 = 200\ \text{k}\Omega$$

Por último, se igualan las constantes en el denominador para encontrar

$$\frac{1/R_1 + 1/R_2}{C_1C_2R_3} = \frac{10^{-6} + 1/R_2}{10^{-6}(10^{-6})(2 \times 10^5)} = \frac{10^{-6} + 1/R_2}{2 \times 10^{-7}} = 1000$$

Por tanto, $R_2 = 5\ \text{k}\Omega$ y el diseño está completo; el circuito final se muestra en la figura 13.26.

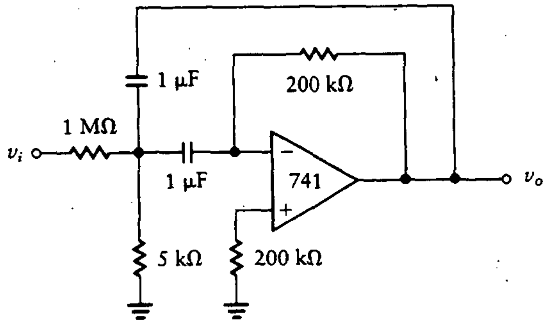


Figura 13.26
Circuito para el ejemplo 13.22.

Ejercicio

D13.11 Encuéntrese la función de transferencia para el circuito mostrado en la figura D13.9. ¿Qué tipo de filtro es éste?

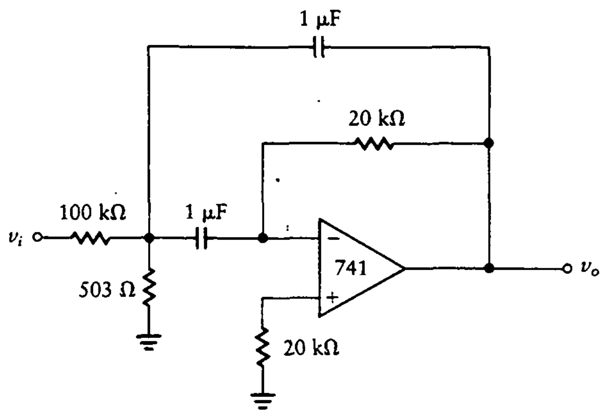


Figura D13.9

Resp.: $T(s) = \dfrac{-10s}{s^2 + 10^2 s + 10^5}$; filtro pasa-banda.

13.6 FILTROS ANALÓGICOS CLÁSICOS

Antes de poder diseñar filtros activos más complejos, es necesario familiarizarse con algunos resultados de la teoría de filtros pasivos.

Existen muchos tipos de filtros, cada uno con características especiales. Los *filtros Butterworth* no tienen rizo en la banda de paso y atenúan las frecuencias no deseadas fuera de esta banda. Los *filtros Chebyshev* atenúan las frecuencias indeseadas de forma más efectiva que los filtros Butterworth, pero presentan rizo en la banda de paso. Otros filtros clásicos importantes incluyen a los elípticos, parabólicos, Bessel, Papoulis y gausiano. El presente análisis se limita a los filtros Butterworth y Chebyshev, aunque para los otros tipos se pueden emplear métodos de diseño similares.

Las especificaciones de los filtros se presentan con frecuencia utilizando un diagrama de la característica de amplitud modificada contra frecuencia. Por ejemplo, la figura 13.27 es un diagrama de las características de un filtro pasa-bajas. La banda de paso del filtro se extiende desde una frecuencia cero hasta una frecuencia máxima f_{paso}. El intervalo de frecuencias entre f_{paso} y $f_{rechazo}$ se conoce como *banda de transición*, mientras que el intervalo por encima de $f_{rechazo}$ constituye la *banda de rechazo*. Las magnitudes que se muestran en el diagrama están en

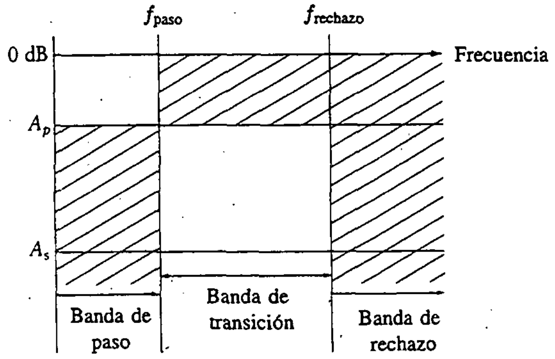


Figura 13.27 Característica del filtro pasa-bajas.

decibeles. Dentro de la banda de paso, la región sin sombrear indica que la magnitud debe estar por encima de A_p, la amplitud en la banda de paso, en toda la banda. Algunos filtros, como el Chebyshev, tienen un *rizo* en la banda de paso. Sin embargo, la magnitud mínima es mayor que A_p. Dentro de la banda de transición, la atenuación se presenta conforme aumenta la frecuencia, con una magnitud de A_s, la amplitud en la banda de rechazo, en $f_{rechazo}$ (la frecuencia superior).

La forma estándar para la función de transferencia de un filtro suele darse en la siguiente forma:

$$|T(j\omega)|^2 = \frac{1}{1 + e^2 s_n^2(\omega)} \tag{13.24}$$

En esta ecuación, $s_n(\omega)$ es un clásico polinomio de orden n y e está relacionado con el rizo en la banda de paso. En las siguientes secciones se exploran varios ejemplos específicos.

13.6.1 Filtros Butterworth

Los filtros Butterworth también se conocen como *filtros de magnitud máximamente plana (MMP)*, ya que la función de transferencia se elige de tal forma que la curva de la respuesta en magnitud sea lo más plana posible dentro de la banda de paso del filtro. Esto se consigue haciendo iguales a cero en el centro de la banda de paso tantas derivadas de la función como sea posible.

Supóngase que se hace que $s_n = \omega^n$ y $e = 1$ en la ecuación (13.24). Esto lleva a un filtro Butterworth. La magnitud elevada al cuadrado de la función de transferencia del filtro Butterworth de orden n está dada como:

$$|T(j\omega)|^2 = \frac{1}{1 + \omega^{2n}} \tag{13.25}$$

Por ejemplo, la función de transferencia para un filtro Butterworth de segundo orden está dada por

$$T(s) = \frac{1}{s^2 + \sqrt{2}s + 1} \tag{13.26}$$

Si se sustituye $s = j\omega$ en la ecuación (13.26), la magnitud de la función compleja resultante se da en la ecuación (13.25) con $n = 2$. La magnitud de la función de transferencia es unitaria dentro de la banda de paso, y la frecuencia de corte (es decir, la frecuencia donde $|T(j\omega)| = 1/\sqrt{2}$) también es unitaria. Esto se conoce como *filtro normalizado.*

La ecuación (13.25) es la expresión general para el cuadrado de la magnitud de la función de transferencia del filtro Butterworth. Conforme aumenta el orden del filtro, n, la caída en la región de transición se vuelve más pronunciada.

Supóngase que la caída se especifica en decibeles por década. El orden del filtro está dado por esta cantidad dividida entre 20. La caída es de $20n$ dB/década, donde n es el orden del filtro.

Supóngase además que las especificaciones dan la magnitud de la característica en dos puntos; esto es, la magnitud es $|T_1|$ a una frecuencia ω_1 y $|T_2|$ a una frecuencia ω_2. El orden requerido para el filtro se encuentra de la ecuación (13.25). Sustituyendo los dos valores en esta ecuación, se encuentra

$$n \geq \frac{\log(|T_2|^{-2} - 1)^{0.5}/(|T_1|^2 - 1)^{0.5}}{\log(\omega_2/\omega_1)} \tag{13.27}$$

La función de transferencia del filtro Butterworth se expresa como el recíproco de un polinomio en s. Si $T(s)$ es la función de transferencia y $B_n(s)$ el polinomio para el filtro de orden n, se obtiene

$$T(s) = \frac{1}{B_n(s)}$$

La función de transferencia para el filtro normalizado tiene una frecuencia de corte en $\omega = 1$. La magnitud a esta frecuencia de corte es 0.707.

Los polinomios normalizados para filtros Butterworth son los siguientes:

$$B_1(s) = s + 1$$

$$B_2(s) = s^2 + 1.414s + 1$$

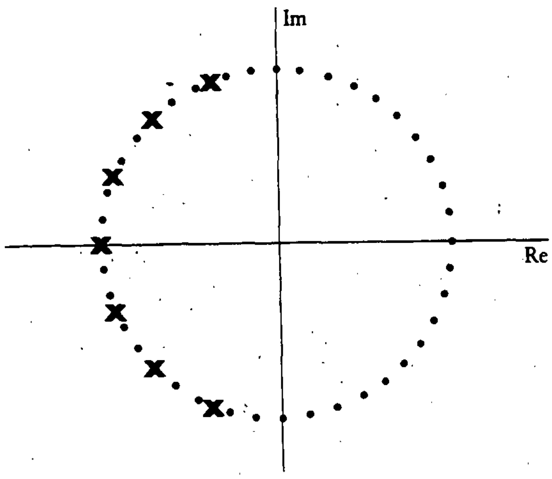
$$B_3(s) = s^3 + 2s^2 + 2s + 1$$

$$B_4(s) = s^4 + 2.61s^3 + 3.41s^2 + 2.61s + 1$$

$$B_5(s) = s^5 + 3.24s^4 + 5.24s^3 + 5.24s^2 + 3.24s + 1$$

$$B_6(s) = s^6 + 3.86s^5 + 7.46s^4 + 9.14s^3 + 7.46s^2 + 3.86s + 1 \tag{13.28}$$

Figura 13.28
Polos para un filtro Butterworth.



En la ecuación (13.26) se utiliza el polinomio de orden 2, $B_2(s)$.

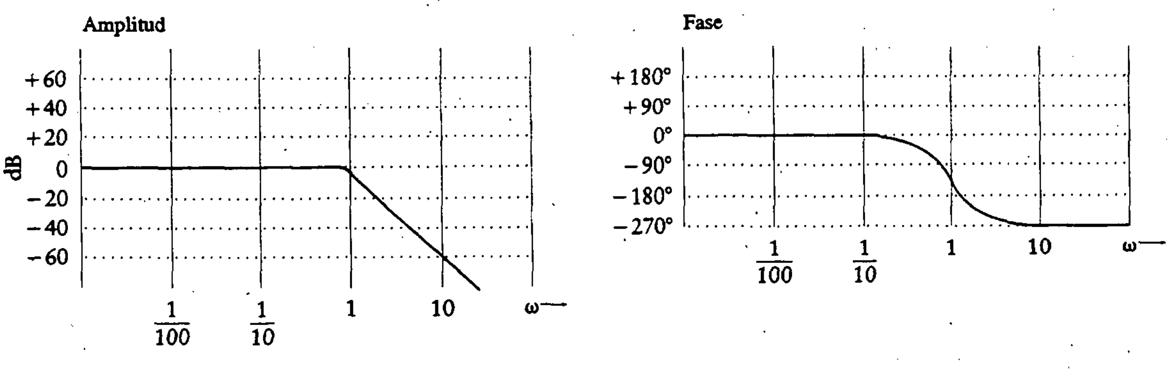
Para cada valor de n, los polos de $T(s)$ están en el círculo unitario en el semiplano izquierdo del plano s. Los polos se encuentran separados de manera simétrica, como se muestra en la figura 13.28.

Ejemplo 13.23

Determínese la función de transferencia para un filtro Butterworth pasa-bajas de tercer orden que tiene una función de transferencia normalizada dada por

$$T(s) = \frac{1}{s^3 + 2s^2 + 2s + 1}$$

y un diagrama de Bode como el de la figura 13.29.



SOLUCIÓN Un filtro Butterworth pasa-bajas con ganancia en cd de 10 y frecuencia de corte de 1000 Hz está definido por la función de transferencia

$$T(s) = \frac{10}{\left(\frac{s}{2\pi \times 1000}\right)^3 + 2\left(\frac{s}{2\pi \times 1000}\right)^2 + 2\left(\frac{s}{2\pi \times 1000}\right) + 1}$$

13.6.2 Filtros Chebyshev

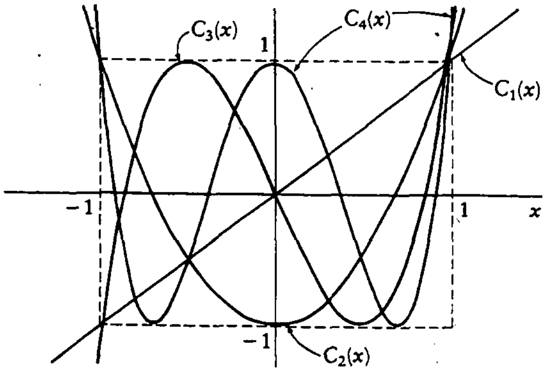
El filtro Chebyshev pasa-bajas tiene una función de transferencia que se construye con base en un polinomio de Chebyshev. Los polinomios se muestran en la figura 13.30 y están dados por las siguientes ecuaciones:

$$C_0 = 1$$
$$C_1(x) = x$$
$$C_2(x) = 2x^2 - 1$$
$$C_3(x) = 4x^3 - 3x$$
$$C_4(x) = 8x^4 - 8x^2 - 1$$
$$C_5(x) = 16x^5 - 20x^3 + 5x$$
$$C_6(x) = 32x^6 - 48x^4 + 18x^2 + 1$$

y, en general,

$$C_{n+1}(x) = 2xC_n(x) - C_{n-1}(x)$$

Figura 13.30 Polinomios de Chebyshev.



Los filtros Chebyshev presentan un rizo en la banda de paso, y tienen una caída más pronunciada que los filtros Butterworth. Para un orden dado, las características de ambos filtros tienen la misma pendiente asintótica. La magnitud de la función de transferencia es

$$|T^2(\omega)| = \frac{1}{1+\epsilon^2 C_n^2(\omega)}$$

donde C_n es el polinomio de orden n y ϵ determina la magnitud del rizo. La constante ϵ es menor que 1.

El filtro normalizado de Chebyshev pasa-bajas de segundo orden con $\epsilon = 0.5$ tiene un rizo delimitado por

$$\text{rizo} = \frac{1}{1+\epsilon^2} = 0.8$$

La función de transferencia se encuentra sustituyendo el valor de ϵ y el polinomio de Chebyshev en la expresión general para encontrar

$$\begin{aligned} |T^2(\omega)| &= \frac{1}{1+(0.5)^2 C_2^2(\omega)} \\ &= \frac{1}{1+0.25(2\omega^2-1)^2} \\ &= \frac{1}{\omega^4-\omega^2+0.75} \end{aligned}$$

Haciendo $s = j\omega$, se obtiene

$$T^2(s) = \frac{1}{s^4+s^2+0.75}$$

Esta se reescribe factorizando el cuadrado, con el siguiente resultado:

$$T^2(s) = \frac{1}{(s^2+0.5)^2+0.5}$$

Si el orden del filtro es impar, la curva de respuesta comienza en $T(j\omega) = 1$ o, en decibeles, en 0 dB. Si el orden del filtro es par, la curva inicia en la magnitud del rizo. Excluyendo el punto donde la curva cruza $\omega_p = 1$, el orden del filtro es igual a la suma de los máximos y mínimos de la respuesta en la banda de paso. Por tanto, la curva de la figura 13.31 representa un filtro de orden par igual a cuatro.

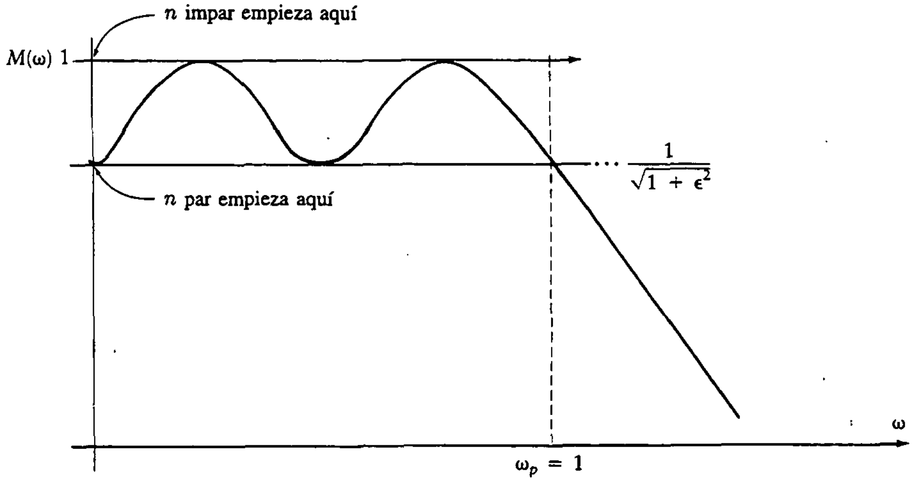


Figura 13.31 Ejemplo de un filtro Chebyshev.

Cuando se diseñan filtros de orden elevado, el método más conveniente es dividir la función en etapas de segundo y tercer orden. Estas etapas sucesivas se combinan para obtener la respuesta deseada. Esta colocación en cascada es posible debido al aislamiento de los amplificadores operacionales, lo cual implica una gran facilidad para la colocación en cascada. Si una etapa cargara a la otra, la colocación en cascada no sería posible.

13.7 TRANSFORMACIONES

Existe una relación muy cercana entre las diferentes clasificaciones de filtros. Cuando un diseño se completa para un tipo, a menudo es posible modificar el diseño para cambiar el filtro a una diferente clasificación. De esta forma, se pueden evitar los prolongados rediseños. Se examinan dos transformaciones particulares entre dos formatos de un filtro.

13.7.1 Transformación de pasa-bajas a pasa-altas

La sustitución de s por $1/s$ convierte una función de transferencia normalizada pasa-bajas en una función de transferencia pasa-altas. Esta transformación tiene el efecto de intercambiar los resistores con todos los capacitores, como se vio en un ejemplo de la sección 13.5.

Ejemplo 13.24

Transfórmese un filtro Butterworth pasa-bajas de tercer orden en un filtro pasa-altas.

SOLUCIÓN La función de transferencia pasa-bajas está dada por

$$T_{PB}(s) = \frac{1}{s^3 + 2s^2 + 2s + 1}$$

Ahora se reemplaza s por $1/s$ para obtener

$$T_{PA} = \frac{1}{(1/s)^3 + 2(1/s)^2 + 2(1/s) + 1}$$
$$= \frac{s^3}{s^3 + 2s^2 + 2s + 1}$$

La amplitud y la fase para esta red Butterworth transformada se muestran en la figura 13.32.

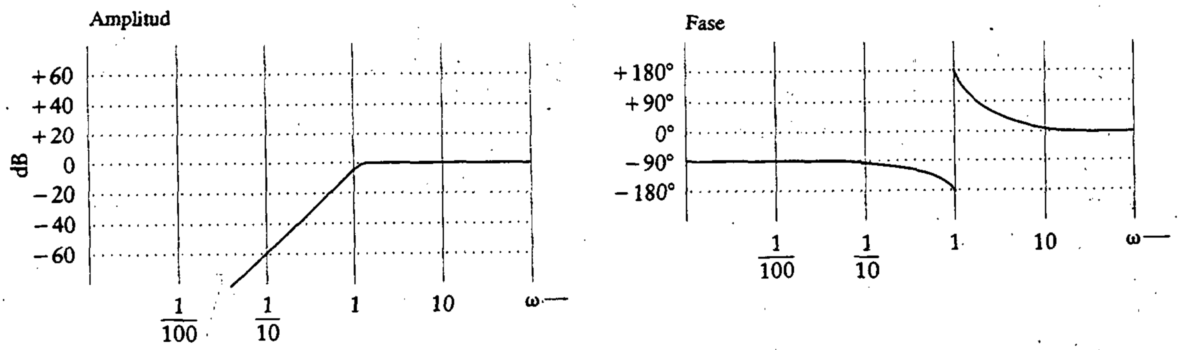


Figura 13.32 Diagrama de Bode para el filtro Butterworth transformado.

Ejemplo 13.25

Transfórmese el siguiente filtro Chebyshev pasa-bajas de segundo orden en un filtro pasa-altas:

$$T_{PB}(s) = \frac{1}{(s + 0.84)^2 + 0.87^2}$$

SOLUCIÓN Se comienza con la función de transferencia para el pasa-bajas,

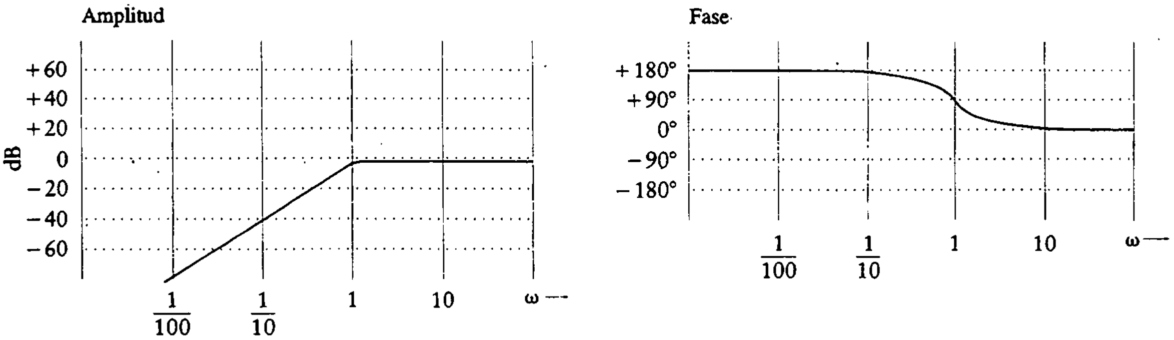


Figura 13.33 Diagrama de Bode para el filtro de Chebyshev transformado.

$$T_{PB}(s) = \frac{1}{s^2 + 1.7s + 1.47}$$

Ahora se reemplaza s por $1/s$ para obtener

$$T_{PA} = \frac{1}{(1/s)^2 + 1.7(1/s) + 1.47}$$
$$= \frac{s^2}{1.47s^2 + 1.7s + 1}$$

El diagrama de Bode para esta red Chebyshev transformada se muestra en la figura 13.33.

13.7.2 Transformación pasa-banda

Se puede convertir una función de transferencia pasa-bajas normalizada en una función de transferencia pasa-banda normalizada haciendo la sustitución

$$\frac{s^2 + 1}{s}$$

en lugar de s. El orden del filtro pasa-banda es el doble del filtro pasa-bajas original.

Ejemplo 13.26

Transfórmese un filtro pasa-bajas Butterworth de tercer orden en un filtro pasa-banda.

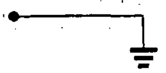
SOLUCIÓN Se inicia con la función de transferencia del filtro pasa-bajas,

$$T_{PB}(s) = \frac{1}{s^3 + 2s^2 + 2s + 1}$$

Reemplazando s con $(s^2 + 1)/s$, se obtiene

$$T_{BP}(s) = \frac{1}{[(s^2 + 1)/s]^3 + 2[(s^2 + 1)/s]^2 + 2[(s^2 + 1)/s] + 1]}$$

$$= \frac{s^3}{s^6 + 2s^5 + 5s^4 + 5s^3 + 5s^2 + 2s + 1}$$



13.8 PROCEDIMIENTO DE DISEÑO PARA FILTROS DE BUTTERWORTH Y CHEBYSHEV

En esta sección, se examina un método de resistencia constante o capacitancia constante para el diseño de filtros Butterworth y Chebyshev. El procedimiento de diseño supone de antemano resistores de 1 Ω en el filtro pasa-bajas de la figura 13.34. En esta sección se desarrollan filtros hasta de décimo orden. Cada orden se forma combinando filtros de segundo y tercer orden.

Para diseñar un filtro pasa-altas Butterworth o Chebyshev, se intercambian los capacitores y resistores del diseño para el pasa-bajas. En un filtro pasa-altas, los capacitores tienen el mismo valor (en vez de los resistores, como en el caso de los filtros pasa-bajas). Los filtros pasa-altas de dos y tres polos se muestran en la figura 13.35.

La configuración del circuito para el filtro Chebyshev es idéntica a la del filtro Butterworth. Sólo son diferentes los valores de los componentes.

13.8.1 Diseño del filtro pasa-bajas

Se deben especificar cuatro parámetros para poder diseñar un filtro Butterworth o Chebyshev. Estos cuatro parámetros se pueden establecer de varias formas. En la figura 13.36 se muestra un conjunto de alternativas, y los parámetros son los siguientes:

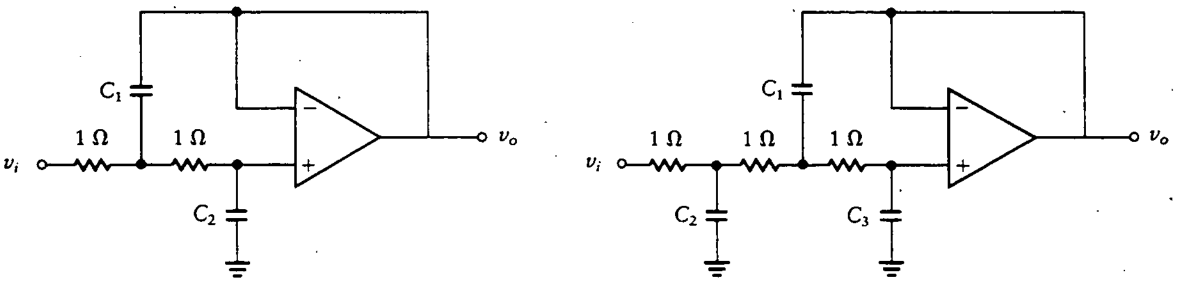
A_p = atenuación en decibeles en la banda de paso

A_s = atenuación en decibeles en la banda de rechazo

f_p = frecuencia a la cual se presenta A_p

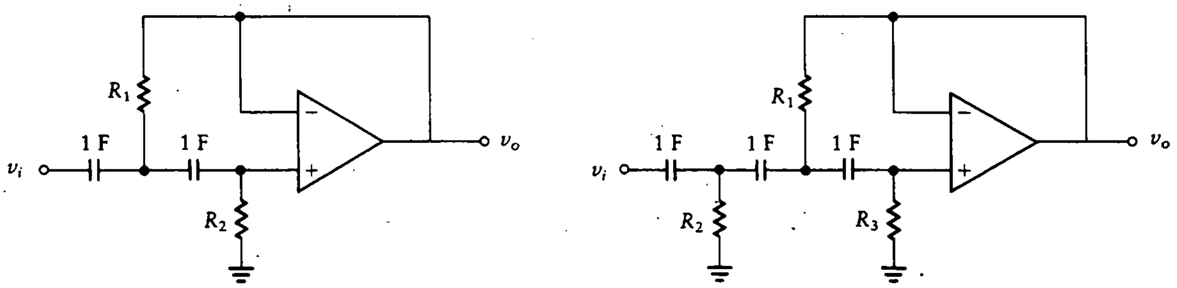
f_s = frecuencia a la cual se presenta A_s

En el caso del filtro Chebyshev, se especifica un parámetro adicional. Este parámetro es el máximo rizo permitido en la banda de paso, dado en decibeles.



(a) Filtro de dos polos (b) Filtro de tres polos

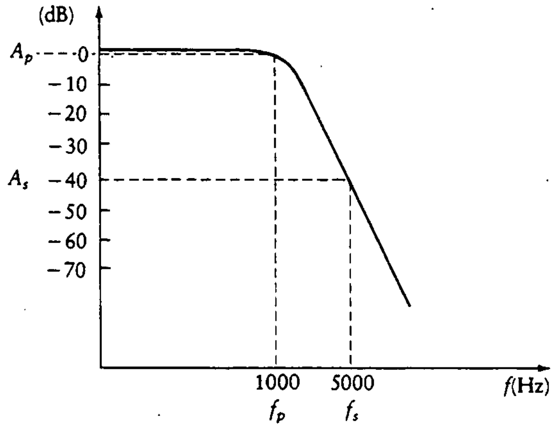
Figura 13.34 Filtros pasa-bajas activos de R unitaria.



(a) Filtro de dos polos (b) Filtro de tres polos

Figura 13.35 Filtros pasa-altas activos de C unitaria.

Figura 13.36 Especificaciones de la respuesta en frecuencia para un filtro pasa-bajas.



El procedimiento de diseño se divide en dos partes. Primero es necesario encontrar el *orden* requerido de filtro y luego el *factor de escala* que se debe aplicar a los valores normalizados de los parámetros.

13.8.2 Orden del filtro

Primero se determina qué orden de filtro es necesario para satisfacer las especificaciones de A_p en f_p y A_s en f_s. Nótese que A_p y A_s son magnitudes, por lo que no interesa el signo menos que aparece en las expresiones.

El primer paso es utilizar la información sobre la amplitud en las bandas de paso y de rechazo para encontrar el orden del filtro requerido. Este orden se denota como n_B para el filtro Butterworth y n_C en el caso Chebyshev. Se utiliza la ecuación (13.27), donde T_1 es A_p, ω_1 es ω_p, T_2 es A_s, y ω_2 es ω_s. Como A_p es el número de decibeles *por debajo* de 0 dB, el valor de T_1 es $10^{-A_p/20}$. Las otras cantidades se transforman de manera similar. Por tanto, la ecuación para el orden Butterworth, n_B, es

$$n_B = \frac{\log(\epsilon_2/\epsilon_1)}{\log(f_s/f_p)} \tag{13.29a}$$

y la ecuación para el orden Chebyshev, n_C, es

$$n_C = \frac{\ln(2\epsilon_2/\epsilon_1)}{\sqrt{2(f_s/f_p - 1)}} \tag{13.29b}$$

donde

$$\begin{aligned} \epsilon_1 &= \sqrt{10^{0.1A_p} - 1} \\ \epsilon_2 &= \sqrt{10^{0.1A_s} - 1} \end{aligned} \tag{13.30}$$

Ejemplo 13.27

Selecciónese el orden para un filtro pasa-bajas que tiene las siguientes especificaciones:

$A_p = 3$ dB en $f_p = 1$ kHz
$A_s = 40$ dB en $f_s = 5$ kHz

La característica del filtro se muestra en la figura 13.36

SOLUCIÓN Utilizando la ecuación (13.30), se obtiene

$$\epsilon_1 = \sqrt{10^{(0.1)(3)} - 1} = \sqrt{10^{0.3} - 1} = \sqrt{2 - 1} = 1$$

$$\epsilon_2 = \sqrt{10^{(0.1)(40)} - 1} = \sqrt{10^4 - 1} = 100$$

n_B y n_C se calculan como sigue:

$$n_B = \frac{\log(\epsilon_2/\epsilon_1)}{\log(f_s/f_p)} = \frac{\log(100)}{\log(5000/1000)} = 2.86 \quad \text{así que se usa } n = 3.$$

$$n_C = \frac{\ln(2\epsilon_2/\epsilon_1)}{\sqrt{2(f_s/f_p - 1)}} = \frac{\ln(200)}{\sqrt{8}} = 1.87 \quad \text{así que se usa } n = 2.$$

El orden debe ser un entero, por lo que se elige el siguiente entero mayor al valor calculado.

13.8.3 Factor de escala de los parámetros

Ahora que ya se conoce el orden requerido para el filtro, se necesita elegir el valor de los componentes.

Existen muchos métodos de síntesis para diseñar estos filtros. La técnica de resistencia o capacitancia constante presentada aquí proporciona un método directo y adecuado para diseñar fácilmente estos filtros ([64] proporciona información adicional con respecto al procedimiento de diseño). Una vez que se conoce el orden del filtro, se puede utilizar la tabla 13.2 para seleccionar los coeficientes del capacitor para el filtro Butterworth o la tabla 13.3, (a) a (e), para el diseño del filtro Chebyshev.

En la tabla 13.2 se muestran las relaciones de los capacitores para filtros Butterworth pasa-bajas normalizados y las relaciones de resistores para filtros pasa-altas. Para el filtro pasa-bajas, se supone que los resistores son de 1 Ω. Así, como ejemplo, en el primer renglón de la tabla se observa el diseño de un filtro Butterworth de segundo orden. Se utiliza una etapa de segundo orden con $C_1/C = 1.41$ y $C_2/C = 0.707$. Para órdenes mayores que 3, la tabla contiene más de un renglón. La razón es que estos filtros se construyen utilizando etapas de segundo y tercer orden, por lo que para un orden mayor que 3, se requiere más de una etapa. La tabla está configurada para una frecuencia de corte unitaria, esto es, $\omega_p = 1$.

Para diseñar un filtro Butterworth práctico, se obtienen las relaciones de capacitores o resistores de la tabla y se ajustan los valores a tamaños prácticos. Esto es, si la frecuencia de corte es distinta de 1 rps, y/o los resistores son diferentes de 1 Ω, los valores de los capacitores de la tabla se deben ajustar apropiadamente. Puesto que el producto RC es inversamente proporcional a la frecuencia, entonces, para una frecuencia dada, R y C se relacionan también en forma inversa. Si, por ejemplo, se duplica R, entonces se divide C. Por tanto, si se utilizan resistores distintos de 1 Ω, se ajustan las relaciones de los capacitores de la tabla. De la misma forma, si se utiliza una frecuencia de corte distinta de 1 rps, se ajustan nuevamente los valores de los capacitores.

Tabla 13.2 Valores para pasa-bajas activo Butterworth.*

Orden n	$C_1=C$ o $R=R_1$	$C_2=C$ o $R=R_2$	$C_3=C$ o $R=R_3$
2	1.414	0.7071	
3	3.546	1.392	0.2024
4	1.082	0.9241	
	2.613	0.3825	
5	1.753	1.354	0.4214
	3.235	0.3090	
6	1.035	0.9660	
	1.414	0.7071	
	3.863	0.2588	
7	1.531	1.336	0.4885
	1.604	0.6235	
	4.493	0.2225	
8	1.020	0.9809	
	1.202	0.8313	
	1.800	0.5557	
	5.125	0.1950	
9	1.455	1.327	0.5170
	1.305	0.7661	
	2.000	0.5000	
	5.758	0.1736	
10	1.012	0.9874	
	1.122	0.8908	
	1.414	0.7071	
	2.202	0.4540	
	6.390	0.1563	

* Véase [64]

Los valores de los resistores, que se muestran como 1 Ω en la figura 13.34, se elevan a un valor más práctico. Los valores de los capacitores también se ajustan a valores prácticos. En primer lugar se selecciona un valor para todos los resistores, esto es, $R_1 = R_2 = R_3 = R$. El valor real de los capacitores se encuentra utilizando la ecuación de escala,

$$C_n = \frac{C_i}{2\pi f_p R} \tag{13.31}$$

donde R es el valor del resistor elegido y C_i se lee de la tabla.

Tabla 13.3a Valores para Chebyshev activos de 0.01 dB*.

Orden n	$C_1=C$ o $R=R_1$	$C_2=C$ o $R=R_2$
2	1.4826	0.7042
4	1.4874	1.1228
	3.5920	0.2985
6	1.8900	1.5249
	2.5820	0.5953
	7.0522	0.1486
8	2.3652	1.9493
	2.7894	0.8196
	4.1754	0.3197
	11.8920	0.08672

*Véase [64]

Tabla 13.3b Valores para Chebyshev activos de 0.1 dB*.

Orden n	$C_1=C$ o $R=R_1$	$C_2=C$ o $R=R_2$	$C_3=C$ o $R=R_3$
2	1.638	0.6995	
3	6.653	1.825	0.1345
4	1.900	1.241	
	4.592	0.2410	
5	4.446	2.520	0.3804
	6.810	0.1580	
6	2.553	1.776	
	3.487	0.4917	
	9.531	0.1110	
7	5.175	3.322	0.5693
	4.546	0.3331	
	12.73	0.08194	
8	3.270	2.323	
	3.857	0.6890	
	5.773	0.2398	
	16.44	0.06292	
9	6.194	4.161	0.7483
	4.678	0.4655	
	7.170	0.1812	
	20.64	0.04980	
10	4.011	2.877	
	4.447	0.8756	
	5.603	0.3353	
	8.727	0.1419	
	25.32	0.04037	

*Véase [64]

Tabla 13.3c Valores para Chebyshev activos de 0.25 dB*.

Orden n	$C_1=C$ o $R=R_1$	$C_2=C$ o $R=R_2$	$C_3=C$ o $R=R_3$
2	1.778	0.6789	
3	8.551	2.018	0.1109
4	2.221	1.285	
	5.363	0.2084	
5	5.543	2.898	0.3425
	8.061	0.1341	
6	3.044	1.875	
	4.159	0.4296	
	11.36	0.09323	
7	6.471	3.876	0.5223
	5.448	0.2839	
	15.26	0.06844	
8	3.932	2.474	
	4.638	0.6062	
	6.942	0.2019	
	19.76	0.05234	
9	7.766	4.891	0.6919
	5.637	0.3983	
	8.639	0.1514	
	24.87	0.04131	
10	4.843	3.075	
	5.368	0.7725	
	6.766	0.2830	
	10.53	0.1181	
	30.57	0.03344	

* Véase [64]

Tabla 13.3d Valores para Chebyshev activos de 0.5 dB*.

Orden n	$C_1=C$ o $R=R_1$	$C_2=C$ o $R=R_2$	$C_3=C$ o $R=R_3$
2	1.950	0.6533	
3	11.23	2.250	0.8985
4	2.582	1.300	
	6.233	0.1802	
5	6.842	3.317	0.3033
	9.462	0.1144	

Tabla 13.3d Valores para Chebyshev activos de 0.5 dB*. (*Continuación*)

Orden n	$C_1=C$ o $R=R_1$	$C_2=C$ o $R=R_2$	$C_3=C$ o $R=R_3$
6	3.592	1.921	
	4.907	0.3743	
	13.40	0.07902	
7	7.973	4.483	0.4700
	6.446	0.2429	
	18.07	0.05778	
8	4.665	2.547	
	5.502	0.5303	
	8.237	0.1714	
	23.45	0.04409	
9	9.563	5.680	0.6260
	6.697	0.3419	
	10.26	0.1279	
	29.54	0.03475	
10	5.760	3.175	
	6.383	0.6773	
	8.048	0.2406	
	12.53	0.09952	
	36.36	0.02810	

*Véase [64]

Tabla 13.3e Valores para Chebyshev activos de 1 dB*.

Orden n	$C_1=C$ o $R=R_1$	$C_2=C$ o $R=R_2$	$C_3=C$ o $R=R_3$
2	2.218	0.6061	
3	16.18	2.567	0.06428
4	3.125	1.269	
	7.546	0.1489	
5	8.844	3.935	0.2540
	11.55	0.09355	
6	4.410	1.904	
	6.024	0.3117	
	16.46	0.06425	
7	10.29	5.382	0.4012
	7.941	0.1993	
	22.25	0.04684	

Tabla 13.3e Valores para Chebyshev activos de 1 dB*. (*Continuación*)

Orden n	C_1=C o R=R_1	C_2=C o R=R_2	C_3=C o R=R_3
8	5.756	2.538	
	6.792	0.4435	
	10.15	0.1395	
	28.94	0.03568	
9	12.33	6.853	0.5382
	8.281	0.2813	
	12.68	0.1038	
	36.51	0.02808	
10	7.125	3.170	
	7.897	0.5630	
	9.952	0.1962	
	15.50	0.08054	
	44.98	0.02269	

*Véase [64]

Ejemplo 13.28

Encuéntrense los valores de los componentes para el diseño del ejemplo 13.27. En ese ejemplo se especifica

$$A_p = -3 \text{ dB en } f_p = 1 \text{ kHz}$$

$$A_s = -40 \text{ dB en } f_s = 5 \text{ kHz}$$

SOLUCIÓN Consúltese la tabla 13.2 para el filtro Butterworth de orden $n_B = 3$. Para orden 3, las relaciones de los capacitores se leen como sigue:

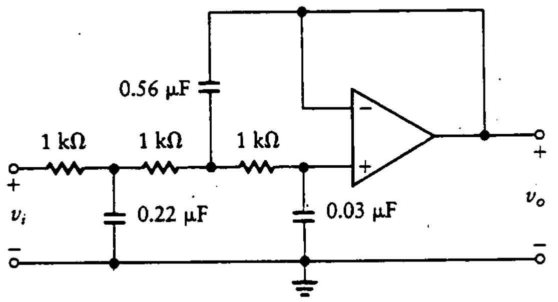
$$\frac{C_1}{C} = 3.546; \qquad \frac{C_2}{C} = 1.392; \qquad \frac{C_3}{C} = 0.204$$

Estos valores se deben ajustar de manera inversa con la frecuencia y el valor del resistor seleccionado. Supóngase que se eligen resistores de 1 kΩ. Entonces el factor de escalamiento es

$$\frac{1}{2\pi f_p R} = \frac{1}{2\pi \times 10^3 \times 10^3} = 0.16 \times 10^{-6}$$

Esto proporciona capacitores de valor

Figura 13.37
Filtro Butterworth de tres polos para el ejemplo 13.28.



$$C_1 = (0.16)(3.546)\ \mu F = 0.56\ \mu F$$

$$C_2 = (0.16)(1.392)\ \mu F = 0.2\ \mu F$$

$$C_3 = (0.16)(0.2024)\ \mu F = 0.03\ \mu F$$

El filtro completo se muestra en la figura 13.37. Todos los valores de los resistores son de 1 kΩ. Si los valores obtenidos para los capacitores no fueran prácticos debido al tamaño o a la disponibilidad, se podría seleccionar un nuevo valor para R y volver a calcular el valor de los capacitores.

Ejemplo 13.29

Derívese el filtro Chebyshev de 0.1 dB para las especificaciones del ejemplo 13.28.

SOLUCIÓN Se selecciona otra vez R = 1 kΩ y se utilizan los coeficientes de capacitores para un filtro pasa-bajas Chebyshev de orden 2 (recuérdese que $n_C = 2$ del ejemplo 13.27). Estos coeficientes se toman de la tabla 13.3(b), ya que el máximo rizo se especifica como 0.1 dB. Por tanto,

$$\frac{C_1}{C} = 1.638$$

$$\frac{C_2}{C} = 0.6955$$

Utilizando la técnica de escalamiento descrita antes, se encuentra que el valor de la escala es

$$\frac{1}{2\pi f_p R} = 0.16 \times 10^{-6}$$

Por tanto, se obtiene

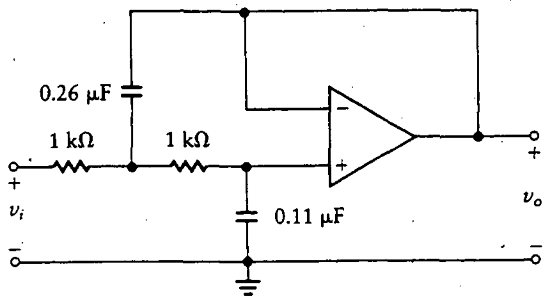


Figura 13.38
Filtro Chebyshev para el ejemplo 13.29.

$$C_1 = (0.16)(1.638)\ \mu\text{F} = 0.26\ \mu\text{F}$$

$$C_2 = (0.16)(0.6955)\ \mu\text{F} = 0.11\ \mu\text{F}$$

El filtro se muestra en la figura 13.38.

13.8.4 Filtro pasa-altas

Los circuitos para un filtro pasa-altas se muestran en la figura 13.35(a) para un filtro de dos polos y en la figura 13.35(b) para uno de tres polos. Al calcular el orden para un filtro pasa-altas, f_p y f_s se intercambian, y todos los capacitores son del mismo valor. En las tablas se utiliza la razón R/R_i en vez de C_i/C.

Ejemplo 13.30

Diséñese un filtro activo pasa-altas que cumpla con los siguientes requerimientos:

$$A_p = 3 \text{ dB en } f_p = 100 \text{ Hz}$$

$$A_s = 75 \text{ dB en } f_s = 25 \text{ Hz}$$

SOLUCIÓN En primer lugar se calcula el orden del filtro utilizando la ecuación (13.30):

$$\epsilon_1 = \sqrt{10^{(0.1)(3)} - 1} = 1$$

$$\epsilon_2 = \sqrt{10^{7.5} - 1} = 5623$$

Entonces el orden requerido para los filtros Butterworth y Chebyshev se obtiene de la ecuación (13.29):

$$n_B = \frac{\log 5623}{\log(100/25)} = \frac{3.75}{0.6} = 6.25 \quad \text{así que se usa 7}$$

$$n_C = \frac{\ln(2 \times 5623)}{\sqrt{2(100/25 - 1)}} = \frac{9.33}{2.45} = 3.81 \quad \text{así que se usa 4}$$

Nuevamente se toma el siguiente entero mayor para el orden.

Se selecciona el filtro Chebyshev porque es de orden menor que el Butterworth. Se utilizan los datos para un filtro Chebyshev de 0.5 dB de la tabla 13.3(d). Nótese que en esta tabla las relaciones son de *resistores*, R/R_i, para un filtro pasa-altas y de *capacitores* para el filtro pasa-bajas. Entonces, para este filtro de cuarto orden, se obtiene la siguiente información.

Primera etapa

$$\frac{R}{R_1} = 2.582 \quad \frac{R}{R_2} = 1.3$$

Segunda etapa

$$\frac{R}{R_1'} = 6.233 \quad \frac{R}{R_2'} = 0.1802$$

Se elige $C = 0.015\ \mu$F. Entonces el factor de escalamiento está dado por

$$R = \frac{1}{2\pi f_p C} = \frac{1}{2\pi(15 \times 10^{-9})(100)} = 1.06 \times 10^5$$

Se obtienen los siguientes resistores:

$$R_1 = \frac{R}{2.582} = \frac{1.06 \times 10^5}{2.582} = 41.1\ \text{k}\Omega$$

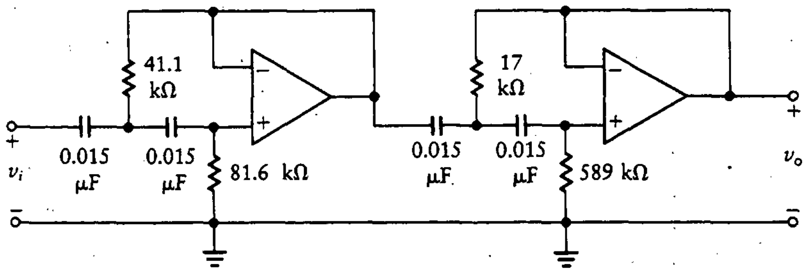
$$R_2 = \frac{1.06 \times 10^5}{1.3} = 81.6\ \text{k}\Omega$$

$$R_1' = \frac{1.06 \times 10^5}{6.233} = 17\ \text{k}\Omega$$

$$R_2' = \frac{1.06 \times 10^5}{0.1802} = 589\ \text{k}\Omega$$

El circuito se muestra en la figura 13.39. Nótese que no existe diferencia respecto a qué filtro de segundo orden va primero y cuál después.

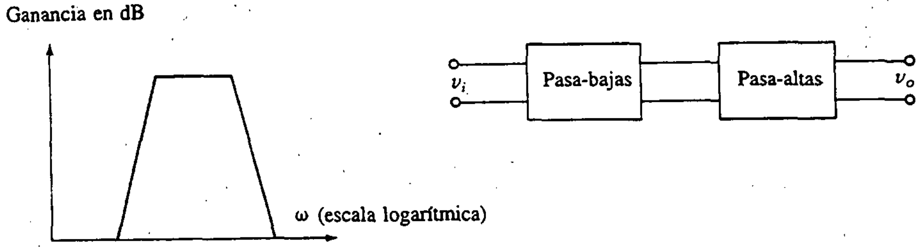
Figura 13.39
Filtro pasa-altas Chebyshev para el ejemplo 13.30.



13.8.5 Diseño de filtros pasa-banda y rechaza-banda

Los filtros pasa-banda y rechaza-banda se forman a partir de filtros pasa-bajas y pasa-altas. La respuesta en frecuencia para el filtro pasa-banda se muestra en la figura 13.40(a). Este tipo de filtro se forma colocando un filtro pasa-bajas en serie con uno pasa-altas, como se muestra en la figura 13.40(b). La respuesta en frecuencia para el filtro rechaza-banda se muestra en la figura 13.41(a). Este tipo de filtro se forma colocando un filtro pasa-bajas en paralelo con uno pasa-altas, como se observa en la figura 13.41(b).

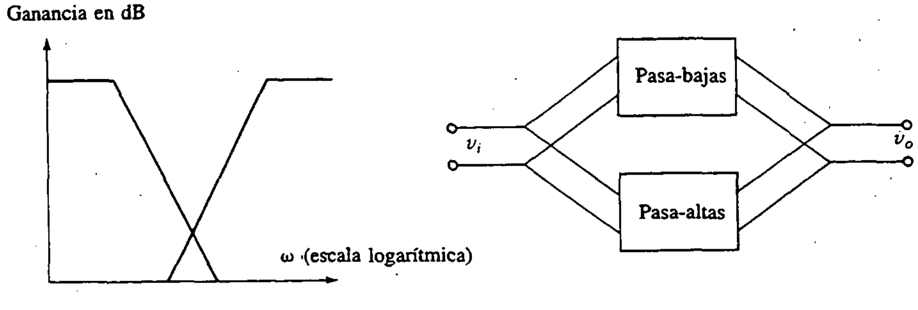
Figura 13.40
Filtro pasa-banda.



(a) Respuesta en frecuencia

(b) Filtros pasa-bajas y pasa-altas en serie

Figura 13.41
Filtro rechaza-banda.



(a) Respuesta en frecuencia

(b) Filtros pasa-bajas y pasa-altas en paralelo

Ejemplo 13.31

Diséñese un filtro pasa-banda Butterworth que tenga la respuesta en frecuencia mostrada en la figura 13.42.

SOLUCIÓN Este filtro se diseña utilizando un filtro pasa-bajas en serie con uno pasa-altas, como se muestra en la figura 13.40(b). Se inicia con el diseño del filtro pasa-bajas utilizando las ecuaciones (13.29a) y (13.30) como sigue:

$$\epsilon_1 = \sqrt{10^{(0.1)(3)} - 1} = 1$$

$$\epsilon_2 = \sqrt{10^{(0.1)(30)} - 1} = 31.6$$

$$n_B = \frac{\log(\epsilon_2/\epsilon_1)}{\log(f_s/f_p)} = \frac{\log(31.6)}{\log(8000/4000)} = 4.98 \quad \text{así que se usa 5}$$

Los coeficientes C_i/C se obtienen de la tabla 13.2 como sigue:

1.753	1.354	0.4214
3.235	0.309	

Se encuentra que el factor de escalamiento, C, para una elección $R = 10\ \text{k}\Omega$, es

$$C = \text{ factor de escalamiento } = \frac{1}{2\pi f_p R} = \frac{1}{2\pi(4 \times 10^3)(10^4)} = 3.98 \times 10^{-9}\ \text{F}$$

El factor de escalamiento se multiplica por cada uno de los coeficientes C_i/C para dar el valor de los capacitores. El circuito final para la sección pasa-bajas se

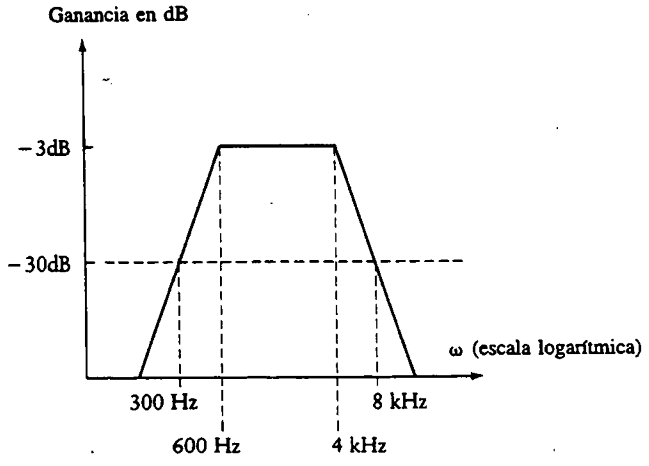


Figura 13.42
Respuesta del filtro pasa-banda para el ejemplo 13.31.

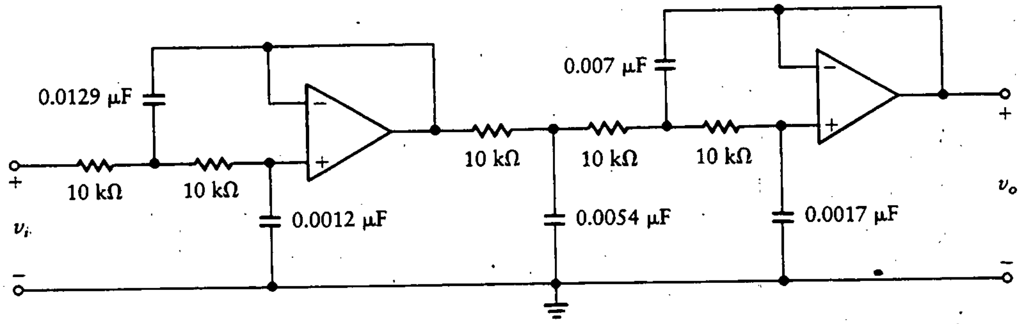


Figura 13.43 Filtro pasa-bajas para el ejemplo 13.31.

muestra en la figura 13.43. No hay diferencia en colocar el filtro de tercer orden antes o después del filtro de segundo orden.

La segunda parte del filtro conlleva el diseño de la sección pasa-altas. Las ecuaciones (13.29a) y (13.30) se utilizan como sigue:

$$\epsilon_1 = \sqrt{10^{(0.1)(3)} - 1} = 1$$

$$\epsilon_2 = \sqrt{10^{(0.1)(30)} - 1} = 31.6$$

y $n_B = 5$ al igual que para el filtro pasa-bajas. Los coeficientes para el filtro pasa-altas son las relaciones de R/R_i, aunque tienen los mismos valores numéricos que las relaciones C_i/C. Por tanto, están dadas como sigue:

1.753	1.354	0.4214
3.235	0.309	

Se elige $C = 0.05$ μF, lo que da como factor de escalamiento, R,

$$R = \text{ factor de escalamiento } = \frac{1}{2\pi(600)(0.5 \times 10^{-7})} = 5.305 \text{ k}\Omega$$

Los valores de los resistores, R_i, se encuentran dividiendo R, el factor de escalamiento entre los coeficientes, como sigue

$$R_1 = \frac{5305}{1.753} = 3.03 \text{ k}\Omega$$

$$R_2 = \frac{5305}{1.354} = 3.92 \text{ k}\Omega$$

$$R_3 = \frac{5305}{0.4214} = 12.59 \text{ k}\Omega$$

$$R_4 = \frac{5305}{3.235} = 1.64 \text{ k}\Omega$$

$$R_5 = \frac{5305}{0.309} = 17.17 \text{ k}\Omega$$

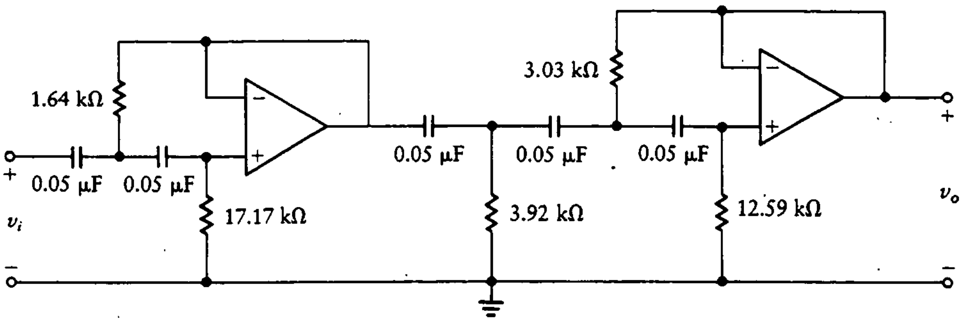


Figura 13.44 Filtro pasa-altas para el ejemplo 13.31.

El circuito final para la sección pasa-altas se muestra en la figura 13.44. El circuito completo se forma colocando la sección pasa-bajas de la figura 13.43 en serie con la sección pasa-altas de la figura 13.44.

13.9 FILTROS EN CIRCUITO INTEGRADO

Si se intenta producir los diseños de los filtros presentados en la primera parte de este capítulo en forma de circuito integrado, se encuentran los siguientes problemas:

1. El desempeño del filtro (especialmente la ubicación de la frecuencia de corte) depende de la exactitud del valor de los componentes. Por ejemplo, con el filtro pasa-altas del ejemplo 13.30 (que se muestra en la figura 13.39), es necesario seleccionar valores de resistores de 15.5, 32, 349, 11.2 y 927 kΩ. Refiriéndonos a los valores estándar en el apéndice E se ve que deben hacerse aproximaciones en la construcción de este filtro, ya que los resistores en general no están disponibles.
2. Generalmente se requieren valores muy grandes de capacitores. Los ejemplos vistos en las secciones anteriores arrojan valores de capacitores en el intervalo de microfarads.

Una técnica que evita estos problemas es la utilización de *filtros de capacitor conmutado*. Muchos fabricantes producen filtros en CI basados en esta técnica. En primer lugar se considera la teoría de filtros de capacitor conmutado y luego se trata el método para el diseño de filtros de capacitor conmutado en CI.

13.9.1 Filtros de capacitor conmutado

Un capacitor se conmuta entre dos nodos a una frecuencia de conmutación muy alta. El resultado es que este circuito es equivalente a un resistor cuyo valor se puede determinar con exactitud por el periodo de la operación de conmutación.

En la figura 13.45(a) se muestra un integrador RC activo. Esta red se analizó en la sección 13.1. La resistencia de entrada al integrador, *R*, se cambia por un capacitor conmutado en el circuito de la figura 13.45(b). Los dos interruptores

Figura 13.45
Filtro de capacitor conmutado.

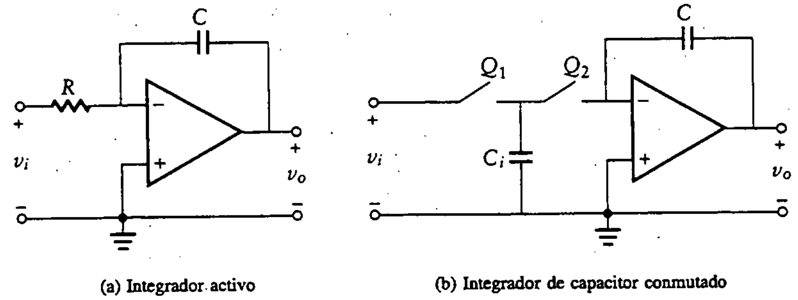
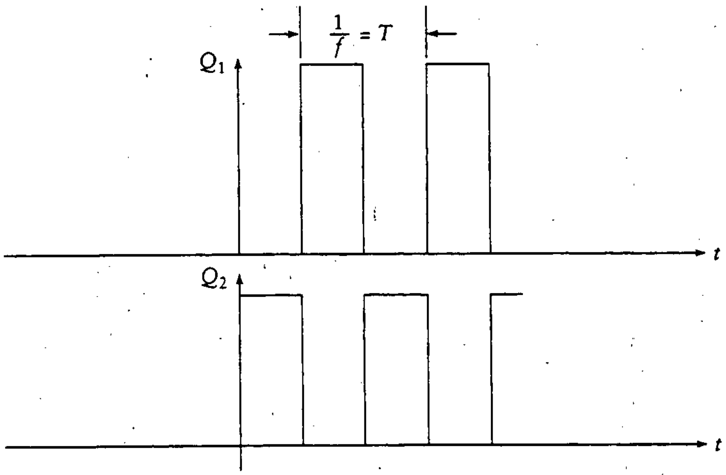


Figura 13.46
Reloj para el filtro de capacitor conmutado.



CMOS* Q_1 y Q_2, son manejados por un reloj de dos fases sin traslapo de periodo T, como se muestra en la figura 13.46. La frecuencia del reloj, $f = 1/T$, se elige mucho más alta que la mayor frecuencia de la entrada del integrador. El interruptor CMOS está cerrado cuando la señal de reloj aplicada es alta, y abierto cuando la señal aplicada es baja. Las dos fases de las señales de reloj no se deben traslapar, ya que los interruptores nunca deben estar abiertos o cerrados al mismo tiempo. Cuando Q_1 está cerrado Q_2 debe estar abierto y viceversa.

Consideremos ahora la teoría de operación del filtro de capacitor conmutado. El capacitor de entrada, C_i, se carga a v_i durante la primera mitad del periodo del reloj. Esto es,

$$Q = C_i v_i$$

Como la frecuencia del reloj es más alta que la frecuencia por filtrar, v_i no cambia cuando C_i se está cargando. Durante la segunda mitad del periodo de reloj, la carga, $C_i v_i$, se transfiere al capacitor de retroalimentación, ya que $v_- = v_+ = 0$. La transferencia total de carga en un ciclo de reloj es

$$Q = C_i v_i \tag{13.32}$$

*Los interruptores CMOS se tratan con más detalle en la sección 15.10 de este libro.

La corriente se define como carga por unidad de tiempo, por tanto la corriente de entrada promedio es

$$I_i = \frac{Q}{T} = \frac{C_i V_i}{T} = C_i V_i f \tag{13.33}$$

donde f es la frecuencia del reloj. La resistencia de entrada equivalente (R) se puede expresar como

$$R = \frac{v_i}{i_i} = \frac{1}{C_i f} \tag{13.34}$$

La constante de tiempo RC para el filtro de capacitor conmutado es

$$RC = \frac{C}{fC_i} \tag{13.35}$$

Por tanto, la constante de tiempo RC que determina la respuesta en frecuencia del integrador está determinada por la frecuencia del reloj, f, y la relación entre capacitores, C/C_i. La frecuencia del reloj se puede fijar con un oscilador preciso a cristal. La relación de capacitores se determina con precisión en un CI (con tolerancias típicas del 0.1%). No se necesita un valor absoluto exacto para C, ya que la relación C/C_i sólo afecta a la constante de tiempo. Se utilizan valores pequeños de capacitancia, como 0.1 pF, para reducir el área del CI dedicada a los capacitores.

Ejemplo 13.32

Un integrador de capacitor conmutado tiene una frecuencia de f = 50 kHz. Los capacitores están dados por

$$\frac{C}{C_i} = \frac{1 \text{ PF}}{0.1 \text{ PF}} = 10$$

Encontrar la constante de tiempo resultante, RC, para el integrador.

SOLUCIÓN Se aplica la ecuación (13.35) para encontrar la constante de tiempo.

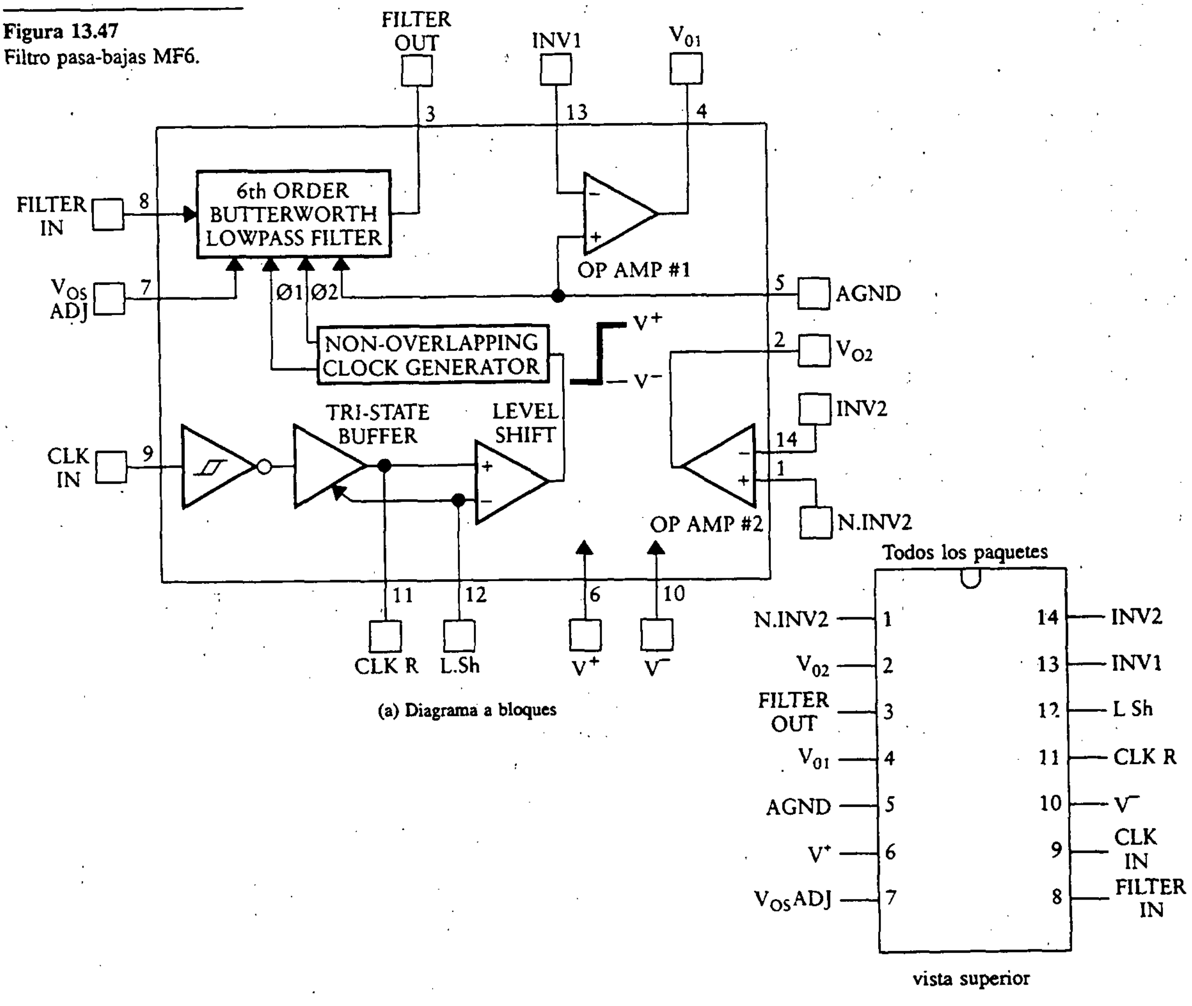
$$RC = \frac{10}{0.5 \times 10^5} = 2 \times 10^{-4} \text{ s} = 0.2 \text{ ms}$$

Nótese que se utilizan capacitores pequeños para obtener una constante de tiempo del orden de 1 ms. Por tanto, se pueden obtener constantes de tiempo relativamente grandes, adecuadas para aplicaciones de audio, con pequeñas áreas en el CI.

13.9.2 Un filtro pasa-bajas Butterworth de sexto orden de capacitor conmutado*

De los numerosos filtros en CI producidos por National Semiconductor Corp., se selecciona el MF6, un filtro pasa-bajas Butterworth de sexto orden de capacitor conmutado, como modelo representativo. El diagrama a bloques de este filtro se muestra en la figura 13.47(a). El diagrama a bloques contiene un filtro Butterworth, un generador de reloj, y varios amp-op que realizan funciones de buffer y elevación de nivel. El generador de reloj sin traslape se analiza en el capítulo 14, y los desplazadores de nivel en el capítulo 9. El buffer se puede pensar como un

Figura 13.47
Filtro pasa-bajas MF6.



(a) Diagrama a bloques

(b) Diagrama de conexiones

*La información presentada en esta sección es cortesía de la National Semiconductor Corporation. Se refiere al lector al Linear Data Book 2 publicado por la National Semiconductor Corporation.

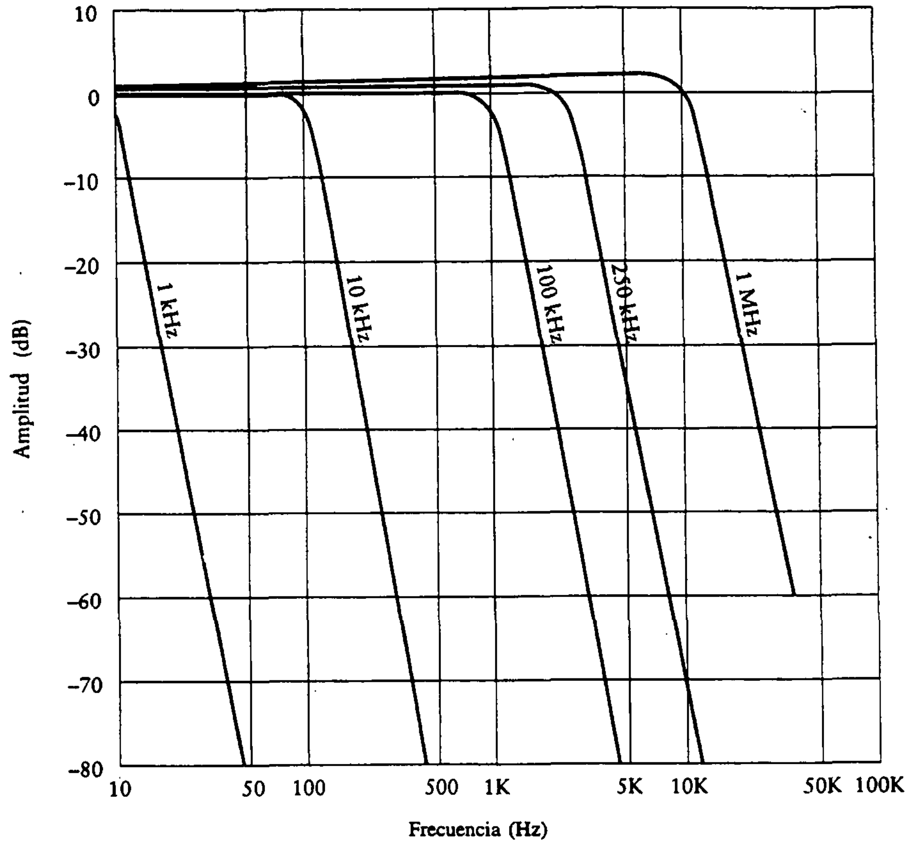


Figura 13.48 Respuesta del filtro pasa-bajas MF6.

amplificador de potencia. La relación de la frecuencia de reloj a la frecuencia de corte pasa-baja se fija internamente de 100 a 1. Por ejemplo, para obtener una frecuencia de corte de 10 kHz, la frecuencia del reloj es 1 MHz. Están disponibles dos opciones de reloj:

1. Con autorregulación, se utilizan un resistor y capacitor externos para fijar la frecuencia del reloj. Esta opción se utiliza para aplicaciones estándar.
2. Se puede conectar un reloj externo al filtro cuando es necesario un control de frecuencia más preciso. Este reloj externo debe ser compatible con los circuitos internos, por lo que es necesario un reloj compatible con TTL o CMOS (TTL y CMOS se analizan en el Cap. 15).

El filtro es máximamente plano (Butterworth) y tiene ganancia unitaria. Como la ganancia es unitaria, los filtros se pueden colocar en cascada sin temor a exceder los niveles de entrada apropiados.

El filtro viene empaquetado en un DIP (*dual in line package*) de 14 terminales como se muestra en el diagrama de conexión de la figura 13.47(b). La respuesta en

frecuencia de este filtro se aproxima a la característica ideal pasa-bajas Butterworth, como puede verse en la respuesta en amplitud que se muestra en la figura 13.48.

Ejemplo 13.33

Diseñe un filtro Butterworth para satisfacer las siguientes especificaciones de amplitud:

$A_p = 3$ dB en $f_p = 1$ kHz
$A_s = 35$ dB en $f_s = 2$ kHz

SOLUCIÓN De la ecuación (13.30) se tiene

$$\epsilon_1 = \sqrt{10^{0.3} - 1} = 1$$

$$\epsilon_2 = \sqrt{10^{3.5} - 1} = 56.23$$

De la ecuación (13.29a) se obtiene

$$n_B = \frac{\log(56.23)}{\log(2)} = 5.81$$

Por tanto, se utiliza un filtro de sexto orden.

Se puede utilizar el MF6 para construirlo. Se selecciona

$$f = 100 \times (1.0 \text{ kHz}) = 100 \text{ kHz}$$

13.10 CONCLUSIONES

En la introducción a este capítulo, se planteó el problema de diseñar un filtro para reducir la potencia fuera de banda de la salida al nivel requerido por la CFC. Este diseño debía realizarse rápidamente con el fin de tener el juego de vídeo en el mercado lo más pronto posible.

Debido a que el filtro se debe diseñar y fabricar con prontitud, lo más probable es que no sea muy inteligente intentar un diseño común. El requerimiento de una reducción considerable fuera de la banda de paso lleva a considerar el diseño Butterworth o Chebyshev. Como el precio de venta del juego se calculó sin considerar el filtro, es importante llevar el costo al mínimo posible. En el ejemplo 13.27 se observa que con un filtro Chebyshev se puede obtener el mismo nivel de atenuación fuera de banda con menos etapas en comparación con un filtro Butterworth. Por esta razón, seguramente se seleccionará el filtro pasa-banda Chebyshev del orden necesario para cumplir la especificación de la CFC. Aquí es necesaria una precaución. El rizo dentro de la banda de paso del filtro Chebyshev por lo general no

debe causar grandes dificultades. En particular, si están presentes señales de audio, es probable que el usuario no escuche distorsión alguna. Sin embargo, con señales de vídeo, este rizo puede provocar imágenes fantasmas en la pantalla de televisión. Dado el pequeño margen de tiempo, tal vez sería mejor construir el prototipo de un filtro Chebyshev y probarlo en el juego. Si se presentan resultados objetables, se puede cambiar a un filtro Butterworth de mayor orden.

PROBLEMAS

En los problemas 13.1 a 13.6, diséñense redes activas para proporcionar la función de transferencia V_o/V_i dada.

13.1 $T(s) = \frac{-10}{s}$

13.2 $T(s) = \frac{10}{s^2}$

13.3 $T(s) = \frac{-s}{s+10}$

13.4 $T(s) = \frac{-10(s+10)}{s+1}$

13.5 $T(s) = \frac{10}{s(s+1)}$

13.6 $T(s) = \frac{-(s+1)^2}{s(s+10)}$

En los problemas 13.7 y 13.8, diséñese un integrador sumador de un solo amplificador para obtener la tensión de salida V_o relacionada con las tensiones de entrada V_1, V_2 y V_3 como se indica.

13.7 $V_o = \frac{-(V_1 + 10V_2 + 0.53V_3)}{s}$

13.8 $V_o = \frac{V_1 - V_2 - 2V_3}{s}$

13.9 Diséñese un integrador de amplificación múltiple utilizando un solo capacitor que alcance las relaciones de entrada-salida de los problemas 13.7 y 13.8.

13.10 Diséñese un circuito integrador de una entrada, con un interruptor que lleve la salida del integrador a +10 V cuando se active. Al integrar, la tensión de salida deberá ser el negativo de la integral de la tensión de entrada. Se puede utilizar un interruptor múltiple si es necesario.

13.11 Diséñese un diferenciador sumador de un solo amplificador con la siguiente relación entre la tensión de salida, V_o, y las tensiones de entrada, V_1, V_2 y V_3.

$$V_o = -s(v_1 + 10V_2 + 0.5V_3)$$

13.12 Diséñese un filtro pasa-bajas con un 741, ganancia en cd de $\frac{1}{2}$ y frecuencia de caída de 10 kHz.

13.13 Diséñese un filtro pasa-bajas con un 741, que tenga ganancia en cd de 100C y frecuencia de caída de 0.4 Hz.

13.14 Diséñese un filtro pasa-bajas con un 741, con caída ajustable entre 10 Hz y 100 Hz. La frecuencia de ajuste debe llevarse a cabo con un potenciómetro.

13.15 Diséñese un filtro pasa-bajas con un 741, que tenga ganancia en cd y frecuencia de caída ajustables de manera independiente. La ganancia debe variarse entre 0 y 10 y la frecuencia desde cerca de cero hasta 100 Hz. Además, este sistema debe tener una impedancia de entrada mayor que 50 MΩ.

13.16 Diséñese un filtro pasa-altas con un 741, que tenga ganancia en alta frecuencia de $\frac{1}{2}$ y frecuencia de caída de 20 Hz.

13.17 Diséñese un filtro con un 741 que tenga tanto salida pasa-bajas como pasa-altas. La ganancia del pasa-bajas (en cd) y la del pasa-altas (en alta frecuencia) deben ser de 10. La frecuencia de caída para cada uno debe estar en 200 Hz.

13.18 Repítase el diseño del problema 13.14, haciendo que la frecuencia de caída sea ajustable entre 500 Hz y 1500 Hz.

13.19 Diséñese un filtro con un 741 para la función de transferencia

$$T(s) = \frac{3s - 10}{s + 100}$$

13.20 Diséñese un filtro con un 741 para la función de transferencia

$$T(s) = \frac{-10s + 5}{3s + 40}$$

13.21 Derívese la ecuación (13.20) de la figura 13.17.

13.22 Diséñese un filtro pasa-bajas RC sin compuertas de potencia (*buffers*), con ganancia en cd de 10 y frecuencia de corte de 2 kHz.

13.23 Diséñese un filtro pasa-bajas de primer orden con compuerta de potencia (*buffer*), que tenga ganancia de 20 y frecuencia de corte de 1 kHz.

13.24 Diséñese un filtro pasa-bajas con frecuencia de caída ajustable entre 500 Hz y 1 kHz, y ganancia en cd de 5.

13.25 Diséñese un filtro pasa-altas con ganancia en alta frecuencia de 20 y frecuencia de corte de 500 Hz.

13.26 Diséñese un filtro pasa-todo con ganancia en cd de 5 y frecuencia de corte de 100 Hz.

13.27 Diséñese un filtro pasa-altas ajustable con ganancia en alta frecuencia de 20 y frecuencia de corte ajustable entre 200 Hz y 600 Hz.

13.28 Diséñese un filtro pasa-altas ajustable con ganancia en alta frecuencia de 10 y frecuencia de corte ajustable entre 100 Hz y 200 Hz.

13.29 Diséñese un filtro pasa-todo con ganancia de 10 y frecuencia de corte de 100 Hz.

13.30 Diséñese un filtro con ganancia en alta frecuencia de 1 y frecuencia de corte de 3 kHz, utilizando el amplificador de tipo general con un solo amplificador operacional.

13.31 Diséñese un filtro pasa-bajas de segundo orden para obtener la función de transferencia

$$T(s) = \frac{5000}{5s^2 + 50s + 5000}$$

13.32 Diséñese un filtro pasa-altas para obtener la siguiente función de transferencia:

$$T(s) = \frac{s^2}{s^2 + 25s + 2500}$$

13.33 Diséñese un filtro pasa-banda para obtener la siguiente función de transferencia:

$$T(s) = \frac{-s}{s^2 + 25s + 2500}$$

13.34 Diséñese un filtro pasa-bajas Butterworth con las siguientes especificaciones:

$f_p = 500$ Hz $\quad A_p = 3$ dB
$f_s = 3$ kHz $\quad A_s = 50$ dB

13.35 Repítase el problema 13.34 utilizando un filtro Chebyshev con rizo de 0.5 dB.

13.36 Repítase el problema 13.35 pero con un rizo de 1.0 dB.

13.37 Diséñese un filtro pasa-altas Butterworth con las siguientes especificaciones:

−3 dB a 1 kHz
−45 dB a 300 Hz

13.38 Repítase el problema 13.37 utilizando un filtro Chebyshev con rizo de 0.25 dB.

13.39 Diséñese una red de "cruce" para distribuir las frecuencias altas de una señal de audio en un parlante de alta frecuencia y las frecuencias bajas en un parlante de baja frecuencia. Esto se muestra en la figura P13.1. Elíjase un filtro Butterworth o Chebyshev, el que requiera menos componentes. Si se elige un filtro Chebyshev, selecciónese un rizo máximo de 0.25 dB. Dibújese el diagrama de los filtros.

13.40 Determínese la función de transferencia V_o/V_i para el circuito con el amplificador operacional ideal que se muestra en la figura P13.2. Como el amplificador operacional es ideal, $V_+ = V_-$. Los valores de los parámetros son

$C_1 = 3.546C$; $C_2 = 1.392C$; $C_3 = 0.2024C$
$RC = 1.0$

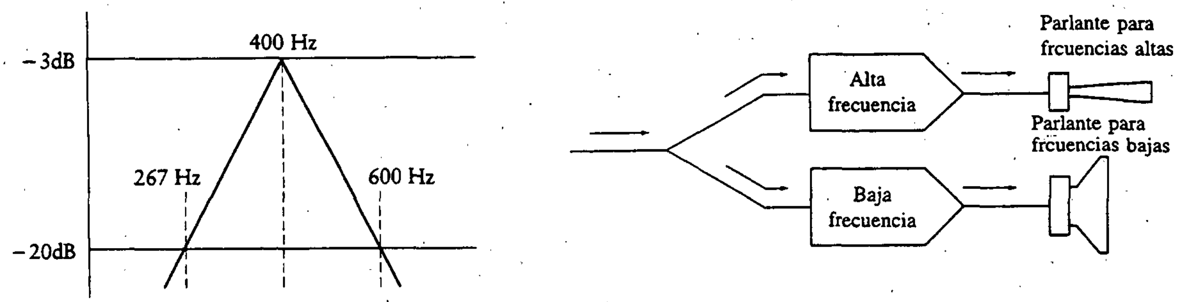


Figura P13.1

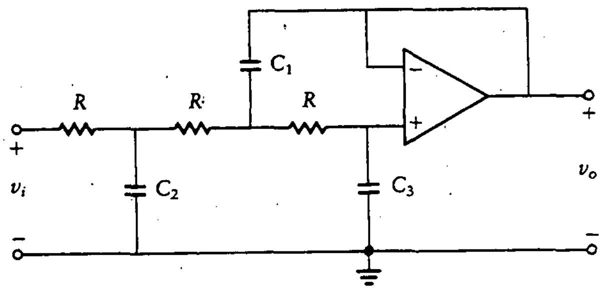


Figura P13.2

Resuélvase este problema en dos pasos. Primero encuéntrense las ecuaciones; luego resuélvanse utilizando determinantes. Constrúyase un diagrama de Bode para esta red.

13.41 Diséñese un filtro pasa-banda Butterworth que tenga las características de amplitud mostradas en la figura P13.3.

13.42 Diséñese un filtro rechaza-banda Chebyshev que tenga las características de amplitud mostradas en la figura P13.4. Selecciónese un rizo máximo de 1 dB.

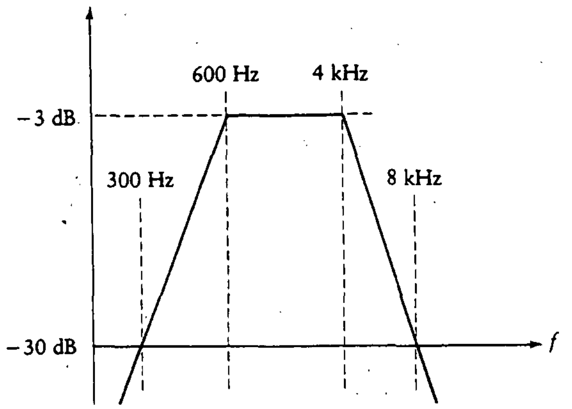


Figura P13.3

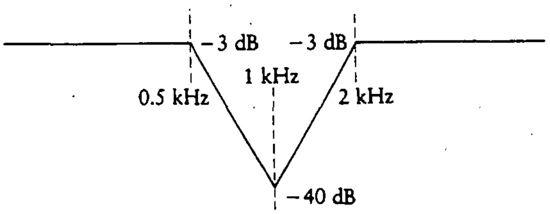


Figura P13.4

PROBLEMAS ADICIONALES

PA13.1 Diseñe un filtro activo pasa-altas con una ganancia de 10 y una banda de transición de 200 Hz.

PA13.2 Diseñe dos filtros pasa-altas para satisfacer el diagrama de ganancia en decibeles de la figura PA13.1. Un filtro es Butterworth y el otro es un Chebyshev de 0.1 dB. Compare ambos filtros.

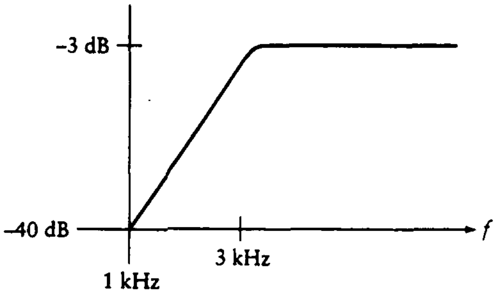


Figura PA13.1

PA13.3 Diseñe un filtro telefónico para obtener la respuesta en frecuencia mostrada en la figura PA13.2. Utilice un filtro Chebyshev de 1 dB con valores "razonables" de capacitores y resistores.

PA13.4 Utilice el filtro CI MF6-100 para satisfacer las especificaciones del problema del filtro pasa-bajas del problema 13.34.

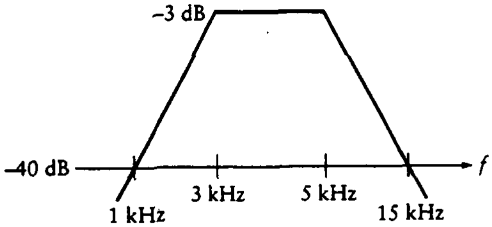


Figura PA13.2

14

SEÑALES DE PULSO

14.0 INTRODUCCIÓN

Los temas cubiertos hasta el capítulo 13 de este libro hacen énfasis en la electrónica *analógica*. En dichos circuitos, son de interés las ganancias de tensión y de corriente, las máximas excursiones en la amplitud sin distorsión, y las resistencias de entrada y salida. Las aplicaciones típicas incluyen la amplificación de música o voz.

Lo que resta del texto está dedicado a la electrónica *digital.* Se dice a menudo que el mundo tiende a volverse digital. De hecho, existen buenas razones para el continuo movimiento de los sistemas analógicos hacia los digitales.

La electrónica digital trabaja con señales que toman uno de dos valores, alto o bajo, encendido o apagado, 1 ó 0. (Se está describiendo la electrónica digital *binaria*. Los sistemas digitales pueden no ser binarios, y muchos de los circuitos que se analizan se pueden generalizar a no binarios.) Los transistores se hallan en condición *de corte* o *de saturación*. Ya no interesa la región de operación lineal de los dispositivos electrónicos. En vez de esto, sólo interesa si el dispositivo opera en la región de saturación o de corte; esto es, si la tensión de salida está cercana a cero o al valor de la fuente de alimentación. Reduciendo las operaciones a uno de dos valores, los circuitos se vuelven más simples y la posibilidad de cometer errores se reduce bastante. Este último punto merece mayor énfasis. En un sistema analógico, la salida puede tomar cualquier valor dentro de un continuo de valores. Por tanto, cualquier perturbación, ya sea en la forma de ruido aditivo o de distorsión, provoca un error. En un sistema digital binario, se trabaja con dos valores de señal posibles. Cualquier perturbación debe ser bastante grande para

hacer que un valor se parezca al otro. Si la perturbación no es tan grande, el error es cero.

Antes de abordar el sistema electrónico digital real, se analizan algunos resultados preliminares de la teoría de circuitos. En particular, se analiza el comportamiento de sistemas en presencia de trenes de pulsos. La base de tiempo para muchos de los sistemas es proporcionada por redes RC. El presente estudio de electrónica digital se inicia, por tanto, analizando redes RC con un tren de pulsos como entrada. Varias de estas redes incluyen diodos. En particular, interesa aquí el *estado estacionario* de la señal de salida de dichas redes.

14.1 REDES RC PASA-ALTAS

Un capacitor en serie y un resistor en paralelo forman una red pasa-altas simple. La tensión de entrada se aplica a la combinación y la tensión de salida se toma en el resistor, como se muestra en la figura 14.1. En el capítulo 13 se analizó el filtro pasa-altas de primer orden, y la función de transferencia es de la forma

$$\frac{V_o}{V_i} = \frac{\tau s}{\tau s + 1}$$

donde la constante de tiempo es

$$\tau = RC$$

La gráfica de la amplitud de la respuesta senoidal en estado estacionario se muestra en la figura 14.2. Obsérvese que la frecuencia de corte en esta figura es f_c, que es igual a $1/2\pi RC$. Supóngase que la entrada a este sistema es una función escalón de amplitud V. Esto es,

$$v_i(t) = Vu(t)$$

donde $u(t)$ es la función escalón unitario. Para encontrar la salida, se puede utilizar el análisis por transformada de Laplace. (Véase el Ap. C para una revisión del método de transformada de Laplace.)

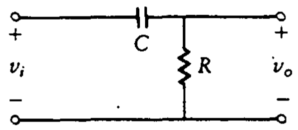


Figura 14.1
Red RC pasa-altas.

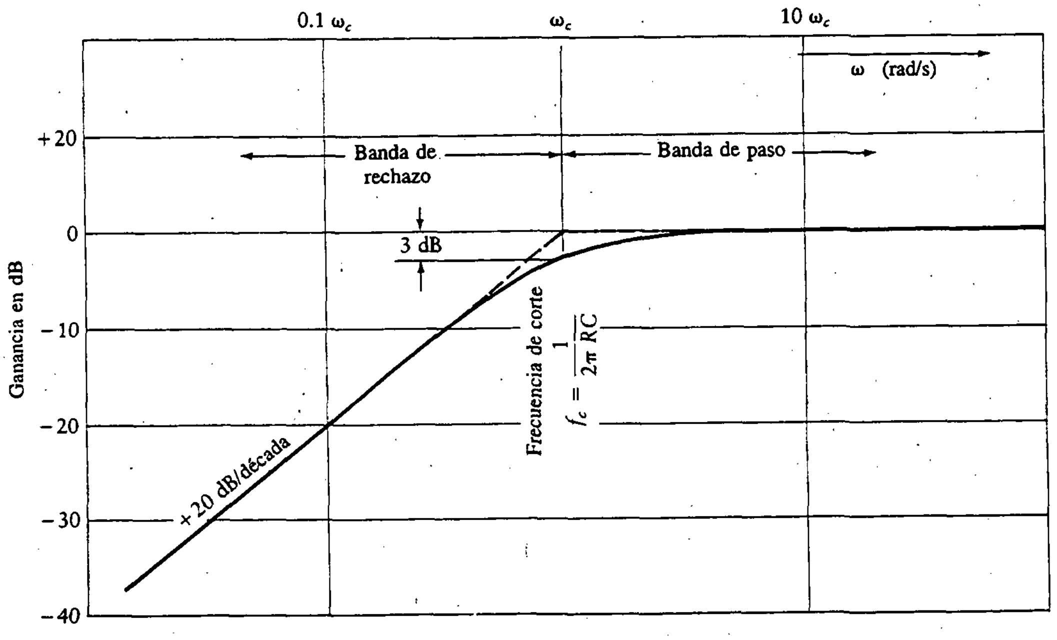


Figura 14.2 Respuesta en amplitud de una red pasa-altas.

La transformada de Laplace de la salida se encuentra multiplicando la función de transferencia por V/s, la transformada de la entrada escalón, con el resultado

$$V_o = \frac{\tau V}{\tau s + 1}$$

La correspondiente función en el tiempo es

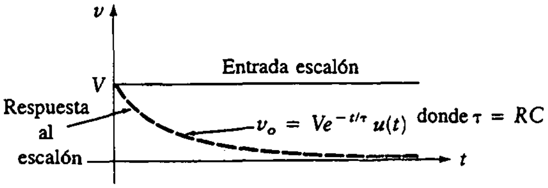
$$v_o(t) = Ve^{-t/\tau}u(t) \tag{14.1}$$

La función de entrada escalón y la respuesta de salida exponencial se muestran en la figura 14.3. Como las ecuaciones de los circuitos para redes RC están dadas por ecuaciones diferenciales de primer orden, la forma de la respuesta debida a cualquier entrada constante debe ser exponencial. Así por ejemplo, las funciones de tensión deben ser de la forma

$$v(t) = A + Be^{-t/\tau} \tag{14.2}$$

La constante de tiempo, τ, es otra vez igual a RC, y las constantes A y B se eligen para adecuar los valores inicial y final. Si los valores inicial y final de $v(t)$ están dados por V_i y V_f, respectivamente, A y B se despejan como sigue:

Figura 14.3
Respuesta al escalón de redes pasa-altas.



$$v_o(0) = V_i = A + Be^0 = A + B$$
$$v_o(\infty) = V_f = A + Be^{-\infty} = A$$

con el resultado

$$A = V_f$$
$$B = V_i - V_f$$

Entonces la ecuación para la curva es

$$v(t) = V_f + (V_i - V_f)e^{-t/\tau} \tag{14.3}$$

Como ejemplo del uso de la ecuación (14.3), se encuentra otra vez la respuesta de la red a la función escalón mostrada en la figura 14.3.

El valor inicial de la tensión de salida es V, ya que la tensión del capacitor no puede cambiar instantáneamente cuando la entrada salta de 0 a V volts. El valor final es cero, ya que el capacitor se comporta como circuito abierto para una entrada de cd. Por tanto, se tiene

$$V_i = V$$
$$V_f = 0$$

Sustituyendo estos valores en la ecuación (14.3), se obtiene

$$v_o(t) = Ve^{-t/\tau}$$

como antes.

Ahora se complicará el sistema haciendo que la entrada sea la composición de dos escalones. Considérese que la entrada es un pulso de amplitud V y duración T. Esto se consigue añadiendo un escalón de amplitud V en el origen a un escalón de amplitud $-V$ retrasado T segundos. Esto se muestra en la figura 14.4(a). Se despeja la señal de salida en dos pasos. Se encuentra la salida para tiempos anteriores a $t = T$ como antes. Esto es, puesto que el sistema no puede ver el

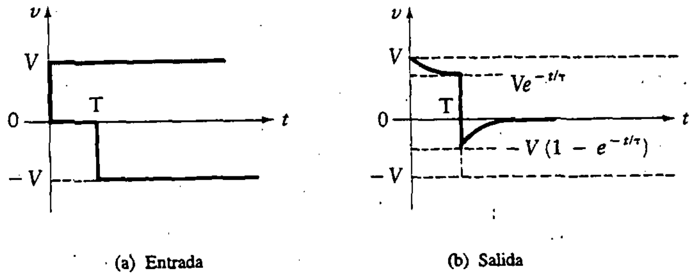


Figura 14.4
Pulso simple que se forma a partir de dos funciones escalón.

futuro (es *causal*), no sabe que otro escalón está presente en $t = T$ hasta que la entrada alcanza ese punto. Por tanto, la salida anterior al tiempo T está dada por

$$v_o(t) = Ve^{-t/\tau}$$

Esta ecuación se utiliza para encontrar la salida justo antes del tiempo T, instante en el cual se aplica el segundo escalón:

$$v_o(T^-) = Ve^{-T/\tau}$$

La tensión de salida de la red pasa-altas de la figura 14.1 *puede* saltar en forma instantánea, por lo que se utiliza la notación T^- para indicar el tiempo justo anterior al momento de transición. En el tiempo $t = T$, la tensión de salida salta negativamente V volts. Como la tensión del capacitor no cambia de forma instantánea y la suma de tensiones alrededor del lazo es cero, la salida debe saltar V volts para igualar

$$v_o(T^+) = v_o(T^-) - V = V(e^{-T/\tau} - 1)$$

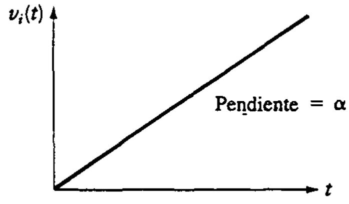
Este es el valor inicial para la segunda porción de la salida. El valor final es cero. Por tanto, se utiliza la ecuación (14.3) en una versión desplazada, como sigue:

$$v_o(t) = V_f + (V_i - V_f)e^{-(t-T)/\tau}$$

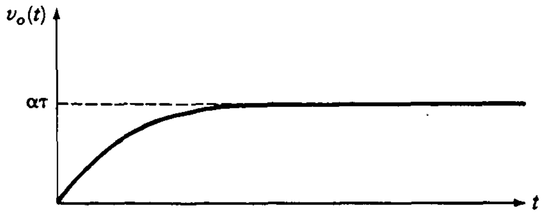
Debe verificarse que esta ecuación se reduzca a V_i en $t = T$ y a V_f conforme t se va haciendo muy grande. Se encuentran ahora los valores inicial y final para este segmento:

$$V_i = V(e^{-T/\tau} - 1)$$
$$V_f = 0$$

La ecuación para la segunda porción de la salida está dada entonces por



(a) Entrada rampa



(b) Salida

Figura 14.5 Respuesta a la rampa de una red RC pasa-altas.

$$v_o(t) = -V(1 - e^{-T/\tau})e^{-(t-T)/\tau} \tag{14.4}$$

La salida compuesta se grafica en la figura 14.4(b).

Este mismo resultado se podría encontrar aplicando al sistema el principio de *superposición*. La entrada es una suma de dos funciones escalón, por lo que la salida es la suma de las dos respuestas al escalón individuales.

Antes de extender este resultado del escalón sencillo para aplicarlo a un tren de pulsos de entrada, se considera brevemente la entrada rampa con pendiente α, como se muestra en la figura 14.5(a). La respuesta de la red RC se encuentra utilizando transformadas de Laplace. La transformada de la rampa es α/s^2. Por tanto,

$$V_o(s) = \frac{\alpha}{s^2}\frac{s\tau}{s\tau + 1} = \alpha\frac{1}{s(s + 1/\tau)}$$

La transformada de Laplace inversa de esta función está dada por

$$v_o(t) = \alpha\tau(1 - e^{-t/\tau})u(t) \tag{14.5}$$

Esto se muestra en la figura 14.5(b).

Ejemplo 14.1

La rampa de la figura 14.5(a) es la entrada a un filtro RC pasa-altas con una frecuencia más baja de 3 dB de 10^4 rad/s. La pendiente de la rampa de entrada es 10 V/s.

a. Encuéntrese la tensión de salida en estado estacionario.
b. ¿Cuánto tiempo transcurre para que la salida alcance el 90% de su valor de estado estacionario?
c. Dibújese la señal de salida.

SOLUCIÓN

a. En el capítulo 13, se vio que la frecuencia de 3 dB es el recíproco de la constante de tiempo. Por tanto,

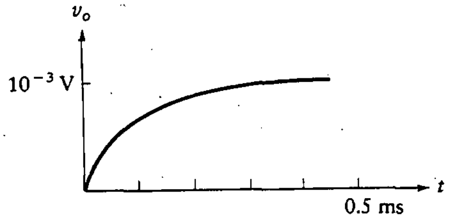


Figura 14.6
Tensión de salida para el ejemplo 14.1.

$$\tau = 10^{-4}$$

De la ecuación (14.5) o de la figura 14.5 se encuentra que la salida en estado estacionario es $\alpha\tau$. Por tanto,

$$v_o\Big|_{t\to\infty} = \alpha\tau = (10 \text{ V/s})(10^{-4} \text{ s}) = 10^{-3} \text{ V}$$

b. La tensión de salida alcanzará el 90% de este valor cuando

$$\alpha\tau(1 - e^{-t/\tau}) = 0.9\alpha\tau$$
$$t = -\tau\ln(0.1) = 0.23 \text{ ms}$$

Nótese que este resultado es independiente de α.

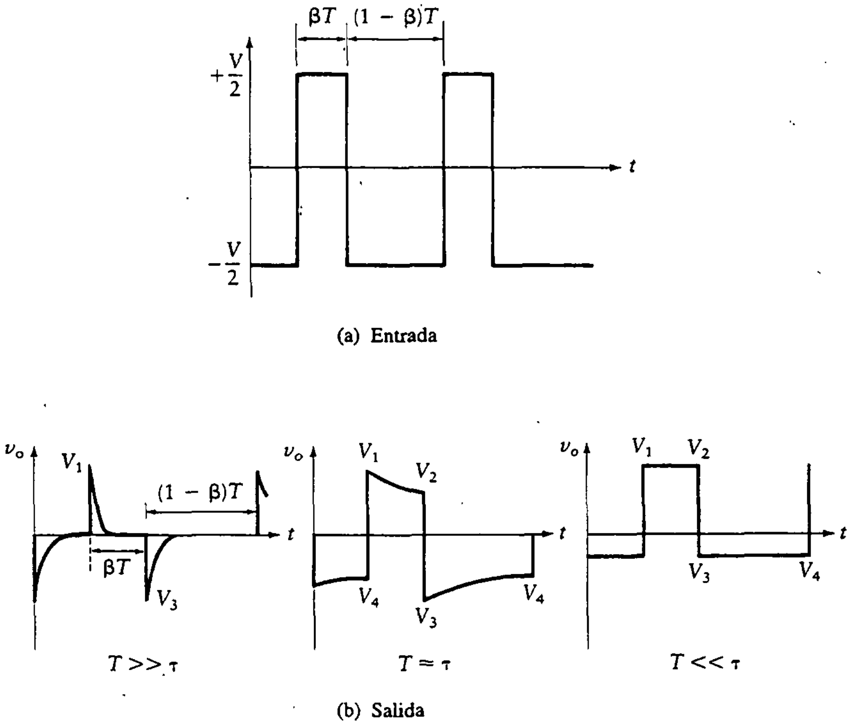
c. La señal de salida se muestra en la figura 14.6.

14.1.1 Respuesta en estado estacionario. Red pasa-altas

Ahora ya se tienen las bases y las herramientas necesarias para considerar la entrada de pulsos periódica, como se muestra en la figura 14.7(a). Esta forma de onda cuadrada se aplica a la red pasa-altas de la figura 14.1. Sin hacer algunas suposiciones lógicas, la solución a este problema de análisis de circuitos es algo tediosa. Sin tales suposiciones, se iniciaría con el primer pulso y se repetiría el análisis de la figura 14.4. Pero cuando se presenta el segundo pulso, se tiene un nuevo valor inicial para la tensión, y se tendría que repetir el análisis para este segundo pulso. Este análisis se repetiría para cada pulso de entrada. Se sabría que se alcanza el estado estacionario sólo si el valor inicial ya no es distinto de aquel al comienzo del ciclo anterior. Esto es, se podría continuar con la resolución de la respuesta al pulso hasta que el transitorio desapareciera. Por supuesto, ya que el transitorio es exponencial, toma un tiempo infinito para desaparecer. Se presenta aquí un método más efectivo para evaluar la respuesta en estado estacionario.

Se supone que la salida se parece a la forma de onda mostrada en la figura 14.7(b). (Pronto se verá la razón por la cual se muestran las tres curvas, pero por ahora la atención se centrará en la curva central, etiquetada $\tau \approx T$.) Se puede hacer esta suposición ya que la entrada permanece constante sobre porciones

Figura 14.7
Respuesta de un Filtro RC pasa-altas a una onda periódica.



del eje del tiempo; durante estos periodos, la salida se debe aproximar de forma exponencial a cero. Luego se encuentran los valores iniciales clave, V_1 y V_3. Para hacerlo, se divide el problema en tres partes, dependiendo de la relación entre la constante de tiempo y el periodo de la entrada.

Si la constante de tiempo es mucho menor que el periodo de la entrada, la exponencial tiene tiempo para decaer casi hasta cero entre las transiciones, y la salida se parece al primer dibujo de la figura 14.7(b). Luego se utiliza el hecho de que la salida debe tener un valor promedio cero, ya que el capacitor en serie no pasa señales en cd; se comporta como circuito abierto a frecuencia cero. Por tanto, las áreas de las porciones positivas deben ser iguales a las áreas de las porciones negativas. Como las porciones positiva y negativa del primer dibujo de la figura 14.7(b) son simétricas, se llega a la conclusión de que

$$V_1 = -V_3 \tag{14.6a}$$

Como la tensión de entrada salta V volts en cada transición y la tensión del capacitor no puede cambiar en forma instantánea, se concluye que

$$V_1 = -V_3 = V \tag{14.6b}$$

Por último, la forma de onda está dada por

$$v_o(t) = \pm V \exp\left[\frac{-(t - t_0)}{\tau}\right]$$

dentro de cada región. El signo más se aplica a los pulsos positivos y el signo menos a los negativos. El tiempo t_0 es aquel en el cual comienza cada transición.

Nótese que este resultado no se aplica a los otros dos dibujos de la figura 14.7(b), ya que se supone que la onda de entrada cuadrada es asimétrica; no transcurre el mismo tiempo en valores positivos y negativos.

Se examinará el caso en el que la constante de tiempo y el periodo de la entrada son del mismo orden de magnitud. Esto se representa en el segundo dibujo de la figura 14.7(b), en el que la salida decae una cantidad considerable pero no alcanza el cero entre las transiciones. Se sabe aún que el tamaño de cada transición es V volts, por lo que se puede escribir

$$V_1 = V_4 + V \tag{14.7a}$$

y

$$V_3 = V_2 - V \tag{14.7b}$$

Esto representa dos ecuaciones en cuatro incógnitas. Las dos ecuaciones restantes en estas cuatro incógnitas se encuentran tomando en cuenta el decaimiento exponencial. La tensión, V_2, resulta de la relación exponencial que inicia en V_1 y decae hacia cero por βT segundos. Del mismo modo, V_4 es el resultado de una exponencial que inicia en V_3 y decae hacia cero durante $(1 - \beta)T$ segundos. Por tanto,

$$V_2 = V_1 e^{-\beta T/\tau} \tag{14.7c}$$

y

$$V_4 = V_3 e^{-(1-\beta)T/\tau} \tag{14.7d}$$

Estas ecuaciones se resuelven fácilmente para las cuatro tensiones. Por ejemplo, se despeja V_1 para obtener

$$V_1 = \frac{V(1 - e^{-(1-\beta)T/\tau})}{1 - e^{-T/\tau}}$$

Las soluciones para las otras tres tensiones se obtienen directamente de las ecuaciones, las cuales se resuelven en el ejemplo 14.2.

Supóngase que $\beta = \frac{1}{2}$. Entonces

$$V_1 = \frac{V}{1 + e^{-T/2\tau}}$$

y

$$V_3 = -V_1$$

$$V_4 = -V_2$$

$$V_2 = V - V_1$$

Cuando la constante de tiempo es mucho mayor que el periodo de la entrada, es muy difícil que la salida tenga tiempo para decaer entre transiciones de la entrada, y entonces la salida se parece al tercer dibujo de la figura 14.7(b). Como $V_2 = V_1$ y $V_4 = V_3$, y como la altura de las transiciones debe ser V, se tiene

$$V_3 + V = V_1 \tag{14.8a}$$

Como el valor promedio de la salida es cero, se igualan las áreas positiva y negativa para encontrar

$$\beta T(V_1) = -(1 - \beta)TV_3$$

Por último,

$$V_1 = V_2 = V(1 - \beta) \tag{14.8b}$$

$$V_3 = V_4 = -V(\beta) \tag{14.8c}$$

Nótese que para este caso, la señal de salida es similar a la de entrada, pero con un desplazamiento de tensión.

En el diseño de un sistema, la elección de la constante de tiempo suele ser crítica. Si se requieren pulsos angostos para una operación de disparo, se desea que la salida sea similar al primer dibujo de la figura 14.7(b). Por tanto, se diseña con una constante de tiempo mucho menor que el periodo de entrada. Por otra parte, si se desea reproducir la entrada en la salida, se debe elegir una constante de tiempo mucho mayor que el periodo de entrada.

Ejemplo 14.2

Se aplica una onda cuadrada simétrica con una tensión pico a pico de 10 V a un filtro RC pasa-altas con $R = 1\ \text{k}\Omega$ y $C = 1\ \mu\text{F}$. Dibújese la señal de salida e

identifíquense las tensiones clave. Supóngase cada una de las frecuencias para la onda cuadrada.

a. 50 Hz
b. 500 Hz
c. 5 kHz

SOLUCIÓN Nótese que como la señal de entrada es simétrica, transcurre una porción igual del periodo en valores positivos y negativos. Por tanto, $\beta = \frac{1}{2}$ y las ecuaciones previas se simplifican en forma considerable.

Primero se encuentra la constante de tiempo,

$$\tau = RC = (1\ \text{k}\Omega)(1\ \mu\text{F}) = 1\ \text{ms}$$

y luego se compara esta constante de tiempo con el periodo de la onda cuadrada para cada condición dada en el problema.

a. $T = 1/f = 20$ ms, lo cual es mucho mayor que la constante de tiempo,

$$T \gg \tau$$

Por tanto,

$$V_1 = V = 10\ \text{V}$$
$$V_3 = -V = -10\ \text{V}$$

El resultado se muestra en la figura 14.8(a).

b. Para la segunda condición de entrada,

$$T = \frac{1}{f} = \frac{1}{500} = 2\ \text{ms}$$

Para este caso, el periodo de entrada y la constante de tiempo son del mismo orden de magnitud. Los cuatro valores de tensión se despejan como sigue:

$$V_1 = V_4 + V = -V_2 + V = -V_3$$
$$V_2 = V_1 e^{-T/2\tau} = -V_4$$
$$V_1 = \frac{V}{1 + e^{-T/2\tau}} = \frac{10}{1 + \exp(-2 \times 10^{-3}/2 \times 10^{-3})}$$
$$= 7.31 = -V_3$$

y

$$V_2 = V - V_1 = 10 - 7.31 = 2.69\ \text{V}$$

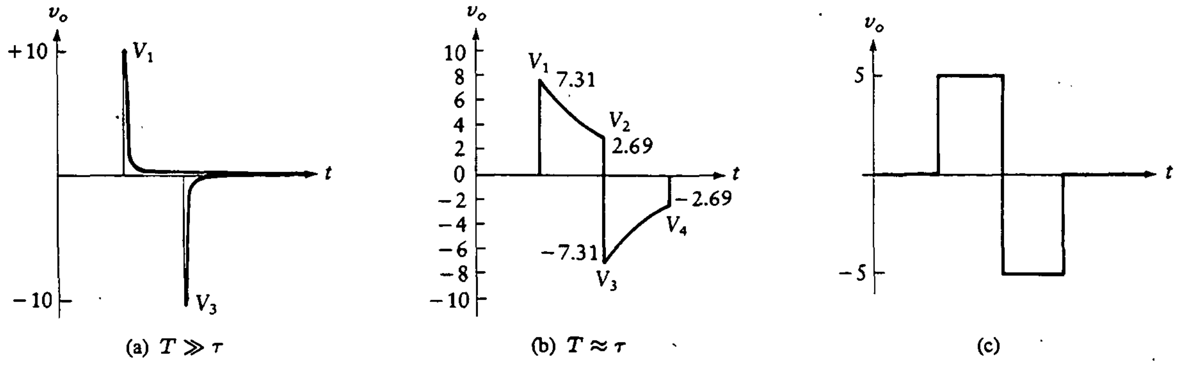


Figura 14.8 Señales de salida para el ejemplo 14.2.

Esta forma de onda se muestra en la figura 14.8(b). Nótese que $V_1 = -V_3$ y $V_2 = -V_4$ debido a la simetría.

c. Para la tercera condición de entrada,

$$T = \frac{1}{f} = \frac{1}{5000} = 0.2 \text{ ms}$$

Esto representa el caso en el que la constante de tiempo es mucho mayor que el periodo de entrada. Por tanto,

$$V_1 = V_2 = \frac{V}{2} = 5 \text{ V}$$

$$V_3 = V_4 = \frac{V}{2} = -5 \text{ V}$$

Esta forma de onda se grafica en la figura 14.8(c). Nótese que se parece a la señal de entrada.

Ejercicios

La señal de entrada asimétrica de la figura 14.7(a) con $\beta = \frac{1}{3}$, $T = 10$ ms y $V = 10$ V es la entrada a la red pasa-altas de la figura 14.1. Calcúlense las cuatro tensiones importantes y dibújese la señal de salida para las condiciones dadas en los problemas D14.1 a D14.3.

D14.1 Sea $T/\tau = 100$.

Resp.: $V_1 = 10$ V; $V_2 = 0$ V; $V_3 = -10$ V; $V_4 = 0$ V

D14.2 Sea $T/\tau = 1$.

Resp.: $V_1 = 7.7$ V; $V_2 = 5.52$ V; $V_3 = -4.48$ V; $V_4 = -2.3$ V

D14.3 Sea $T/\tau = 0.01$.

Resp.: $V_1 = 6.678$ V; $V_2 = 6.655$ V; $V_3 = -3.345$ V; $V_4 = -3.322$ V

14.2 RED RC PASA-BAJAS

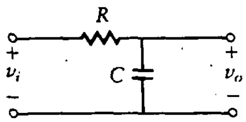
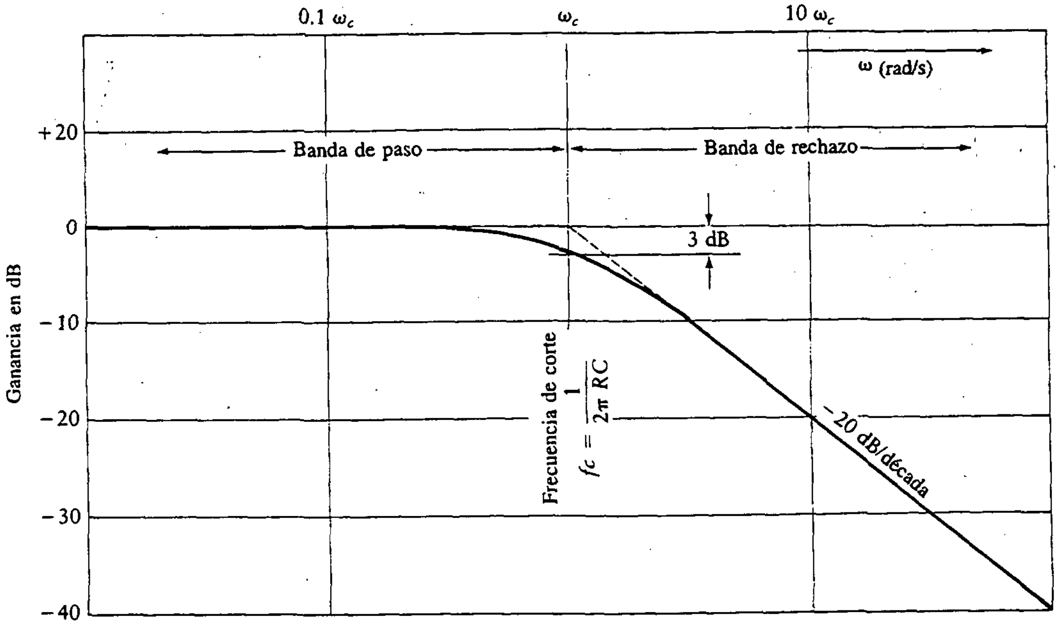


Figura 14.9
Red RC pasa-bajas.

Se invierte ahora la situación de la sección previa tomando la salida a través del capacitor en vez del resistor. El resultado es la red RC pasa-bajas mostrada en la figura 14.9. Esta red pasa las frecuencias bajas y atenúa las altas. La respuesta senoidal en amplitud en estado estacionario se muestra en la figura 14.10, donde la línea continua es la curva real y la discontinua es la aproximación asintótica por diagrama de Bode. La función de transferencia está dada por

$$\frac{V_o}{V_i} = \frac{1}{1 + s\tau}$$

Figura 14.10 Respuesta en amplitud de la red pasa-bajas.



La constante de tiempo es

$$\tau = RC$$

Se centrará la atención en el tren de pulsos de entrada que se muestra en la figura 14.11(a). La onda cuadrada tanto en la entrada como en la salida se muestra en el mismo conjunto de ejes. Nótese que la onda cuadrada de entrada ya no se supone simétrica alrededor del eje cero. La amplitud positiva se muestra como αV y la negativa como $-(1-\alpha)V$. Por tanto, la excursión total es V volts.

La salida se toma a través del capacitor, y por tanto no puede cambiar en forma instantánea. Esta restricción de "continuidad" en la salida simplifica la solución, ya que sólo existen dos tensiones incógnitas, V_1 y V_2, como se muestra en la figura. Primero se examina la región entre $t = 0$ y $t = \beta T$. El valor inicial de esta onda exponencial es

$$V_i = V_1$$

El valor final es el valor de tensión que se alcanzaría en un tiempo infinito. Esto se ve como valor de la entrada, o

$$V_f = \alpha V$$

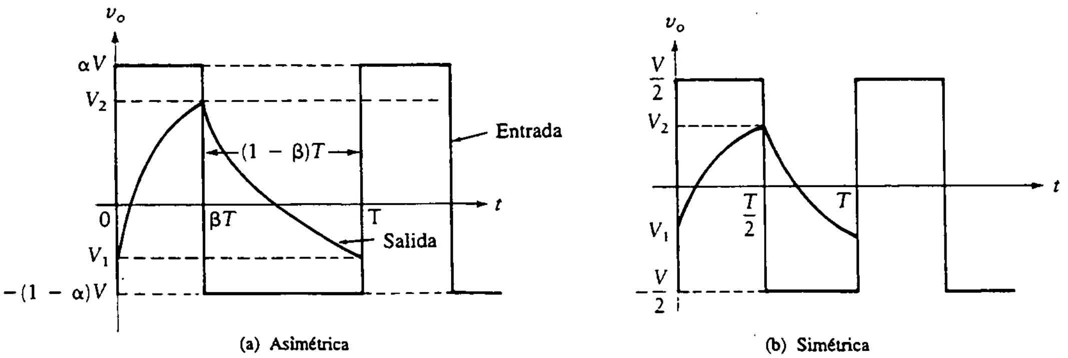
Estos dos valores se utilizan en la expresión general de la ecuación (14.3) para encontrar la forma de onda en el primer intervalo:

$$v_o(t) = \alpha V + (V_1 - \alpha V)e^{-t/\tau}$$

Evaluando esta expresión en $t = \beta T$, se obtiene una expresión para V_2 como sigue:

$$v_o(\beta T) = V_2 = \alpha V + (V_1 - \alpha V)e^{-\beta T/\tau} \tag{14.9}$$

Figura 14.11 Entrada y salida del filtro pasa-bajas.



Para la siguiente región, donde $\beta T < t < T$, se tiene

$$V_f = -(1-\alpha)V$$
$$V_i = V_2$$

entonces

$$v_o(t) = -(1-\alpha)V + (V_2 + V - \alpha V)e^{-(t-\beta T)/\tau}$$

Evaluando esta expresión en $t = T$, se obtiene la segunda ecuación en dos incógnitas,

$$v_o(T) = V_1 - (1-\alpha)V + (V_2 + V - \alpha V)e^{-(1-\beta)T/\tau} \tag{14.10}$$

Luego se resuelven las ecuaciones (14.9) y (14.10) a fin de obtener las expresiones para V_1 y V_2.

Si la entrada es simétrica, resultan varias simplificaciones. Esto es,

$$\alpha = \beta = 1/2$$

y

$$V_1 = -V_2$$

Bajo estas condiciones, se encuentra

$$-V_1 = V_2 = \frac{V(1-e^{-T/2\tau})}{2(1+e^{-T/2\tau})} \tag{14.11}$$

Cuando se aplica una onda cuadrada simétrica a la red RC pasa-bajas de la figura 14.9, la salida es como se muestra en la figura 14.12. Nótese la dependencia de la salida con respecto a la relación entre la constante de tiempo, τ, y el periodo de entrada, T. Las tensiones críticas en las señales de salida de la figura 14.12 son las siguientes:

1. Para una constante de tiempo mucho menor que el periodo de entrada,

$$-V_1 = +V_2 = \frac{V}{2} \tag{14.12}$$

2. Para una constante de tiempo del mismo orden que el periodo de entrada,

$$-V_1 = +V_2 = \frac{V(1-e^{-T/2\tau})}{2(1+e^{-T/2\tau})} \tag{14.13}$$

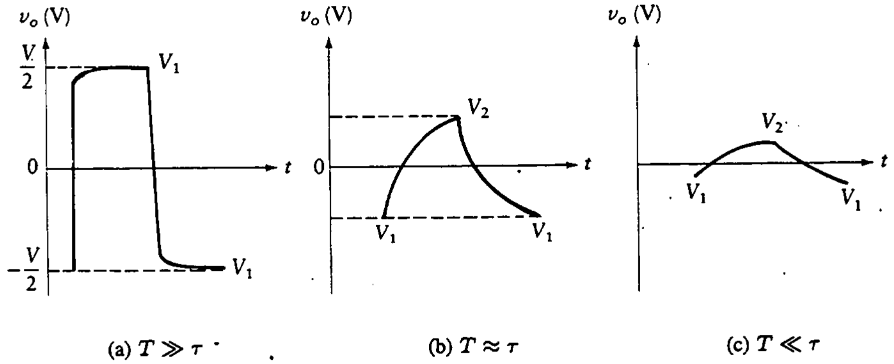


Figura 14.12
Salida de un filtro RC pasa-bajas con una onda cuadrada simétrica en la entrada.

3. Para una constante de tiempo mucho mayor que el periodo de entrada, se obtiene el mismo resultado que en el caso 2. Debe notarse, sin embargo, que V_1 y V_2 serán valores pequeños.

Si la señal de entrada ya no es simétrica alrededor del eje cero, α ya no es igual a $\frac{1}{2}$. No es necesario volver a derivar las expresiones. Los resultados de la figura 14.12 simplemente se desplazan en la dirección vertical una cantidad igual al valor promedio de $v_i(t)$.

Ejemplo 14.3

Una onda cuadrada simétrica, con valor pico a pico de 5 V, se aplica al filtro RC pasa-bajas de la figura 14.9 con $R = 10$ kΩ y $C = 0.1$ μF. Dibújese la señal de tensión de salida e identifíquense las tensiones críticas para las siguientes tres frecuencias de la onda cuadrada:

a. 50 Hz
b. 500 Hz
c. 5 kHz

SOLUCIÓN La constante de tiempo del circuito es

$$\tau = RC = (10\ \text{k}\Omega)(0.1\ \mu\text{F}) = 1\ \text{ms}$$

a. El periodo de la entrada es

$$T = \frac{1}{f} = 20\ \text{ms}$$

En este caso, la constante de tiempo es mucho menor que el periodo, de modo que

$$-V_1 = +V_2 = \frac{V}{2} = 2.5\ \text{V}$$

La salida es como se muestra en la figura 14.12(a).

b. El periodo de la entrada es

$$T = \frac{1}{f} = 2 \text{ ms}$$

En este caso, la constante de tiempo es del mismo orden de magnitud que la entrada; por tanto, se despejan las dos tensiones críticas:

$$V_2 = \frac{V}{2} \cdot \frac{1 - e^{-T/2\tau}}{1 + e^{-T/2\tau}} = 2.5\frac{1 - e^{-1}}{1 + e^{-1}} = 1.155 \text{ V}$$

$$V_1 = -V_2 = -1.155 \text{ V}$$

La onda resultante se muestra en la figura 14.12(b).

c. El periodo está dado por

$$T = \frac{1}{f} = 0.2 \text{ ms}$$

En este caso, la constante de tiempo es mucho mayor que el periodo y la salida se halla cerca de cero, como se muestra en la figura 14.12(c). Los valores reales de las tensiones críticas se encuentran como en la parte (b) de este ejemplo:

$$V_2 = \frac{V}{2}\frac{1 - e^{-T/2\tau}}{1 + e^{-T/2\tau}} = 2.5\frac{1 - e^{-0.1}}{1 + e^{-0.1}} = 0.125 \text{ V}$$

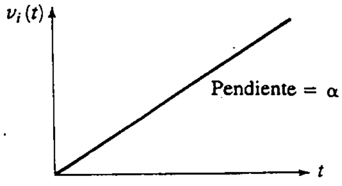
$$V_1 = -V_2 = -0.125 \text{ V}$$

Se examinará brevemente la respuesta del filtro pasa-bajas a la rampa de entrada que se muestra en la figura 14.13(a). La salida se encuentra de la misma manera que con el filtro pasa-altas y está dada por

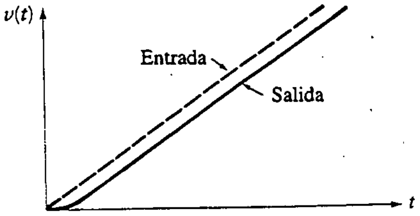
$$v_o(t) = (-\alpha\tau + \alpha t + \alpha\tau e^{-t/\tau})u(t) \tag{14.14}$$

Esta se muestra en la figura 14.13(b). Otra vez α es la pendiente de la rampa de entrada en volts por segundo.

Figura 14.13
Respuesta a la rampa del filtro RC pasa-bajas.



(a) Entrada (rampa)



(b) Salida

Ejemplo 14.4

La entrada rampa de la figura 14.13(a) se aplica a un filtro RC pasa-bajas con frecuencia de corte de 5000 rad/s. La pendiente de la rampa de entrada es 10 V/s. Calcúlese y dibújese la forma de onda de la tensión de salida.

SOLUCIÓN La constante de tiempo es la inversa de la frecuencia de 3 dB, de modo que

$$\tau = \frac{1}{5000}\ \mathrm{s}$$

La señal de salida se escribe directamente a partir de la ecuación (14.14):

$$\begin{aligned} v_o(t) &= (-\alpha\tau + \alpha t + \alpha\tau e^{-t/\tau})u(t) \\ &= (-0.002 + 10t + 0.002e^{-5000t})u(t)\ \mathrm{V} \end{aligned}$$

Ésta se grafica en la figura 14.14.

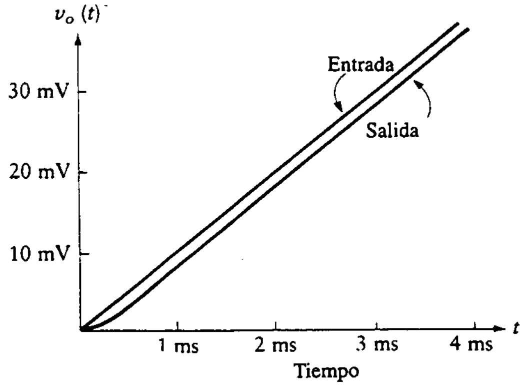


Figura 14.14 Respuesta para el ejemplo 14.4.

14.3 DIODOS

Con frecuencia se acoplan diodos a redes RC con el fin de obtener ciertos resultados. Al analizar dichos circuitos se utiliza el modelo lineal por tramos del diodo, que se muestra en la figura 14.15. Cuando el diodo se polariza en directo y por tanto conduce, se representa con una pequeña resistencia en directo, R_f. (Se desprecia la tensión en directo, V_τ.) Cuando el diodo está polarizado en inverso, se representa con una resistencia grande, R_r.

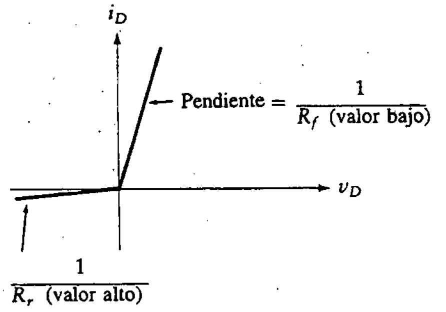


Figura 14.15
Modelo del diodo.

14.3.1 Respuesta en estado estacionario de un circuito con diodo a trenes de pulsos

Los circuitos que se utilizan en aplicaciones digitales casi siempre combinan resistores, capacitores y diodos. Una de dichas configuraciones se muestra en la figura 14.16(a).

Si el diodo es ideal, el circuito funciona como *fijador*. El capacitor no puede descargarse, por lo que se carga al valor pico de la entrada. Por tanto, la salida se "fija" a un nivel de tensión cero.

El análisis continúa suponiendo que el diodo no es ideal. Como se muestra en la figura 14.17(a), el tren de pulsos constituye la entrada a este circuito. El circuito se comporta de forma similar al circuito RC analizado antes en este capítulo. La única diferencia es que se aplican dos constantes de tiempo, dependiendo del estado del diodo.

La salida en estado estacionario se muestra en la figura 14.17(b). Este dibujo está exagerado para ilustrar los conceptos. Esto es, se trazó como si las constantes de tiempo fueran del mismo orden de magnitud que el periodo de la entrada. Como existen dos constantes de tiempo para este circuito, esta suposición no es siempre válida, ya que las dos constantes de tiempo son por lo general muy diferentes. Además, V_1 y V_2 son menores que V_3 o V_4. Sin embargo, la derivación de los resultados numéricos no depende de esta suposición.

En la figura 14.16(b) se observa el circuito equivalente bajo la condición de polarización directa del diodo. Esta situación se presenta siempre que la salida es positiva. En la figura 14.16(c) se muestra una situación comparable para salidas negativas, cuando el diodo está polarizado en inverso. Por tanto, las dos constantes de tiempo, para condición de polarización directa e inversa, están dadas por

$$\tau_f = (R_f + R_i)C$$

$$\tau_r = (R_r + R_i)C$$

Nótese que como $R_r \gg R_f$, entonces $\tau_r \gg \tau_f$.

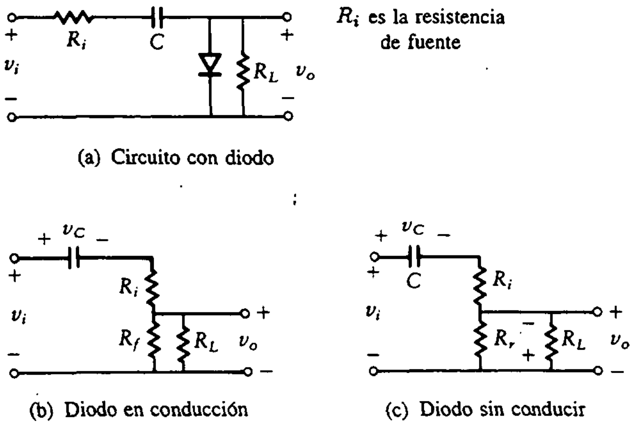


Figura 14.16
Respuesta en estado estacionario al tren de pulsos.

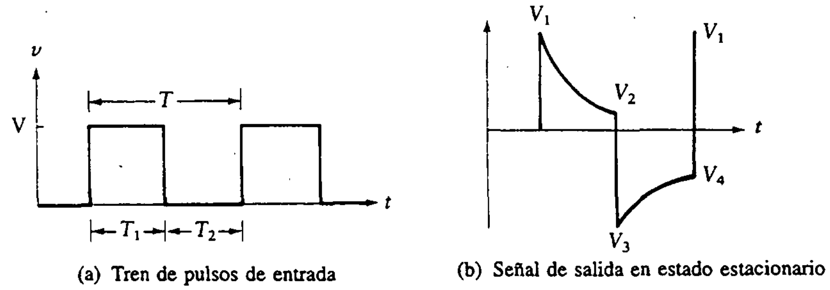


Figura 14.17
Respuesta en estado estacionario del circuito con diodo.

Se necesitan cuatro ecuaciones para encontrar V_1, V_2, V_3 y V_4. Como en el primer circuito sin el diodo, dos de las ecuaciones se obtienen de la relación de decaimiento exponencial y las otras dos de la magnitud de las transiciones de tensión. Las relaciones de decaimiento exponencial dan

$$V_2 = V_1 \exp\left(\frac{-T_1}{\tau_f}\right) \tag{14.15a}$$

$$V_4 = V_3 \exp\left(\frac{-T_2}{\tau_r}\right) \tag{14.15b}$$

Un instante antes de que la tensión de entrada caiga V volts, la salida se halla en V_2. Cuando cae la entrada, la tensión en el capacitor no puede cambiar de manera instantánea. Por tanto, la tensión a través de la combinación en serie de R_i y R_f debe caer V volts. Si el valor del resistor no cambiase de R_f a R_r durante esta

transición, simplemente se utilizaría la fórmula para el divisor de tensión a fin de encontrar la relación entre V_3 y V_2. Como el diodo realmente cambia de estado durante esta transición, se debe encontrar la nueva salida examinando la tensión en el capacitor. Justo antes de esta transición, la tensión en el capacitor se encuentra escribiendo la ecuación de lazo para el circuito de la figura 14.16 y fijándose que

$$v_i = V$$

$$v_o = V_2$$

La tensión en el capacitor es

$$V_C = V - \frac{V_2(R_f + R_i)}{R_f}$$

Un instante después de que la tensión de entrada cae a cero, la tensión en el capacitor se halla aún en este valor. El nuevo valor de la salida se encuentra escribiendo una ecuación de lazo para el circuito de la figura 14.16(c). Se utiliza este equivalente ya que ahora el diodo está polarizado inversamente. El resultado es

$$V_3 = \frac{-R_r}{R_r + R_i}\left[V - V_2\left(\frac{R_f + R_i}{R_f}\right)\right] \tag{14.15c}$$

Se utiliza un método similar para encontrar la relación entre V_1 y V_4. El resultado es (el lector debería verificar este resultado antes de continuar):

$$V_1 = \frac{R_f V + V_4 R_f(R_r + R_i)/R_r}{R_f + R_i} \tag{14.15d}$$

Las ecuaciones (14.15a), (14.15b), (14.15c) y (14.15d) son suficientes para despejar los puntos de referencia desconocidos. Estos se vuelven a escribir como las ecuaciones (14.16) para una rápida referencia:

$$V = \frac{R_f + R_i}{R_f}V_1 - \frac{R_r + R_i}{R_r}V_4 \tag{14.16a}$$

$$V = \frac{R_f + R_i}{R_f}V_2 - \frac{R_r + R_i}{R_r}V_3 \tag{14.16b}$$

$$V_2 = V_1 \exp\left(\frac{-T_1}{\tau_f}\right) \tag{14.16c}$$

$$V_4 = V_1 \exp\left(\frac{-T_2}{\tau_r}\right) \tag{14.16d}$$

Ejemplo 14.5

Dado el circuito de la figura 14.16(a) con

$$R_i = 100\ \Omega; \qquad R_f = 100\ \Omega; \qquad R_r = 1\ \text{M}\Omega; \qquad R_L = 10\ \text{k}\Omega; \qquad C = 1\ \mu\text{F}$$

Encuéntrense las tensiones críticas de la señal de salida si la entrada es como se muestra en la figura 14.18.

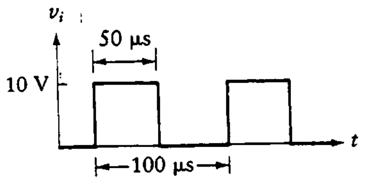


Figura 14.18
Señal de entrada para el ejemplo 14.5.

SOLUCIÓN Como $R_L \gg R_f$ y $R_r \gg R_L$,

$$R_L \parallel R_f \approx R_f$$
$$R_r \parallel R_L \approx R_L$$

Ahora se encuentran las dos constantes de tiempo.

$$\tau_f = (R_f + R_i)C = 200\ \mu\text{s}$$
$$\tau_r = (R_L + R_i)C = 10\ \text{ms}$$

La ecuación (14.16) da

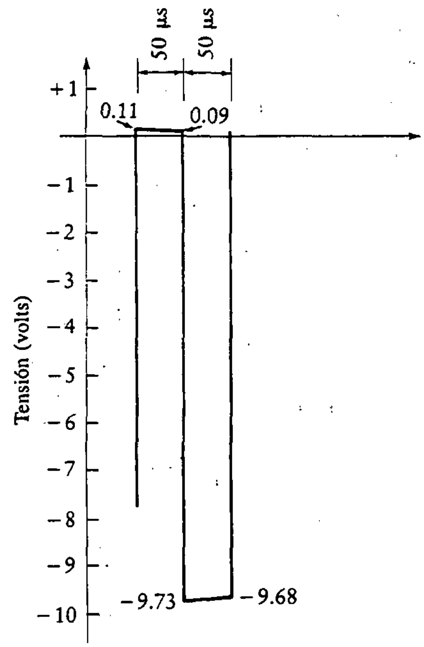
$$10 = 2V_1 - 1.01V_4 \tag{14.17a}$$
$$10 = 2V_2 - 1.01V_3 \tag{14.17b}$$
$$V_2 = V_1 \exp(-50\ \mu\text{s}/200\ \mu\text{s}) = V_1 e^{-1/4} = 0.78V_1 \tag{14.17c}$$
$$V_4 = V_3 \exp(-50\ \text{ms}/10\ \mu\text{s}) = V_3 e^{-0.005} = 0.995V_3 \tag{14.17d}$$

Resolviendo estas cuatro ecuaciones para las cuatro tensiones incógnitas, se obtiene

$$V_1 = 0.11\ \text{V} \qquad V_2 = 0.09\ \text{V}$$
$$V_3 = -9.73\ \text{V} \qquad V_4 = -9.68\ \text{V}$$

La forma de onda resultante se grafica en la figura 14.19. Nótese que ambas constantes de tiempo son grandes comparadas con el periodo de la entrada, por lo

Figura 14.19
Solución del ejemplo 14.5.



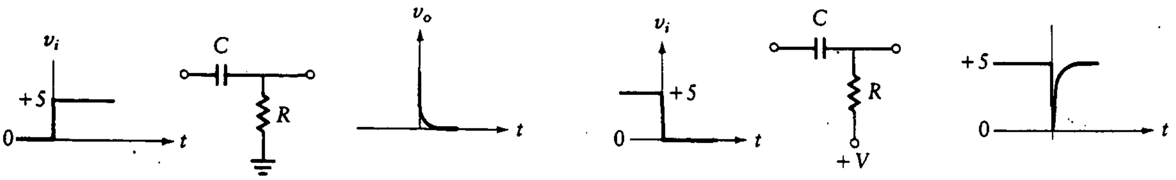
que las exponenciales no decaen en forma apreciable entre las transiciones. Nótese además que en la derivación de esta sección se despreció la caída de tensión en directo del diodo, V_γ. Como V_1 y V_2 resultaron del mismo orden de magnitud que V_γ, el modelo utilizado en esta sección no es adecuado para el presente ejemplo. Los valores obtenidos para V_1 y V_2 sólo se deben considerar como aproximaciones.

14.4 CIRCUITOS DE DISPARO

Los sistemas digitales binarios operan con señales de tiempo discretas. Esto es, como la información está contenida en secuencias de dígitos binarios, cada uno de estos bits ocurre en un momento específico. Por tanto, la *sincronización* es sumamente importante, y las transiciones se deben producir en momentos muy bien controlados. Muchos circuitos digitales requieren que se genere un pulso de disparo, y éste se utiliza para controlar la *sincronía*.

Por lo general, los pulsos de disparo se generan ya sea en el flanco de subida o de bajada de un tren de pulsos. Como ejemplo, considérese el *disparador de flanco positivo* de la figura 14.20(a). La entrada a este circuito es un pulso que tiene una transición entre 0 y 5 V. Esta función escalón se aplica a la red RC pasa-altas. La ecuación (14.1) se puede utilizar para encontrar la salida para $t > 0$:

$$v_o(t) = Ve^{-t/\tau}u(t)$$



(a) Detección de flanco positivo (b) Detección de flanco negativo

Figura 14.20 Circuitos de disparo.

donde $\tau = RC$ y $V = 5$ V. Este es un disparador de tránsito positivo. El pulso de disparo es angosto, y su duración depende de la constante de tiempo RC. Se puede utilizar para propósitos de sincronización precisos.

El *disparador de flanco negativo* se muestra en la figura 14.20(b). La salida también se muestra en el diagrama, y para $t > 0$ está dada por

$$v_o(t) = V(1 - e^{-t/\tau})$$

El decaimiento exponencial de ambas salidas se puede acortar reduciendo la constante de tiempo. Se explorarán métodos para hacer aún más delgado el pulso de salida. Esto es posible utilizando inversores o compuertas de potencia (*buffers*), los cuales se tratan en el siguiente capítulo.

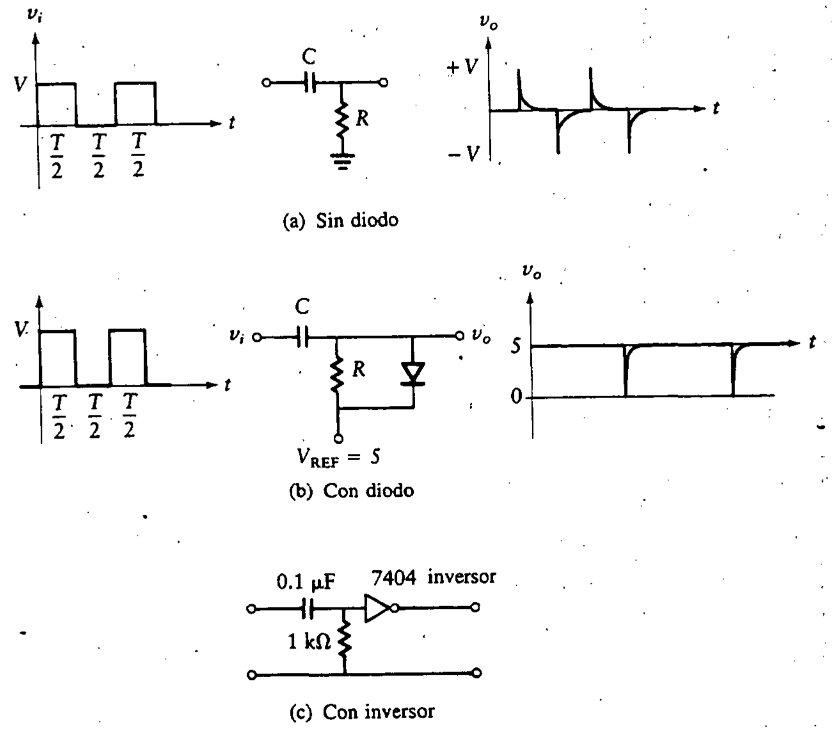
14.4.1 Respuesta a trenes de pulsos

Las redes de la sección anterior detectan tanto el flanco positivo como el negativo de una función escalón sencilla. Se combina ahora una serie de escalones para crear un tren de pulsos como entrada a un circuito RC, como se estudió en la sección 14.1. La entrada y la salida correspondientes se muestran en la figura 14.21(a). La salida está compuesta de una serie de pulsos positivos y negativos de $\pm V$ volts de amplitud. Recuérdese del análisis de la figura 14.7(b) que los pulsos de este tipo se producen si la constante de tiempo es mucho menor que el periodo de la entrada. Por tanto, el producto RC debe ser

$$\tau = RC \ll T$$

A menudo sólo se requiere que un pulso negativo funcione como disparador, de manera que se pueda utilizar un diodo para eliminar los pulsos positivos. Esto se muestra en la figura 14.21(b). Si se invierte el diodo, se eliminan los pulsos negativos y permanecen los positivos. El circuito de la figura 14.21(c) lleva a cabo la función de disparador igual que en la figura 14.21(b), excepto que no se requiere la V_{REF}.

Figura 14.21
Respuesta a un tren de pulsos.



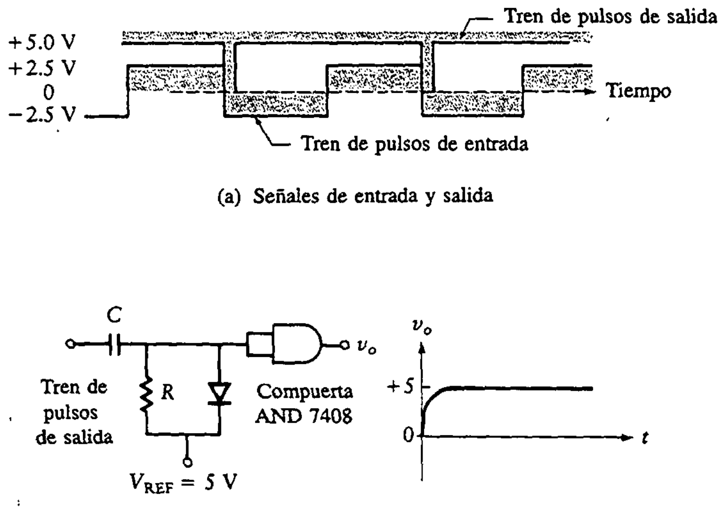
Ejemplo 14.6

Un tren simétrico de pulsos rectangulares de 60 Hz conforma la entrada al sistema mostrado en la figura 14.22(a). Diséñese un circuito para generar un pulso de disparo que debe ser inferior a 2 ms de ancho y que sólo estará presente durante los flancos negativos del tren de pulsos de reloj de la entrada.

SOLUCIÓN El periodo de la entrada es de 16.7 ms, por lo que la constante de tiempo RC debe ser mucho menor que este valor. La constante de tiempo debe ser bastante pequeña para que el pulso de salida caiga casi hasta cero en 2 ms, como se especifica en el planteamiento del problema. Supóngase que se elige una constante de tiempo de 0.5 ms. Se escoge un capacitor de valor $C = 0.1\ \mu F$ y una resistencia de 5 kΩ, lo cual da una constante de tiempo RC de 0.5 ms. El circuito resultante se muestra en la figura 14.22(b).

En la salida del circuito de la figura 14.22(b) es posible utilizar una *compuerta de potencia (buffer)*, que se puede formar con dos inversores en serie. Esta cambia la señal exponencial a pulso rectangular y proporciona una baja impedancia de salida.

Figura 14.22
Circuito para el ejemplo 14.6.



(a) Señales de entrada y salida

(b) Solución

14.5 EL GENERADOR DE PULSOS 555

Aunque este capítulo pretende ser una introducción a la electrónica *digital*, los circuitos y señales analizados en realidad son analógicos. Operan sobre señales y produeen señales que toman un continuo de valores en vez de responder a uno de dos niveles.

Entre los circuitos analógicos y los digitales existe una clase de dispositivos que poseen características de ambos tipos. Dentro de esta clase se encuentran los circuitos de reloj y los generadores de señales que tienen muchos usos tanto en circuitos analógicos como digitales. La característica principal de estos circuitos es que el tiempo (periodo) se puede fijar ya sea por una tensión externa o por una combinación resistor-capacitor. Con frecuencia, estos dispositivos tienen líneas de control externas de tal forma que la frecuencia o el ancho del pulso se pueden controlar muy fácilmente por medio de una fuente externa. Cuando estos circuitos se realizan como circuitos integrados, la construcción interna utiliza tanto circuitos analógicos como digitales para generar las señales de sincronización y de control necesarias para su operación.

14.5.1 El oscilador de relajación

Se centrará la atención en los circuitos de sincronización analizando en primer lugar el *oscilador de relajación* hecho con un amplificador operacional con retroalimentación positiva, como se muestra en la figura 14.23(a). La tensión en la entrada no inversora del amplificador operacional es el resultado de acoplar la tensión de salida a través de un divisor de resistencias compuesto de R_1 y R_2. La tensión en

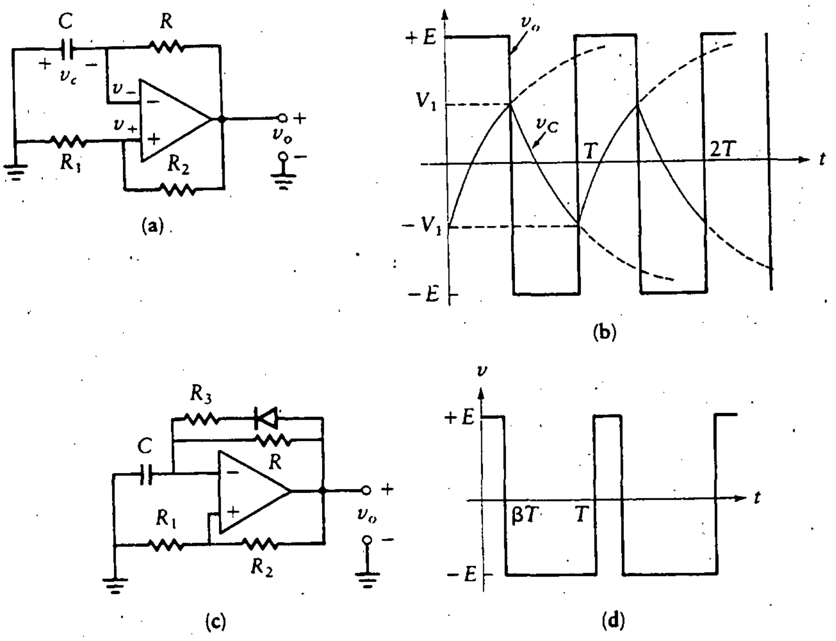


Figura 14.23
Oscilador de relajación.

la entrada inversora se desarrolla en el capacitor como parte de una combinación RC. Si la entrada diferencial es positiva, la salida del amplificador operacional se satura cerca del valor positivo de la fuente de alimentación. Por el contrario, si la entrada diferencial es negativa, la salida se satura cerca del valor negativo de la fuente de alimentación.

Cuando la salida se halla en un valor positivo, el capacitor se carga hacia este valor en forma exponencial con una constante de tiempo RC. En algún punto, este crecimiento en la tensión de la entrada inversora hace que el amplificador operacional cambie al otro estado, donde la tensión de salida es negativa. Entonces el capacitor empieza a descargarse hacia este valor negativo hasta que la entrada diferencial se vuelve otra vez positiva.

Por tanto, la salida es una onda cuadrada, como se muestra en la figura 14.23(b). La onda exponencial de esta figura representa la tensión del capacitor. La ecuación para la curva exponencial se encuentra utilizando los valores inicial y final y la constante de tiempo, como ya se describió en este capítulo. Para el primer segmento de la curva entre los tiempos 0 y $T/2$, el valor inicial es $-V_1$, el valor final es el de la fuente de alimentación, $+E$, y la constante de tiempo es $\tau = RC$. La ecuación es, por tanto,

$$v_-(t) = E + (-V_1 - E)e^{-t/\tau} \tag{14.18a}$$

Para el siguiente periodo, entre $T/2$ y T, el valor inicial es V_1 y el valor final es $-E$. Como puede observarse, se supone que, en estado estacionario, la señal

es simétrica alrededor del eje cero:

$$v_-(t) = -E + (V_1 + E)e^{-(t-T/2)/\tau} \tag{14.18b}$$

En el momento de la transición, se evalúa ya sea la ecuación (14.18a) o la (14.18b) para obtener

$$v_-(T/2) = V_1 = E + (-V_1 - E)e^{-T/2\tau}$$

Por tanto,

$$e^{-T/2\tau} = (E - V_1)/(E + V_1) \tag{14.19}$$

Las incógnitas en esta ecuación son T y V_1. Se necesita una segunda ecuación para encontrar el periodo de oscilación. Esta ecuación se obtiene de la entrada no inversora ya que las transiciones se producen cuando la entrada *diferencial* pasa por cero (es decir, $v_- = v_+$). Para simplificar esto, supóngase que los resistores son iguales. Esto es,

$$R_1 = R_2$$

Por tanto, la entrada no inversora durante el primer semiciclo está dada por

$$v_+ = \frac{R_1 E}{R_1 + R_2} = \frac{E}{2}$$

El cambio de estado ocurre cuando la entrada inversora alcanza este valor. Por tanto, a partir de la ecuación (14.19), se tiene

$$e^{-T/2\tau} = \frac{E - \dfrac{E}{2}}{E + \dfrac{E}{2}} = \frac{1}{3}$$

Tomando el logaritmo natural en ambos lados, se obtiene

$$\frac{-T}{2\tau} = \ln\left(\frac{1}{3}\right) = -1.1$$

y

$$T = 2.2RC$$

La frecuencia de oscilación es el recíproco del periodo:

$$f = \frac{1}{T} = \frac{0.455}{RC}\ \text{Hz}$$

Esta ecuación se basa en la teoría del amplificador operacional ideal ($v_+ = v_-$). Si la frecuencia es muy alta, la ganancia real del amplificador operacional puede reducirse con aumentos en la frecuencia, provocando así el error en esta ecuación.

Supóngase ahora que se desea un tren de pulsos *asimétrico* en la salida del oscilador. Se utiliza el circuito de la figura 14.23(c) para producir la señal de la figura 14.23(d). Nótese que se añade un diodo con el fin de permitir que se tengan dos constantes de tiempo.

Cuando el diodo *conduce*, la trayectoria de carga del capacitor es a través de la resistencia que se forma a partir de la combinación paralela de R y R_3 (se desprecia la resistencia en directo del diodo). Cuando el diodo está *apagado*, el trayecto de descarga es a través del resistor de valor R.

Ejemplo 14.7

Encuéntrese la salida del circuito de la figura 14.23(c) si

$$C = 0.1\ \mu\text{F}$$
$$R = 20\ \text{k}\Omega$$
$$R_1 = R_2$$
$$R_3 = 1\ \text{k}\Omega$$

SOLUCIÓN Primero se encuentran las dos constantes de tiempo para la carga y descarga del capacitor.

$$\tau_c = C(R \parallel R_3) = (0.1\ \mu\text{F})(0.95\ \text{k}\Omega) = 0.095\ \text{ms}$$
$$\tau_d = RC = (0.1\ \mu\text{F})(20\ \text{k}\Omega) = 2\ \text{ms}$$

La ecuación para la primera porción de la señal es

$$v_- = E + (-V_1 - E)e^{-t/0.095\text{ms}}$$

La transición se produce cuando esta tensión alcanza $E/2$, ya que $R_1 = R_2$. Por tanto,

$$v_-(\beta T) = E + (-V_1 - E)e^{-\beta T/0.095\text{ms}} = \frac{E}{2}$$

Pero, haciendo $V_1 = E/2$, se tiene

$$\exp\left(\frac{-\beta T}{\tau_c}\right) = \frac{1}{3}$$

y

$$\beta T = 1.1 \times 0.095 \text{ ms} = 0.1 \text{ ms}$$

Para la región de descarga,

$$v_{-}(t) = -E + (V_1 + E)\exp\left[\frac{-(t - \beta T)}{\tau_d}\right]$$

Haciendo $t = T$ para la segunda transición, se tiene

$$v_{-}(T) = \frac{-E}{2} = -E + \left(\frac{E}{2} + E\right)\exp\left[\frac{-(T - \beta T)}{\tau_d}\right]$$

dando como resultado

$$(1 - \beta)T = 2.2 \text{ ms}$$

Entonces el periodo es

$$T = \beta T + (1 - \beta)T = (0.1 + 2.2) \text{ ms} = 2.3 \text{ ms}$$

14.5.2 El 555 como oscilador

Se examinará ahora el útil *circuito de reloj 555*. Consiste en una mezcla de circuitos analógicos y digitales. En esta sección se presenta una breve descripción de la operación interna del 555. En la figura 14.24 se muestra un diagrama de bloques del 555. El circuito contiene comparadores, amplificadores y un biestable. Los

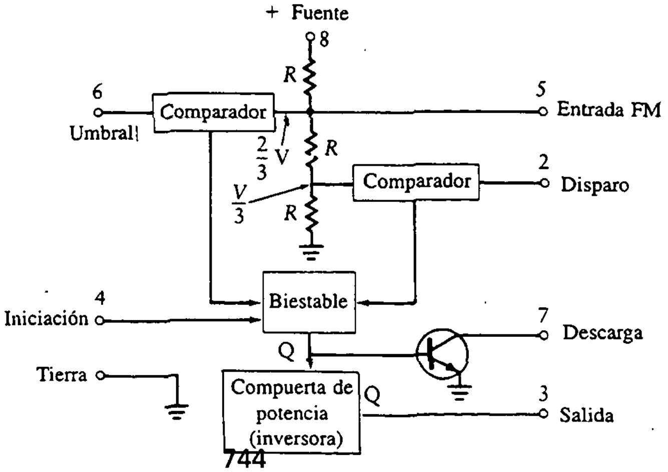


Figura 14.24
Diagrama de bloques del 555.

comparadores se analizaron en la sección 12.3. Los biestables se consideran en el capítulo 16. Por ahora, es suficiente pensar en el *biestable SR* (*set-reset*) como un conmutador operado eléctricamente. Activando el conmutador se hace que la salida, Q, sea *alta* (aproximadamente el valor de la fuente de alimentación), y desactivándolo se hace que la salida sea baja (casi cero). Los tres resistores, R, se utilizan como divisores de tensión para proporcionar niveles de $\frac{2}{3}$ de la fuente y $\frac{1}{3}$ de la fuente a los comparadores.

Las terminales 2 (disparo) y 6 (umbral) controlan la salida del circuito 555. Cuando la tensión en la terminal 6 se encuentra por encima de $\frac{2}{3}$ de la fuente de alimentación, la salida del comparador *activa* el biestable, provocando que la salida sea *alta*. La salida del biestable polariza en directo al transistor de descarga, haciendo que su salida (terminal 7) sea baja. Una tensión inferior a $\frac{1}{3}$ de la fuente de alimentación en la terminal 2 *desactiva* el biestable, haciendo que la salida sea *baja* y apague el transistor de descarga, lo cual deja flotante su salida. La terminal 4 se utiliza para desactivar el biestable. Al conectar la terminal 4 a tierra el biestable se coloca en *bajo*. Cuando no se utiliza, esta terminal se conecta a la fuente positiva.

El 555 se puede utilizar como generador de pulsos en modo astable si se configura como se muestra en la figura 14.25. En operación, el capacitor comienza a cargarse a través de R_1 y R_2. El biestable se halla desactivado (apagado) ya que la terminal 2 comienza con un nivel bajo. Cuando el biestable se desactiva, la entrada al inversor es baja y la salida del circuito es alta. Cuando la tensión en el capacitor alcanza un nivel tal que la tensión en la terminal 6 alcanza $\frac{2}{3}$ de la fuente, el biestable se *activa* y la terminal 7 se coloca en bajo. Entonces el capacitor comienza a descargarse a través de R_2. Cuando se descarga hasta un valor de $\frac{1}{3}$ de la fuente, el segundo comparador, la terminal 2, hace que el biestable se *desactive*, y el ciclo se repite.

Por tanto, la tensión en el capacitor cambia en forma exponencial entre $\frac{1}{3}$ y $\frac{2}{3}$ de la fuente de alimentación. Durante la carga, la constante de tiempo está dada por

$$\tau_c = (R_1 + R_2)C$$

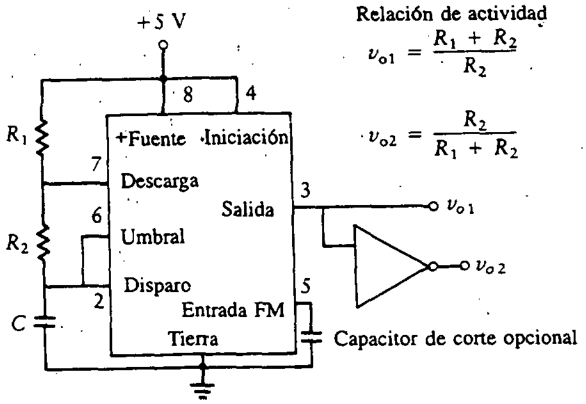


Figura 14.25
El 555 como generador de pulsos.

Durante la descarga, la constante de tiempo es

$$\tau_d = R_2 C$$

La conmutación se produce cuando la exponencial atraviesa un medio del camino entre los valores inicial y final. Por ejemplo, durante la carga, la tensión en el capacitor comienza en $\frac{1}{3}$ de la fuente de alimentación y se carga en forma exponencial hacia la tensión de la fuente. La conmutación sucede cuando la tensión alcanza $\frac{2}{3}$ de la fuente. Durante la descarga sucede lo contrario. Una exponencial alcanza $\frac{1}{2}$ de su valor total luego de 0.693 de la constante de tiempo. Esto es, cuando

$$t = 0.693\tau$$

en la ecuación $e^{-t/\tau}$, se tiene

$$e^{-0.693} = 0.5$$

Por tanto, el tiempo de carga está dado por

$$T_c = 0.693(R_1 + R_2)C$$

El tiempo de descarga es

$$T_d = 0.693 R_2 C$$

La salida es alta durante la carga y baja durante la descarga. El periodo total de la onda cuadrada de salida está dado por la suma de los dos tiempos.

$$T = 0.693(R_1 + 2R_2)C$$

La frecuencia es el recíproco de esto.

$$f = \frac{1}{T} = \frac{1.44}{(R_1 + 2R_2)C}$$

Ejemplo 14.8

Diséñese un generador astable de onda cuadrada con un 555 para proporcionar una señal de salida de 10 kHz.

SOLUCIÓN Se aprovechará esta oportunidad para dar algunas limitaciones del circuito de reloj 555. La capacitancia se debe mantener superior a 500 pF (5 ×

10^{-10} F) para ocultar capacitancias parásitas. Los resistores R_1 y R_2 deben ser mayores que 1 kΩ para limitar la corriente. La suma $R_1 + R_2$ no debe ser mayor que 3.3 MΩ. Estas limitaciones son el resultado de un análisis detallado de la operación de este circuito. Nótese que con estas restricciones no se puede obtener una frecuencia mayor que 1 MHz utilizando el circuito de la figura 14.25.

Selecciónese $C = 0.001\ \mu$F. El problema no especifica si la onda cuadrada debe o no ser simétrica. Esto es, aunque se especifica que el periodo debe ser 0.1 ms, no se proporciona información acerca de la relación de actividad.

La *relación de actividad* se define aquí como el tiempo en alto dividido entre el tiempo en bajo. Para el 555, la ecuación es

$$\text{relación de actividad} = \frac{\text{tiempo en alto}}{\text{tiempo en bajo}} = \frac{R_1 + R_2}{R_2} \tag{14.20}$$

Supóngase que se desea que la señal esté aproximadamente el mismo tiempo en un valor positivo y en cero. Entonces el tiempo de descarga debe ser igual que el tiempo de carga. En la ecuación (14.20) se indica que estos tiempos no pueden ser exactamente iguales. Si se elige que R_2 sea mucho mayor que R_1, entonces los tiempos están cercanos como para considerarse iguales. Supóngase que este es el caso. Así, la frecuencia está dada de manera aproximada por

$$f = 10 \text{ kHz} \approx \frac{1.44}{2R_2C}$$

Utilizando el valor supuesto para C, se obtiene

$$R_2 = 72 \text{ k}\Omega$$

Se puede elegir que R_1 esté cerca de 1 kΩ y continúe dentro de las líneas de diseño dadas antes. Por tanto, el diseño está completo.

Como la relación de actividad, dada por la ecuación (14.20), tiene $R_1 + R_2$ en el numerador y R_2 en el denominador, se está limitado a valores mayores que 1 para dicha relación de actividad. Si se desea un ciclo efectivo menor que la unidad, se puede utilizar un inversor (el 7404 se analiza en el siguiente capítulo) para invertir la ecuación (14.20). Luego, si se incluye un inversor como se muestra en la figura 14.25, la relación de actividad para la salida, v_{o2}, está dada por

$$\text{relación de actividad} = \frac{R_2}{R_1 + R_2} \tag{14.21}$$

14.5.3 El 555 como circuito monoestable

El 555 se puede utilizar en *modo monoestable* eliminando R_2 y conectando C entre las terminales 6 y 7 y tierra, como se muestra en la figura 14.26. En modo monoestable, la salida del circuito consiste en un solo pulso de duración específica cada vez que se envía un pulso de disparo a la terminal 2, excitando al comparador por debajo de $\frac{1}{3}$ de la fuente de alimentación. Cuando la terminal 2 se coloca en un nivel bajo, el biestable se *desactiva* y la salida (terminal 3) se coloca en alto. Como el transistor de descarga está apagado, la terminal 7 queda flotando, y el capacitor comienza a cargarse a partir de su valor inicial de 0 V. Cuando se carga hasta $\frac{2}{3}$ del valor de la fuente de alimentación, el biestable se *activa* y la salida se coloca en bajo. El pulso de disparo debe empezar en +5, caer a 0 y luego regresar a +5, como se muestra en la figura 14.26. El pulso de disparo debe ser de menor duración que el pulso de salida deseado. El *tiempo en alto* es el tiempo que tarda el pulso de salida en nivel alto. Este es el tiempo que tarda la tensión de carga exponencial en pasar de 0 a $\frac{2}{3}$ de su valor final. Esto es 1.1 constantes de tiempo, ya que

$$(1 - e^{-1.1}) = \frac{2}{3}$$

Por tanto, el tiempo en alto es

$$T = 1.1RC \tag{14.22}$$

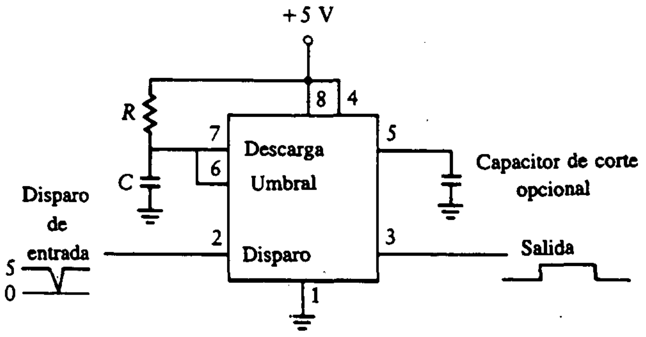


Figura 14.26
El 555 en modo monoestable.

Ejemplo 14.9

Diséñese un 555 en modo monoestable para proporcionar un pulso de 100 ms cada vez que se aplica un pulso de disparo en la entrada.

SOLUCIÓN Se utilizará un capacitor de 1 μF. Entonces la ecuación (14.22) proporciona el valor de R:

$$R = \frac{T}{1.1C} = \frac{100 \times 10^{-3}}{1.1 \times 10^{-6}} = 91 \text{ k}\Omega$$

El circuito es como se muestra en la figura 14.26, con el valor de los parámetros antes calculados.

La forma del pulso de disparo necesario para iniciar el monoestable 555 es más importante. Como se muestra en la figura 14.26, el pulso de disparo, aplicado a la terminal 2, está en +5 V. Esta tensión se lleva brevemente a cero para iniciar la secuencia de sincronización. Al momento en que el disparo se lleva a cero, se genera un pulso de salida de $1.1RC$ de duración. En contraste con el modo astable de operación, el ciclo no se repite. Es necesario otro pulso de disparo para iniciar otro pulso de salida.

El método para obtener estos pulsos de disparo para el 555 en modo monoestable se muestra en la figura 14.20(a) y (b). Si se desea un disparo con flanco de subida, utilícese el circuito mostrado en la figura 14.21. El inversor (que se trata en el Cap. 15) se utiliza para invertir el pulso en la forma necesaria para disparar al 555.

Un disparo con flanco de bajada se obtiene con el circuito de la figura 14.20(b). Nótese que para obtener el disparo apropiado, el resistor se conecta a +5 V en vez de tierra. Puede ser deseable utilizar una compuerta de potencia (*buffer*) no inversora en la salida del circuito de la figura 14.20(b) para "cuadrar" el pulso de disparo y también reducir el efecto de carga en la fuente v_i.

La terminal de inicio (terminal 4) se puede utilizar para deshabilitar o parar el ciclo luego de iniciado. Cuando esta terminal se lleva a tierra, la operación se inhibe. Cuando no se utilice, la terminal 4 se deberá conectar a la fuente positiva, como se muestra en la figura 14.26.

PROBLEMAS

14.1 Una onda cuadrada simétrica de 10 Hz que tiene una tensión pico a pico de 5 V constituye la entrada a un circuito pasa-altas con frecuencia de corte inferior de 5 Hz $\left(f_c = \dfrac{1}{2\pi RC}\right)$. Dibújese la onda de salida. ¿Cuál es la amplitud pico a pico en la salida?

14.2 Una onda cuadrada de 10 Hz constituye la entrada a un amplificador que funciona como circuito pasa-altas. La tensión pico a pico es V. Grafíquese la onda de salida para cada una de las siguientes frecuencias de corte bajas.

a. 0.3 Hz

b. 3 Hz

c. 30 Hz

14.3 Una onda cuadrada se extiende ±2 V con respecto a tierra. La duración de la sección positiva es 0.1 s y la de la sección negativa es 0.2 s. La onda se aplica a una red pasa-altas con constante de tiempo $RC = 0.2$ s. Grafíquese la onda de salida en estado estacionario y calcúlense las tensiones máximas y mínimas importantes.

14.4 La rampa limitada de la figura P14.1 se aplica a una red pasa-altas. Sea $V_m = 1$ V. Dibújese la onda de salida para cada valor de T.

a. $T = 0.2(RC)$
b. $T = RC$
c. $T = 5(RC)$

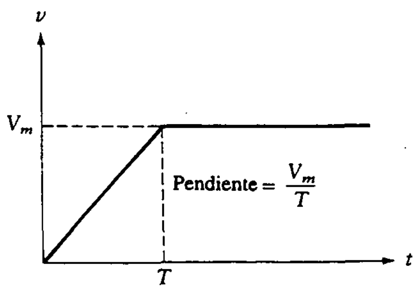


Figura P14.1

14.5 Una onda cuadrada simétrica con valor promedio de cero tiene una tensión pico a pico de 10 V y un periodo de 2 μs. Esta onda es la entrada a un circuito pasa-bajas con frecuencia de corte de 0.16 MHz. Calcúlese y dibújese la señal de salida en estado estacionario. ¿Cuál es la tensión pico a pico en la salida?

14.6 El tren de pulsos que se muestra en la figura P14.2 se aplica a la entrada de una red diodo-capacitor. Grafíquese la tensión de salida en estado estacionario, $v_o(t)$, y calcúlense las cuatro tensiones importantes en la salida. Supóngase que la tensión en el diodo es cero cuando se polariza en directo (es decir, $V_\gamma = 0$), $R_f = 100$ Ω, $R_r = 100$ kΩ y $R_S = 1$ kΩ.

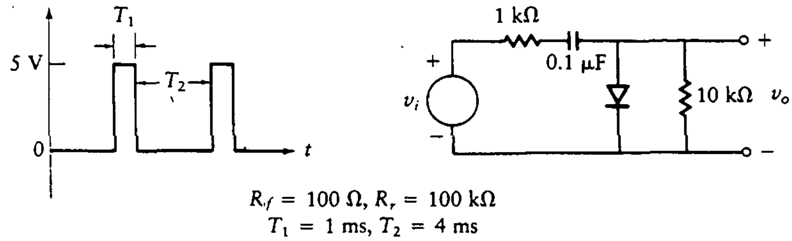


Figura P14.2

14.7 Un tren de pulsos de 10 KHz con valor pico $V_{pico} = 10$ V se aplica al circuito fijador con diodos de la figura P14.3(b). Los valores de los parámetros son $R = 10$ kΩ y $C = 1$ μF. El diodo tiene $R_r = \infty$, $R_f = 0$ y $V_\gamma = 0$, y la impedancia de la fuente es cero.

a. Dibújese la onda de salida.
b. Si la resistencia en directo del diodo es 1 kΩ, dibújese la onda de salida. Calcúlense las tensiones máxima y mínima con respecto a tierra.
c. Repítase la parte (b) si la impedancia de la fuente es 1 kΩ.

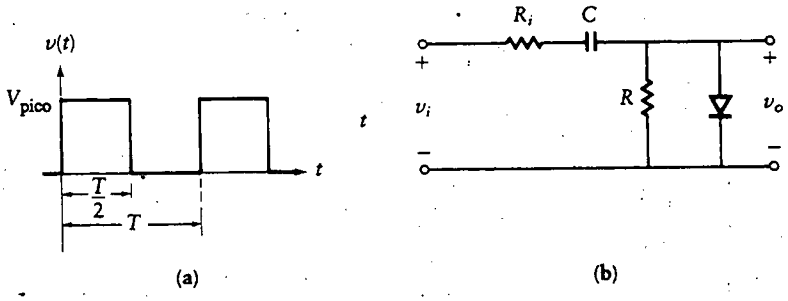


Figura P14.3

14.8 El tren de pulsos que se muestra en la figura P14.3(a) con $T = 50$ μs se aplica al circuito de la figura P14.3(b). El circuito tiene $R_i = 1$ kΩ, $R = 10$ kΩ, $C = 0.1$ μF, $R_f = 100$ Ω, $R_r = 100$ kΩ y $V_\gamma = 0$. Encuéntrese la onda de salida en estado estacionario, $v_o(t)$.

14.9 La rampa limitada de la figura P14.1 se aplica a la red pasa-bajas con $V_m = 1$ V. Dibújese la señal de salida para cada valor de T.

a. $T = 0.2(RC)$
b. $T = RC$
c. $T = 5(RC)$

14.10 Diséñese un generador de señal utilizando un circuito 555 en modo astable para proporcionar pulsos en tasas de 100 kHz, 10 kHz y 1 kHz. Manténgase constante la relación de actividad.

14.11 Diséñense un circuito disparador y un monoestable 555 para producir un tren de pulsos de 100 ms. Utilícese un tren de pulsos de 0 V a 5 V, de 1 Hz, en la entrada de este circuito.

14.12 Utilícese un 555 en modo astable y un inversor (necesario para obtener un ciclo efectivo menor que 1) a fin de producir un generador de pulsos para los siguientes intervalos de frecuencia continuamente variables.

a. 10 Hz a 100 Hz
b. 100 Hz a 1 kHz
c. 1 kHz a 10 kHz

La relación de actividad no puede ser superior a 0.2. Selecciónense los valores de todos los resistores y capacitores, así como el número del CI inversor. Supóngase que se tiene disponible toda la potencia necesaria. Dibújese el diagrama del circuito diseñado.

14.13 Desarróllese un tren de pulsos de 60 Hz utilizando la línea de energía de 100 V, 60 Hz con el sistema mostrado en la figura P14.4. La salida es un tren de pulsos con relación de actividad de 100%. Selecciónense todos los valores para resistores y capacitores. Dibújese el diagrama del circuito para el diseño completo.

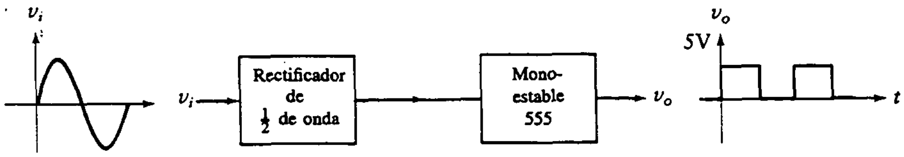


Figura P14.4

14.14 Diséñese un generador de pulsos que tenga los siguientes intervalos variables.

a. 0.1 kHz a 1 kHz
b. 1 kHz a 10 kHz
c. 10 kHz a 100 kHz

Se requiere una relación de actividad de 1.0. Supóngase que se tiene disponible toda la potencia necesaria en el diseño.

14.15 Diséñese un sistema de control de luz de tráfico utilizando circuitos digitales. La luz de tráfico se utilizará en una intersección de cuatro vías, y cada dirección debe tener tres colores: rojo, amarillo y verde. Para encender una lámpara, el circuito debe proporcionar una salida de +5 V. Si la salida a una cierta lámpara del circuito es cero volts, la lampara se apagará. En la figura P14.5 se muestran los tiempos de encendido necesarios y un mapa de la intersección.

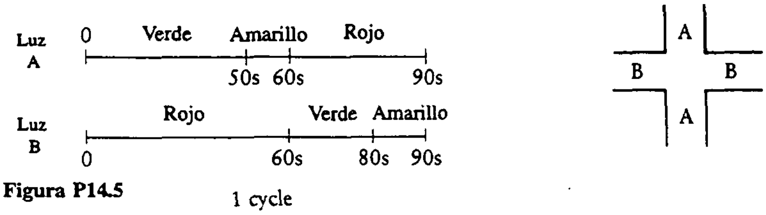


Figura P14.5

14.16 Diséñese una red de retardo de pulso para obtener un atraso de 15 μs para un pulso de entrada cuya duración es 1 μs, como se muestra en la figura P14.6.

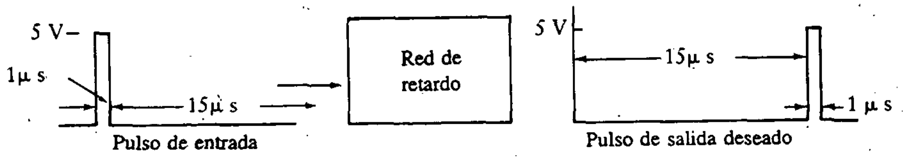


Figura P14.6

14.17 Diséñese un generador de pulsos para proporcionar el pulso de reloj de un sistema electrónico. Utilícese la línea de energía de 110 V 60 Hz como excitador básico para el generador de pulsos. La relación de actividad del pulso de reloj de salida es 0.5. Calcúlense todos los valores de resistores y capacitores, y especifíquese el número de los CI utilizados.

14.18 Analícese el circuito mostrado en la figura P14.7. Dibújese la señal de salida como función del tiempo. Calcúlense todas las frecuencias y anchos de pulso importantes. El interruptor SW normalmente está cerrado. Debe graficarse la señal de salida después de que se abre el interruptor.

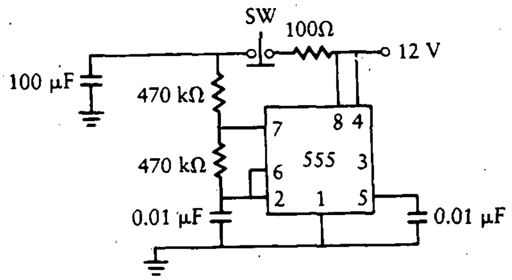


Figura P14.7

14.19 Diséñese un generador de pulsos de 1 kHz con una salida de 0 V a 5 V, utilizando un circuito de reloj 555 astable para proporcionar el tren de pulsos de 1 kHz. La relación de actividad de los pulsos de reloj debe variar de 0.2 a 10. Utilícense un potenciómetro y un monoestable 555 para generar la relación de actividad. Calcúlese el valor de todos los resistores y capacitores, y especifíquese el número de los CI utilizados en el diseño.

14.20 Utilícense amplificadores operacionales y un monoestable 555 a fin de diseñar un sistema para acondicionar una señal. La entrada al sistema se obtiene del sistema de ignición de un motor. Se colocan 100 vueltas de alambre alrededor de la línea de energía a una de las bujías. Esto produce un pulso de tensión por dos revoluciones del motor. La señal tiene la forma mostrada en la figura P14.8(a). Los transitorios son grandes y no desaparecen antes de 10 ms.

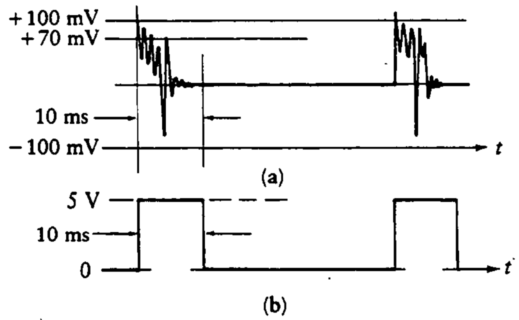


Figura P14.8

Diséñese un sistema electrónico para acondicionar esta señal de entrada de manera que sea adecuada para alimentar un sistema TTL. La señal debe dar un solo pulso de salida por cada chispa en la bujía. Esto es, el sistema de acondicionamiento debe ignorar los transitorios y producir *un sólo* pulso por cada ráfaga de energía. El tren de pulsos debe verse como en la figura P14.8(b). Cada pulso de la señal de salida corresponde a dos revoluciones del motor, y la máxima velocidad de éste es 6000 rpm.

PROBLEMAS ADICIONALES

PA14.1 Diseñe una señal de alarma que tenga la forma mostrada en la figura PA14.1. La señal de alarma deseada es una onda cuadrada de 2 kHz (desarrollada por un 555 astable) que es encendido y apagado 30 veces cada minuto (por otro 555 astable). El tiempo de encendido es aproximadamente igual al tiempo de apagado.

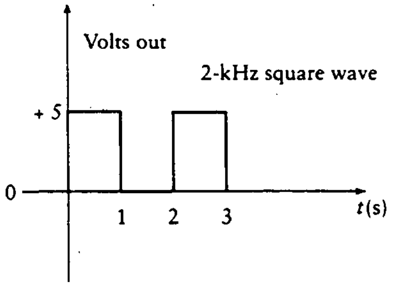


Figura PA14.1

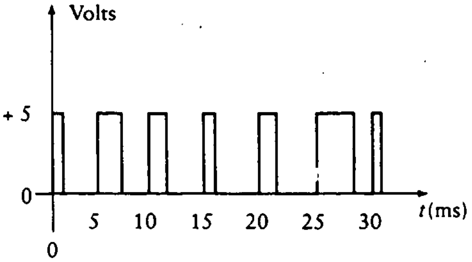


Figura PA14.2

PA14.2 Una señal de reloj tiene un ancho de pulso variable, como se muestra en la figura PA14.2. El ancho de pulso varía de 1 ms a 3 ms, y la frecuencia es una constante de 200 Hz. Utilice un monoestable 555 y un circuito de disparo en el diseño de un sistema electrónico para procesar esta señal de entrada. El tren de pulsos de salida debe tener una frecuencia de 200 Hz y un ciclo de trabajo constante de 0.2.

PA14.3 El circuito mostrado en la figura PA14.3 produce una frecuencia del 555 en modo astable que varía conforme cambia la tensión aplicada a los resistores y capacitores de temporización. Este circuito se conoce como un *oscilador controlado por tensión*. Calcule la frecuencia de salida para cada una de las tres posiciones del interruptor. Grafique la frecuencia de salida como función de estas tres tensiones aplicadas.

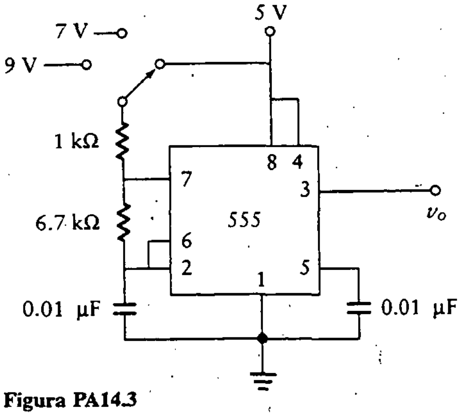


Figura PA14.3

PA14.4 El tren de pulsos mostrado en la figura PA14.4(a) es la entrada a un sistema electrónico. Utilice un circuito de disparo y un amp-op en el diseño de un sistema que produzca un tren de impulsos, de ancho no mayor que 2 ms. La salida, mostrada en la figura PA14.4(b), debe contener un impulso por cada flanco de subida y un segundo impulso por cada flanco de caída del tren de pulsos de entrada.

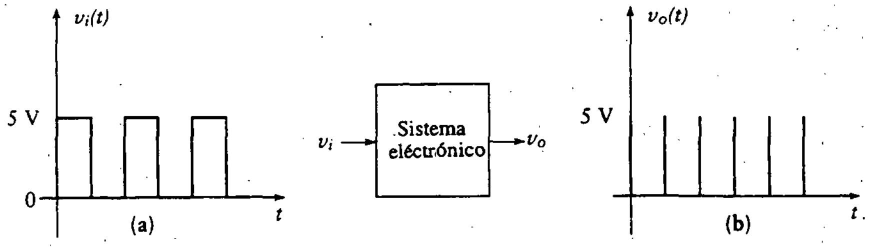


Figura PA14.4

PA14.5 Utilice la salida del sistema del problema anterior (Fig. PA14.4(b)) para producir un tren de pulsos con ciclo de trabajo unitario pero al doble de frecuencia de la señal de entrada (figura PA14.4(a)). Los resultados de estos dos problemas forman un circuito duplicador de frecuencia.

15

FAMILIAS LÓGICAS DIGITALES

15.0 INTRODUCCIÓN

Un ingeniero acaba de asegurar una excelente posición en la sección de diseño avanzado de una gran empresa automotriz. Se le encargó la tarea de diseñar un módulo de control electrónico de las características de seguridad para los automóviles del próximo año. Las especificaciones del dispositivo fueron desarrolladas por el departamento de sistemas de la empresa. Este dispositivo incluye especificaciones para un sistema de alarma que cumpla con lo siguiente: advertir al conductor si las luces están apagadas al oscurecer. Asimismo, el sistema enciende una alarma si las luces se dejan encendidas luego de que se estaciona el automóvil y descienden los pasajeros. También debe activar alarmas el bajo nivel de gasolina, la baja presión de las llantas, el líquido de frenos insuficiente, la presión de aceite baja y la temperatura de motor excesiva, al igual que una intoxicación del conductor, no encender los limpiaparabrisas en caso de lluvia y la velocidad excesiva. Por último, el dispositivo también debe funcionar como una moderna alarma contra ladrones. Cada una de estas funciones tiene interruptores de privilegio.

El ingeniero revisó con mucho cuidado todas las especificaciones y recopiló los manuales necesarios para elegir los circuitos adecuados. Utilizó amplificadores, filtros, comparadores y osciladores (para generar los tonos de alarma) y diseñó lo que pensó que era un sistema muy elaborado. Desafortunadamente, se excedió demasiado en el presupuesto para este dispositivo. Y lo que es más serio, instaló un prototipo y descubrió que se presentaban con frecuencia falsas alarmas. El ingeniero extrapoló esto a ruido de ignición que genera señales indeseables, lo cual

dispara los comparadores y activa una falsa alarma. Si aún no hubiese sobrepasado su presupuesto, podría reducir el ruido por medio de blindaje y con la utilización de alambres de ignición resistivos. Pero, por desgracia, ya no tiene más opciones, y solicita ayuda a sus colegas. Uno de ellos sugiere que esta es una situación ideal para utilizar electrónica digital en lugar de analógica, y argumenta que esto no sólo reduce la probabilidad de falsas alarmas, sino que lleva a diseños más compactos, simples y económicos. El ingeniero toma en cuenta esto y el contenido de los siguientes capítulos para revisar lo que aprendió en la universidad.

Este y los siguientes capítulos tratan específicamente de *electrónica digital.* Esta forma parte del campo más amplio de ingeniería digital. Un plan de estudios típico de ingeniería digital incluye procedimientos para reducir funciones digitales a su forma más simple. Esto es, se especifica una función particular y luego, antes de considerar su realización, se reduce a su forma más simple. Sólo después de tal reducción se considera completar los bloques del diagrama con circuitos electrónicos. En este texto, la atención se concentra en los circuitos. En la sección 15.1 se presenta un breve resumen de algunos resultados de la ingeniería digital. Se supone que el lector ya tomó un curso sobre ingeniería digital o aceptará las especificaciones como resultado de operaciones lógicas.

En este capítulo se tratarán CI *digitales.* Los CI considerados antes eran analógicos; esto es, tenían entradas y producían salidas que abarcaban un continuo de amplitudes. El amplificador operacional es un ejemplo de CI analógico. Los circuitos integrados digitales binarios aceptan entradas que consisten en uno de dos niveles lógicos, generalmente denotados como 0 ó 1. Esto es, las señales sólo pueden tomar una amplitud de un conjunto específico de valores, con dos elementos en este conjunto para el caso de circuitos binarios. Como cada componente de un CI digital (binario) produce un 0 ó 1 lógico en la salida dependiendo del valor de la entrada o entradas, los componentes se pueden tomar como compuertas lógicas. Una *compuerta* produce un 1 o un 0 en la salida.

En la primera sección de este capítulo se analizan brevemente las tablas de función para las compuertas lógicas más importantes. Luego se resumen las bases del álgebra de Boole, necesaria para las operaciones de simplificación de circuitos.

Se analizan tres familias de CI: TTL, ECL y CMOS. Estas familias se comparan entre sí a fin de permitir una elección óptima de la familia apropiada para una aplicación dada.

15.1 CONCEPTOS BÁSICOS DE LÓGICA DIGITAL

La lógica ha sido un campo de estudio desde el tiempo de los filósofos griegos. Una buena parte de los conceptos que se utilizan en lógica digital provienen de fuentes antiguas. Asimismo, varias de las funciones básicas fueron utilizadas por filósofos para probar sentencias y resolver problemas.

Dos de estas funciones, conocidas como AND y OR, constituyen las piedras angulares de un sistema lógico. Se pueden considerar análogas a la suma y la

multiplicación en el sistema algebraico básico. Se comienza con ellas y luego se abordan funciones más complejas.

Antes de definir las funciones, es necesario explorar algunas formas de expresar una relación digital. En álgebra, toda función se suele expresar en una de tres formas. Primero, se puede dar una ecuación para la función, en la que se incluyen operaciones básicas como la suma y la multiplicación. De forma alterna, se puede presentar una gráfica de la función en dos dimensiones, con una variable (independiente) en las abscisas y la otra (dependiente) en las ordenadas de la gráfica. Una tercera técnica para especificar la función es dar el valor de ésta para cada valor posible de la variable independiente. En el caso analógico continuo, esto implicaría una tabla con un número infinito de términos.

Dos de estas técnicas de representación funcional conducen por sí solas a la descripción de funciones digitales. Se puede escribir una ecuación luego de definir alguna notación para las operaciones lógicas básicas. De forma alterna, es posible presentar una tabla que especifique el valor de la función para cada entrada posible. En contraste con el caso analógico, esta tabla sólo tendrá un número finito de términos. Se conoce como *tabla de función* o *tabla de verdad*, y se utiliza para definir las diferentes funciones.

Como las señales digitales binarias sólo pueden tomar uno de dos valores posibles, las entradas al sistema sólo pueden ser también uno de esos valores. Aunque se manifiestan como tensiones en el circuito, en general se conocen como 0 ó 1. Las dos tensiones desarrolladas para una familia de circuitos muy utilizada consisten en una cercana a cero y la otra a cinco volts. Aquí se les llamará BAJO (o 0) y ALTO (o 1), respectivamente. Para comunicar información digital se necesitan dos señales. No hay nada mágico acerca del 0 y el 1. Por ejemplo, el número digital 10110, cuando aparece en este texto, también podría representarse como $XYXXY$. Siempre que se utilicen dos señales, se comunica la información. Por tanto, se tienen dos opciones para asignar los números binarios 0 y 1 a las dos tensiones presentes en el circuito. Si se asocia la tensión más alta con el 1 y la más baja con el 0, se está utilizando lo que se conoce como *lógica positiva*. Por el contrario, se puede representar el 0 por la tensión más alta y el 1 por la más baja. Esta última situación se conoce como *lógica negativa*. A lo largo del texto se utiliza lógica positiva a menos que se establezca lo contrario de forma específica.

15.1.1 Lógica independiente del tiempo, o asincrónica

Una *función lógica independiente del tiempo* es aquella que no tiene memoria. Esta forma de lógica responde sólo a las entradas *presentes*, y las entradas previas no tienen ningún efecto sobre la salida presente. En esencia, el circuito olvida cualquier condición lógica anterior. Las tablas de función para dichos circuitos son fáciles de construir, ya que no existen señales de reloj o condiciones previas por considerar. Las funciones lógicas elementales consideradas en este capítulo son todas independientes del tiempo.

La lógica independiente del tiempo también se conoce como *lógica asincrónica*.

15.1.2 Lógica dependiente del tiempo, o sincrónica

Una *función lógica dependiente del tiempo* es la que tiene *memoria*. Esta forma de lógica responde no sólo a las entradas presentes que se le aplican, sino que también depende de las entradas previas o de las condiciones de salida, o de ambas a la vez. Una salida dependiente de la salida anterior representa una forma de retroalimentación en circuitos digitales. Las funciones lógicas dependientes del tiempo suelen tener entradas etiquetadas como *clock*, *strobe*, *enable*, *set* o *reset*. Estos términos se encontrarán en los siguientes capítulos. La salida puede cambiar de estado en el flanco de subida o en el de bajada (lo cual se denomina "disparo con flanco") de una entrada, o puede ser función de nivel lógico alto o bajo de una entrada crítica o combinación de entradas (lo cual se llama "disparo con nivel"). La lógica dependiente del tiempo también se conoce como *lógica sincrónica*.

15.1.3 Funciones lógicas elementales

Los primeros CI digitales producidos eran compuertas simples e inversores que contenían de uno a seis dispositivos por paquete. La variedad de compuertas ha crecido en forma drástica.

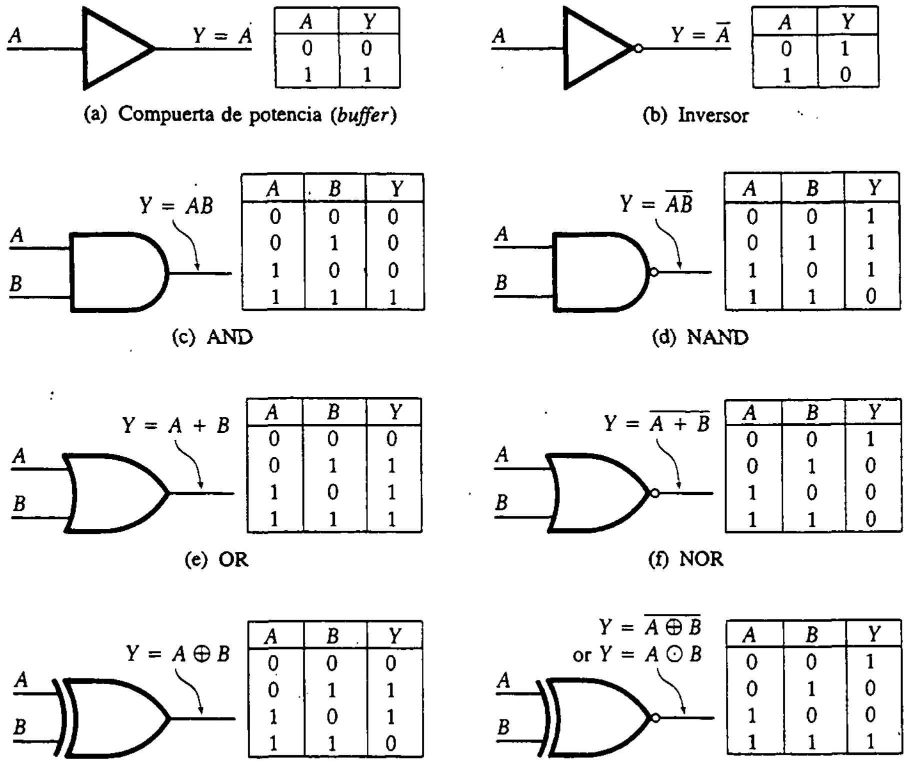
Los diferentes niveles de complejidad y tamaño en los circuitos integrados son como sigue. La *escala de integración pequeña* (SSI, *small-scale integration*) incluye dispositivos simples como compuertas y biestables. Los dispositivos que se incluyen en esta clasificación contienen entre una y diez compuertas equivalentes. La *escala de integración media* (MSI, *medium-scale integration*) consiste en dispositivos más complejos como contadores, registros de desplazamiento, codificadores, descodificadores y memorias pequeñas. Los dispositivos MSI contienen de 10 a 100 compuertas equivalentes. La *escala de integración grande* (LSI, *large-scale integration*) incluye memorias grandes y microprocesadores. Los dispositivos LSI constan de 100 a 1000 compuertas equivalentes. La *escala de integración muy grande* (VLSI, *very large scale integration*) incluye las memorias y los microprocesadores más grandes. Los dispositivos VLSI tienen más de 1000 compuertas equivalentes.

Ahora se definirán en forma breve ocho de las compuertas lógicas básicas y más comunes. Aun con el continuo desarrollo de las funciones lógicas MSI y LSI y de los microprocesadores, estas funciones básicas desempeñan todavía un papel importante en el diseño electrónico digital.

En la figura 15.1 se presentan ocho funciones. Se describe cada una, pero primero se toman dos para un análisis más detallado. Esto se hace para aclarar el concepto de tabla de verdad.

Se empezará con el *inversor*, que es un dispositivo para el cual la salida es el opuesto de la entrada. Si la entrada es 0, la salida es 1, y viceversa. La salida siempre es el *complemento* de la entrada. La tabla de verdad para la función es extremadamente simple, ya que existen sólo dos posibles entradas. Por tanto, se introduce cada valor posible de la entrada (designada como A) y se escribe la salida correspondiente (designada como Y) en seguida de este valor. La tabla de verdad se muestra en la figura 15.1(b).

Figura 15.1
Resumen de compuertas elementales.



		COMPUERTA DE POTENCIA (*BUFFER*)	INVERSOR	AND	NAND
TTL	——	7417	7404	7408	7400
ECL	——	MC10188	MC10189	MC10104	MC10121
CMOS	——	MM74HC125	MM74HC04	MM74HC08	MM74HC00

		OR	NOR	XOR	XNOR
TTL	——	7432	7402	7486	74266
ECL	——	MC10103	MC10102	MC10113	MC10107
CMOS	——	MM74HC32	MM74HC02	MM74HC86	MM74HC266

La ecuación está dada en la forma

$$Y = \overline{A}$$

Se ha introducido la notación de una barra sobre la variable para indicar la operación lógica de inversión. Una notación alterna es utilizar una tilde para la operación de inversión, de modo que en forma de ecuación esto es

$$Y = A'$$

La notación utilizada en el diagrama de bloques para denotar la inversión es un pequeño círculo en la salida del símbolo lógico. La operación de inversión en ocasiones se denomina compuerta *NOT*. Por tanto, la salida del inversor con A en la entrada se conoce como NOT A.

La segunda operación que se analiza es la compuerta OR. Esta tiene más de una entrada; en la figura 15.1(e) se ilustra una compuerta de dos entradas. La compuerta proporciona un 1 lógico a la salida cuando *una o más* de las entradas se encuentra en el estado lógico 1. Esto es, la salida, Y, es 1 si A y/o B son iguales a 1.

Como esta compuerta presenta dos entradas (A y B), la tabla de verdad tiene tres columnas, una para cada entrada y una para la salida (Y). Como existen dos entradas y cada una de ellas puede tomar uno de dos valores, hay cuatro posibles combinaciones de entrada. Estas forman las cuatro filas de la tabla. En general, la tabla de verdad tiene 2^n filas, donde n es el número de entradas.

Aunque es una tarea simple desarrollar una tabla de verdad con sólo cuatro filas, el proceso se vuelve algo complicado si aumenta el número de variables de entrada. Por ejemplo, con 6 entradas, el número de combinaciones posibles es 2^6, ó 64. Al catalogar las 64 posibles combinaciones de entrada, suele ser útil arreglarlas en un orden de conteo binario. Así por ejemplo, para dos entradas, las filas están ordenadas por combinaciones de entrada como sigue: 00, 01, 10, 11. Esto es útil para evitar la omisión de alguna posible combinación en situaciones más complejas.

La notación en fórmulas para la operación OR es el signo más. El símbolo del circuito contiene una línea curva en el borde izquierdo, como se muestra en la figura 15.1(e).

Ahora se describen las seis funciones restantes en la figura.

Una *compuerta de potencia (buffer)*, como la que se muestra en la figura 15.1(a), tiene una sola entrada y una sola salida. La salida siempre se encuentra en el mismo estado lógico que la entrada. El propósito de una compuerta de potencia es proporcionar energía adicional para excitar otras entradas lógicas. La compuerta de potencia se puede construir colocando en cascada dos inversores. Esto es, invertir dos veces hace que se vuelva al valor original.

La compuerta *AND* tiene dos (o más) entradas y una salida. La salida está en un nivel lógico 1 sólo cuando *todas* las entradas se hallan en el estado lógico 1. La compuerta AND se muestra en la figura 15.1(c). Obsérvese que la notación para la operación AND utilizada en la fórmula consiste en escribir las dos variables una cerca de la otra como si se estuviese hablando de la multiplicación algebraica. También se utiliza a veces un punto entre las variables. Por tanto,

$$AB$$

y

$$A \cdot B$$

se leen ambas "*A* y *B*." Nótese también que el símbolo para el circuito tiene una línea recta en el borde de entrada y un semicírculo en el borde de salida, a diferencia

del símbolo para la compuerta OR, la cual utiliza una línea curva en la entrada y dos líneas curvas en la salida.

La compuerta *NAND* proporciona un 0 lógico en la salida sólo cuando *todas* las entradas se hallan en el estado lógico 1. La compuerta NAND se puede ver como una AND seguida de un inversor. Esto se ilustra en la figura 15.1(d). Nótese que la ecuación y el diagrama del circuito se desarrollaron combinando la notación para la AND con aquella para la operación de inversión. Obsérvese que cualquier 0 en la entrada produce un 1 en la salida.

La compuerta *NOR* proporciona una salida lógica 0 cuando *una o más* de las entradas se halla en el estado lógico 1. Esto se muestra en la figura 15.1(f). Nótese que la compuerta NOR se puede ver como una OR seguida de un inversor. Tanto la ecuación como el diagrama del circuito se desarrollan combinando las dos representaciones individuales.

La compuerta *XOR*, u *OR exclusiva*, proporciona una salida lógica 1 cuando *cualquiera, pero sólo una* de sus entradas se encuentra en el estado lógico 1. Esto se muestra en la figura 15.1(g). Obsérvese que la notación en fórmula es un signo más (como se utilizó en la OR) con un círculo alrededor de éste. La notación para el circuito empieza con un símbolo para una compuerta OR, y se añade una segunda línea curva en la entrada.

La última operación lógica es la compuerta *NOR exclusiva*, o *XNOR*. La compuerta XNOR proporciona un 0 lógico en la salida cuando *una, pero sólo una* de sus entradas se halla en el nivel lógico 1. Esta compuerta también se denomina *equivalencia*, ya que la salida es 1 cuando las entradas son iguales. Nótese que la XNOR se puede ver como una OR exclusiva seguida de un inversor. Esto se muestra en la figura 15.1(h), en la que aparecen dos notaciones para fórmulas.

También se incluyen en la figura 15.1 algunos números de CI para cada una de estas compuertas en tres familias diferentes.

15.1.4 Álgebra de Boole

Siempre que se manipulan variables binarias, el resultado son ecuaciones. Se necesitan reglas para trabajar con estas ecuaciones. El álgebra de Boole proporciona el conjunto necesario de reglas. En álgebra de Boole, las dos operaciones algebraicas elementales de suma y multiplicación se reemplazan por las operaciones lógicas elementales OR y AND. Las funciones se definen ya sea a través de una ecuación o proporcionando el valor de la función para cada entrada posible. Este último método da lugar a la tabla de verdad (o de función), como se vio en la sección anterior.

La ecuación de Boole es una forma corta de escribir la tabla de verdad. Las *identidades de Boole* se pueden probar remitiéndose a las tablas de función para las compuertas como se muestran en la figura 15.1.

Los siguientes ejercicios presentan un panorama de varias identidades de Boole importantes.

Ejercicios

Pruébese cada una de las relaciones dadas en los problemas D15.1 a D15.16.

D15.1 $A + (B + C) = (A + B) + C$ (ley asociativa)

D15.2 $A(BC) = (AB)C$ (ley asociativa)

D15.3 $\overline{A + B} = \overline{A}\,\overline{B}$ (teorema de DeMorgan)

D15.4 $\overline{ABC} = \overline{A} + \overline{B} + \overline{C}$ (teorema de DeMorgan)

D15.5 $A + 0 = A$

D15.6 $A + A = A$

D15.7 $A + \overline{A} = 1$

D15.8 $A \cdot 0 = 0$

D15.9 $A \cdot 1 = A$

D15.10 $A \cdot A = A$

D15.11 $A \cdot \overline{A} = 0$

D15.12 $A + AB = A$

D15.13 $AB + A\overline{B} = A$

D15.14 $\overline{(\overline{A})} = A$

D15.15 $\overline{(A + B)}\,\overline{(\overline{A} + \overline{B})} = 0$

D15.16 $B + A\overline{B} = A + B$

El teorema de DeMorgan (véanse los ejercicios D15.3 y D15.4) se puede utilizar en el desarrollo de formas alternas para la realización de las operaciones NOR y NAND. Estas formas alternas en ocasiones son preferibles por razones relacionadas con consideraciones prácticas, como se verá más adelante.

Comenzando con la operación NOR, se puede utilizar el teorema para mostrar que

$$\overline{A + B} = \overline{AB} \qquad (15.1)$$

Para el caso de tres variables,

$$\overline{A + B + C} = \overline{A}\overline{B}\overline{C} \qquad (15.2)$$

De forma alterna, para la operación NAND se tiene

$$\overline{AB} = \overline{A} + \overline{B} \qquad (15.3)$$

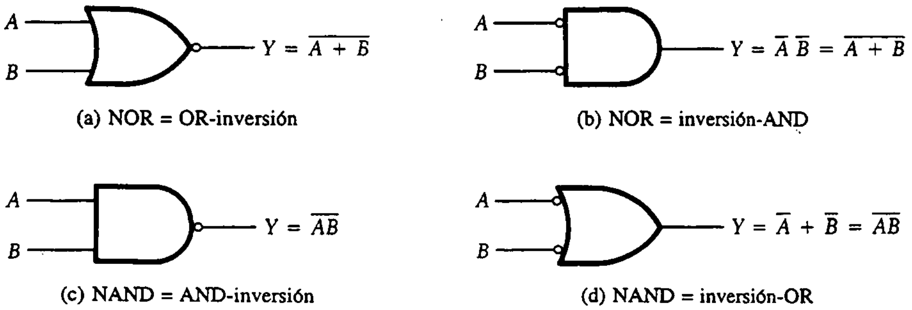


Figura 15.2
Formas alternas para las compuertas NOR y NAND.

En el caso de tres variables,

$$\overline{ABC} = \overline{A} + \overline{B} + \overline{C} \tag{15.4}$$

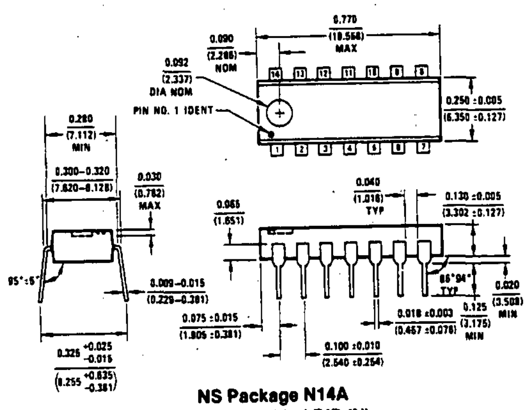
Las formas alternas resultantes para las compuertas básicas se muestran en la figura 15.2.

15.2 CONSTRUCCIÓN Y EMPAQUETADO DE CI

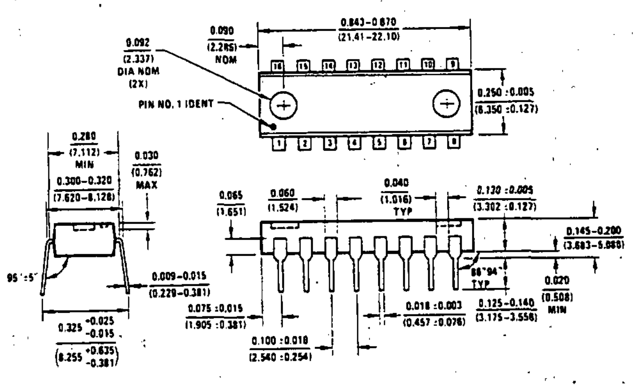
Los CI se fabrican utilizando una secuencia de pasos de procesamiento, los cuales incluyen el crecimiento, corte y grabado de las tabletas de silicio, el enmascaramiento y la contaminación con impurezas de tipos *n* y *p*, y el depósito de los patrones conductores. Esta compleja secuencia de procesamiento produce circuitos funcionales completos que contienen patrones de resistores, capacitores, diodos y transistores.

Se repite varias veces un patrón de circuito funcional para llenar el área utilizable de la tableta de silicio. Después de los pasos de procesamiento, se corta la tableta en pequeños rectángulos, o "chips", que contienen uno o más circuitos funcionales. Cada chip o circuito integrado se prueba y monta en un paquete. Un paquete típico es el *empaque de doble fila* (conocido como DIP, *dual in-line package*) de 14 terminales. En la figura 15.3 se ilustran varios empaques comunes.

El empaque proporciona soporte estructural, un arreglo de terminales para conexiones externas y una cubierta sellada para protegerlo de la humedad y la contaminación. La complejidad de los chips VLSI con un gran número de entradas y salidas ha provocado que descienda el uso del DIP. Las configuraciones de empaques más nuevas proporcionan conexiones externas adicionales y técnicas de fabricación más rápidas (y menos caras). En particular, esto es cierto cuando tales chips se incorporan a grandes módulos de sistemas.

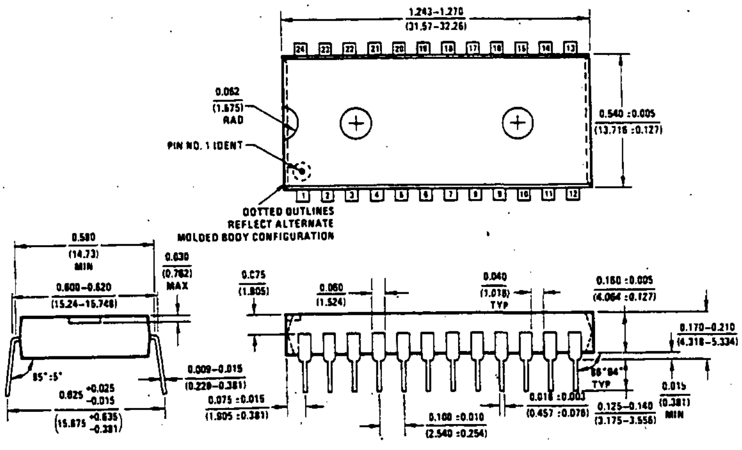


NS Package N14A
14-Lead Molded DIP (N)

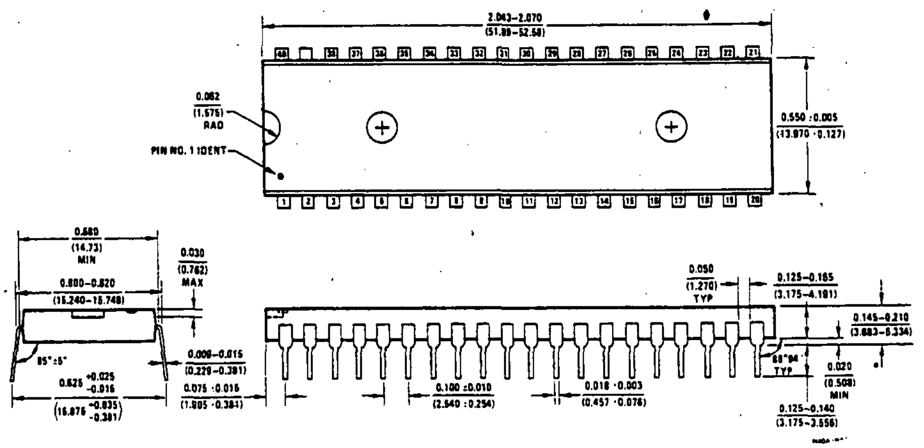


NS Package N16A
16-Lead Molded DIP (N)

Figura 15.3
Configuraciones de empaques de CI. Cortesía de National Semiconductor Corp.



NS Package N24A
24-Lead Molded DIP (N)



NS Package N40A
40-Lead Molded DIP (N)

15.3 CONSIDERACIONES PRÁCTICAS EN EL DISEÑO DIGITAL

Al abordar un problema de diseño electrónico digital práctico se debe tomar en cuenta un gran número de limitaciones y restricciones. Es necesario estar concientes de factores como el número de entradas por dispositivo, el número de dispositivos contenidos en cada paquete de CI, el número de paquetes necesarios para implantar un sistema lógico completo, la inmunidad al ruido, el consumo de energía, la velocidad, el tiempo de retardo y la carga de las salidas lógicas.

Una de las primeras consideraciones es que las compuertas vienen empaquetadas en arreglos con un número fijo en cada paquete. Cada compuerta en el arreglo tiene el mismo número de entradas. Un paquete típico contiene seis inversores o compuertas de potencia (*buffers*), cuatro compuertas de dos entradas, tres de tres entradas, dos de cuatro entradas, o una sola de ocho entradas. Estas cantidades se eligen para adecuar el número de terminales de entrada y salida disponibles en un DIP. Por ejemplo, un DIP estándar tiene 14 terminales. Dos de ellas se deben utilizar para la alimentación y tierra, lo cual deja 12 para las compuertas. Una compuerta de dos entradas y una salida requiere tres terminales, por lo que cuatro de estas compuertas se pueden empaquetar en un solo circuito integrado.

Supóngase, por ejemplo, que un diseño particular requiere siete inversores. Como un paquete típico tiene seis inversores, se necesitarían dos paquetes, y esto dejaría cinco dispositivos sin utilizar. Por otra parte, considérese el hecho de que una compuerta NAND o NOR sobrante se puede utilizar como inversor. Esto se puede ver en la figura 15.1. Por ejemplo, supóngase que la primera entrada a una compuerta NAND se hace igual a 1 (se conecta al valor ALTO de la fuente). Entonces la relación entre la segunda entrada y la salida es la de un inversor. También se podrían juntar las entradas A y B, y de esta forma hacer un inversor.

Como otro ejemplo, si se necesita una compuerta de cinco entradas y sólo se dispone de una de ocho entradas, se pueden colocar las restantes tres entradas al valor apropiado y utilizar las otras cinco para producir la función deseada. De esta forma, es posible ahorrarse la compra de chips adicionales, así como reducir la potencia asociada y los requerimientos de espacio.

Las terminales de entrada sin utilizar nunca se deben dejar desconectadas. Se deben conectar a un nivel lógico bajo o alto adecuado, o pueden conectarse en grupos. La tabla de función se utiliza para determinar el nivel lógico apropiado al cual conectar las entradas sin utilizar. Para las compuertas OR y NOR, las entradas no utilizadas se deben conectar a un 0 lógico, o tensión BAJA. Para las AND y NAND, tales entradas se deben conectar a un 1 lógico, o tensión ALTA.

La *inmunidad al ruido*, el *consumo de energía* y la *velocidad* son consideraciones importantes en el diseño de un circuito lógico. La ubicación o entorno en el cual deben funcionar los circuitos lógicos se tiene que considerar con sumo cuidado. Los lugares en los cuales predomina el ruido eléctrico, como fábricas con motores y herramientas eléctricas grandes o cerca de transmisores de radio, televisión o radar, pueden requerir una familia lógica que tenga *alta inmunidad al ruido*. Esto significa que la familia lógica no sea sensible a tensiones de ruido

que se radian o conducen en el sistema electrónico. Si esto no es práctico, entonces puede ser necesario utilizar blindajes cerrados, filtros de potencia y alambrado lógico blindado.

El consumo de energía en general no es importante para equipos alimentados con 110 V de ca. Por otra parte, los equipos portátiles de baterías requieren una familia lógica que consuma baja potencia. Los requerimientos de operación en alta velocidad también agudizan la elección de familias lógicas. Se deben estudiar con mucho cuidado los manuales de datos de los fabricantes con el fin de hacer la mejor elección del dispositivo o familia lógica para la aplicación específica.

La carga de la salida también se debe verificar con sumo cuidado para asegurar que cada salida lógica no se sobrecargue con un número excesivo de entradas lógicas. Esta consideración también se aplica a cualquier otro tipo de carga que exceda las especificaciones del fabricante para el dispositivo. El número de entradas lógicas que puede excitar un CI se define como *carga máxima*.

Otra característica de desempeño de los circuitos lógicos es el *tiempo de retardo*, también denominado *retardo de propagación*. Se trata del tiempo que transcurre entre la aplicación de una entrada lógica y la aparición de la salida lógica correspondiente. Este retardo en ocasiones puede provocar serios problemas como transitorios indeseables, o *fallas*.

Considérese el ejemplo de la figura 15.4, el cual demuestra cómo un pequeño retardo de una entrada lógica puede provocar una falla. Debajo del diagrama del circuito se encuentra una serie de cinco dibujos que, en conjunto, se denominan *diagrama de tiempo*. Se comienza dibujando una supuesta configuración para las entradas A y B. En este caso, se inicia con A en ALTO, que luego pasa a BAJO y, por último, regresa a ALTO. La segunda entrada, B, inicia en BAJO y pasa de BAJO a ALTO al mismo tiempo que la entrada A cambia de ALTO a BAJO. Luego B regresa a BAJO siguiendo la segunda transición de A.

El circuito realiza la operación OR exclusiva entre B y la inversa de A. Por tanto la salida, Y, debería estar en ALTO si A se encuentra en bajo o B está en alto

Figura 15.4
Generación de una falla indeseable.

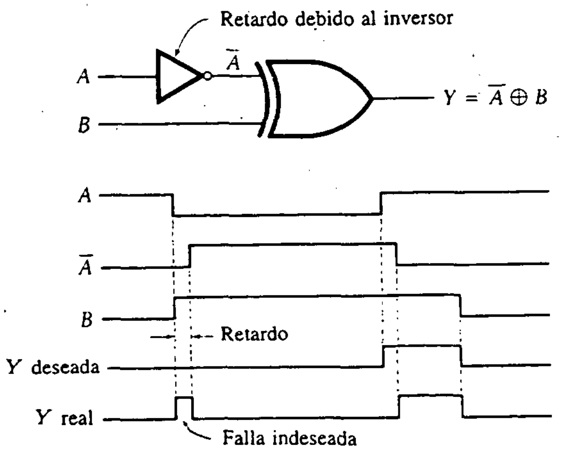
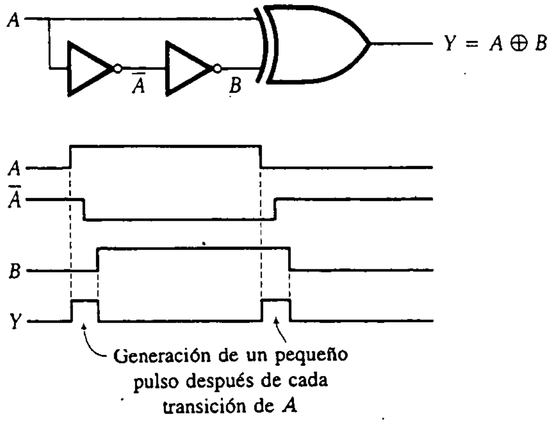


Figura 15.5
Ejemplo de fallas útiles.



pero no ambos. De esta manera, la salida esperada se muestra como "*Y* deseada". Sin embargo, supóngase ahora que el inversor introduce un retardo de manera que la salida real, $\bar{A}$, es como se muestra en la segunda línea. El resultado de la operación OR exclusiva se etiqueta como "Y real". Nótese que se genera un pulso angosto en la primera transición, y este pulso indeseado se conoce como *falla*.

A veces las fallas pueden ser útiles, como se aprecia en el ejemplo de la figura 15.5. Este demuestra cómo se pueden utilizar dos inversores (o cualquier número par) con una OR exclusiva para generar un pequeño pulso siempre que una entrada lógica cambie de un estado lógico a otro (es decir, tanto en la transición de subida como de bajada).

Ejercicios

En los problemas D15.17 a D15.20, constrúyase una compuerta AND de cinco entradas utilizando sólo las compuertas especificadas.

D15.17 Utilícense compuertas AND de dos entradas.

Resp.: Véase la figura D15.1.

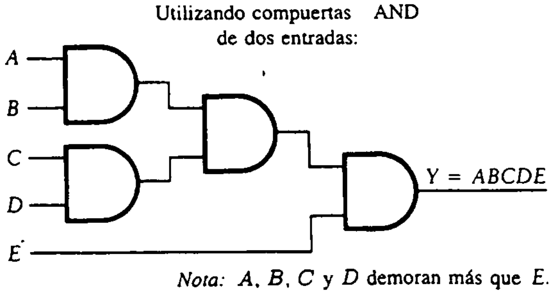
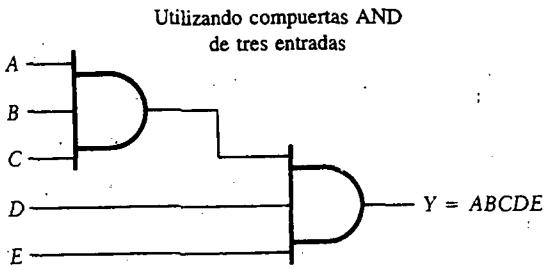


Figura D15.1

D15.18 Utilícense compuertas AND de tres entradas.

Resp.: Véase la figura D15.2.

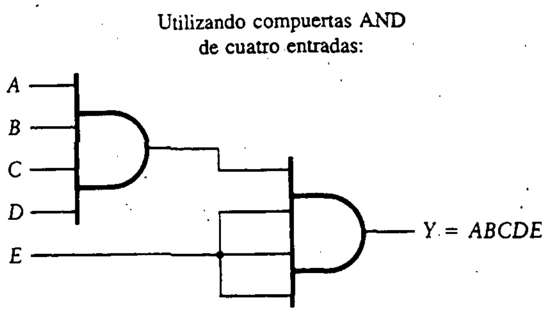


Nota: *A*, *B* y *C* se demoran más que *D* y *E*.

Figura D15.2

D15.19 Utilícense compuertas AND de cuatro entradas.

Resp.: Véase la figura D15.3.

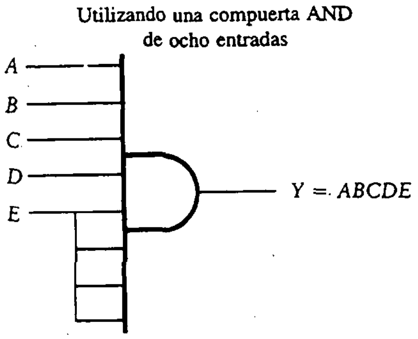


Nota: *A*, *B*, *C* y *D* se demoran más que *E*.

Figura D15.3

D15.20 Utilícense compuertas AND de ocho entradas.

Resp.: Véase la figura D15.4.



Nota: Todas las entradas se demoran la misma cantidad de tiempo.

Figura D15.4

15.4 CARACTERÍSTICAS DE LOS BJT EN CIRCUITOS DIGITALES

La operación de los transistores de unión se consideró en los capítulos 2 y 3. Las técnicas de diseño presentadas en aquellos capítulos se concentraron en asegurar la operación en la región lineal o activa de las curvas características. En el caso de los circuitos digitales, se requiere que el transistor esté ya sea encendido (en condición de saturación) o apagado (en condición de corte). En efecto, se opera en alguno de los dos extremos de las curvas características del transistor, como se muestra en la figura 15.6(a). La tensión de colector a emisor, v_{CE}, es de aproximadamente 0.2 V cuando el transistor se satura. Esto es,

$$V_{CE\ \text{sat}} = 0.2\ \text{V}$$

Cuando el transistor está en corte, se comporta como un circuito abierto entre colector y emisor.

La curva característica i_B-v_{BE} se muestra en la figura 15.6(b). Cuando v_{BE} es menor que aproximadamente 0.6 V, el transistor se halla en corte e

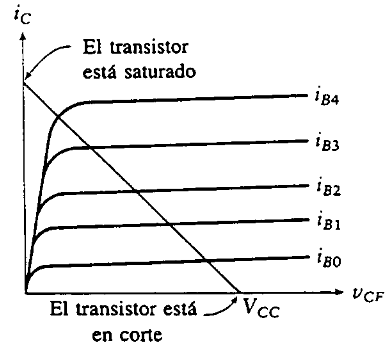
$$i_B = i_C = 0$$

Cuando v_{BE} aumenta, i_B e i_C aumentan de manera muy rápida. La tensión de saturación entre base y emisor, $V_{BE\ \text{sat}}$, es de aproximadamente 0.7 a 0.8 V.

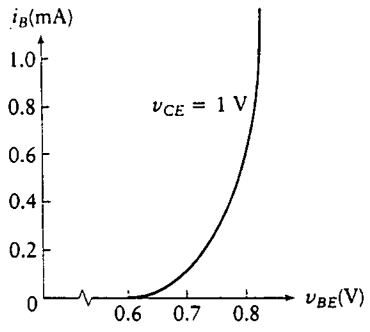
El primer paso en el análisis de la familia de CI con BJT es preparar una tabla de función que muestre el estado de cada transistor (ya sea encendido o apagado) para todas las combinaciones posibles de niveles alto y bajo de cada entrada. En seguida se determina el valor numérico de v_{BE} para cada transistor. Si v_{BE} es menor que 0.6 V, el transistor está en corte, e

$$i_B = i_C = 0$$

Figura 15.6
Característica de un transistor de silicio *npn*.



(a) Características i_C vs v_{CE} típicas



(b) Características i_B vs v_{BE} típicas

Si v_{BE} es mayor que 0.6 V, el transistor podría estar en la región activa o saturado. Con los CI digitales, los transistores en esta condición se encuentran saturados, por lo que el transistor se considera encendido.

15.5 FAMILIAS LÓGICAS CON BJT

Existen seis familias importantes de lógica bipolar: TTL, ECL, RTL, DTL, HTL y HNIL. Las primeras dos son muy importantes y se analizan con detalle en las secciones 15.6 y 15.7. Las otras cuatro son de menor importancia, y se incluyen en esta sección sólo para proporcionar una perspectiva histórica.

La *lógica de resistor-transistor* (RTL, *resistor-transistor logic*) fue la primera familia de CI. Utiliza sólo resistores y transistores y proporciona la lógica alambrada mediante la colocación de colectores de transistores en paralelo.

La *lógica de diodo-transistor* (DTL, *diode-transistor logic*) constituyó una familia lógica popular por muchos años. Proporciona mejoras en inmunidad al ruido y capacidades de carga máxima con relación a la RTL. La lógica alambrada en DTL se realiza por medio de compuertas OR de diodos en la entrada de cada circuito lógico.

Muchos fabricantes desarrollaron familias lógicas digitales que eran funcionalmente similares a DTL, pero reemplazaron algunos de los diodos con diodos Zener de forma tal que los transistores no conducían hasta que las tensiones de entrada alcanzaban un nivel cercano a 6 V. Esto aumentó la inmunidad al ruido, lo que hizo a esta familia lógica adecuada para utilizarse en ambientes industriales como fábricas y refinerías, donde los equipos eléctricos pesados producen chispas, transitorios y otras variaciones en la línea de alimentación.

Estas familias lógicas se conocen como *lógica de umbral alto* (HTL, *high-threshold logic*) y *lógica de alta inmunidad al ruido* (HNIL, *high-noise immunity logic*). Se hallan disponibles sólo en algunas funciones SSI y MSI.

15.6 LÓGICA DE TRANSISTOR-TRANSISTOR (TTL)

La *lógica de transistor-transistor* (TTL, *transistor-transistor logic*) empezó como una familia lógica única. Conforme fue creciendo, diversas necesidades de alta velocidad, baja potencia o salidas más altas condujeron al desarrollo de varios subgrupos, como se analiza brevemente.

La familia lógica original aún se utiliza, aunque varias de las funciones lógicas nuevas se fabrican en los subgrupos más recientes de la familia. TTL utiliza BJT y proporciona velocidad y consumo de potencia moderados.

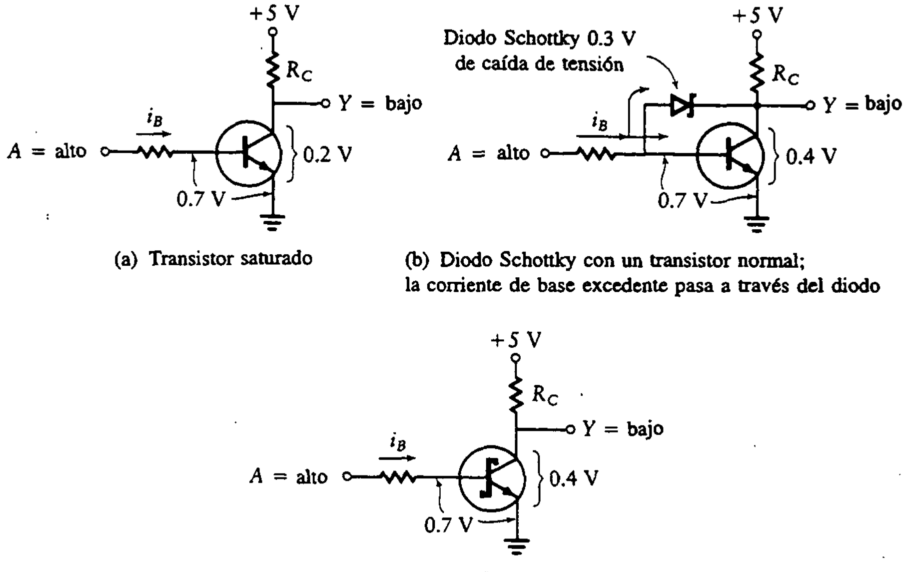
La *TTL de alta potencia* (H-TTL) se desarrolló para excitar circuitos y otras aplicaciones que requieren una carga máxima alta (el número de circuitos que puede excitar la salida) y alta velocidad. La familia H-TTL consume más potencia que otros subgrupos de TTL. No es muy usada y sólo está disponible en unas cuantas funciones lógicas. Utiliza y alcanza mayores velocidades por medio de resistores de valores menores que los utilizados en TTL.

La *TTL de baja potencia* (LP-TTL) fue desarrollada para aplicaciones que requieren bajo consumo de energía y en las cuales se pueden tolerar reducciones en la velocidad de operación. Utiliza transistores en saturación y alcanza bajos consumos de energía mediante el uso de valores de resistores más altos que los utilizados en TTL. En esencia, ha sido reemplazada por LS-TTL.

La *TTL Schottky* (S-TTL) se desarrolló para aplicaciones de alta velocidad. Alcanza mayor velocidad de operación con menor disipación de potencia que H-TTL recurriendo a un tipo de transistor que no se satura, llamado *transistor Schottky*, el cual contiene un diodo adicional para operación en directo conectado entre la base y el colector. En la figura 15.7 se muestra una comparación entre los transistores Schottky y los BJT estándar. La tensión base a emisor suele ser de 0.7 V, mientras que la caída en el diodo en directo es de alrededor de 0.3 V. Por tanto, cuando la tensión del colector cae a 0.4 V, la corriente de base excedente se lleva al colector a través del diodo, y se evita la saturación del transistor. Como el transistor no está saturado, no sufre el retardo necesario para quitar el exceso de carga en la base y apagar el transistor.

La *TTL Schottky de baja potencia* (LS-TTL) es un subgrupo que proporciona la velocidad de la familia TTL original pero con una considerable reducción en

Figura 15.7
Transistor Schottky.



(a) Transistor saturado

(b) Diodo Schottky con un transistor normal; la corriente de base excedente pasa a través del diodo

(c) Transistor Schottky

el consumo de energía. Se puede describir como una TTL de baja potencia que utiliza transistores Schottky en vez de transistores en saturación. Ha sido uno de los subgrupos más populares por bastantes años, y varias funciones lógicas se hallan disponibles en LS-TTL.

La *TTL Schottky avanzada* (AS-TTL) constituye un subgrupo de TTL que proporciona velocidad un poco más alta y menor consumo de energía que S-TTL.

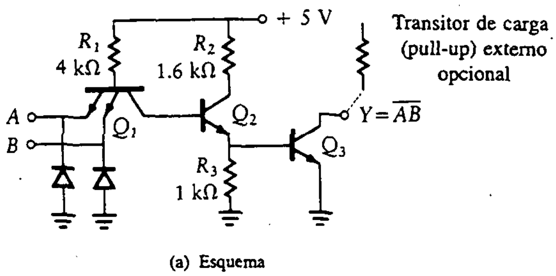
La *TTL Schottky avanzada de baja potencia* (ALS-TTL) proporciona una excelente combinación de velocidad y consumo de potencia. Utiliza transistores Schottky pero incorpora mejoras en el material y menores dimensiones para los elementos de los circuitos con capacitancias reducidas.

15.6.1 Colector abierto

Ya se está en posibilidades de examinar los circuitos internos de un circuito integrado TTL. En la figura 15.8 se muestran el diagrama esquemático y la tabla de función para una compuerta TTL NAND de dos entradas de colector abierto. La operación de esta compuerta TTL básica depende del transistor de doble emisor, Q_1. Las entradas A y B se conectan a los emisores. Los diodos entre los emisores y tierra previenen a Q_1 de un posible daño si la señal en A o B fuera negativa. Una señal compatible con TTL debe ser de 0.2 V para un nivel BAJO y de 2.4 a 5 V para el nivel ALTO. Como en este texto se está utilizando lógica positiva, 0.2 V a 0.7 V corresponde a un 0 binario. Cuando la salida se encuentra en 0 lógico, la compuerta TTL es capaz de absorber 16 mA de corriente. Una tensión entre 2.4 y 5 V (3.3 V es común) corresponde a un 1 binario.

La salida de esta compuerta de colector abierto se toma del colector de Q_3. Se inserta un resistor de carga *(pull-up)* externo de la salida del CI a una tensión de nivel V, con frecuencia de 5 V. Este resistor de carga provoca que la salida del CI se "amarre" a V cuando Q_3 está apagado. Como el bloque lógico es una compuerta NAND, la salida debe ser uno cuando cualquiera de las entradas sea 0. Nótese que cuando cualquiera de los emisores de Q_1 está bajo, Q_1 conduce. La tensión de la base de Q_1 es 0.2 V más la $V_{BE}(Q_1)$ de 0.7 V, lo que da un total de 0.9 V. Con Q_1 en conducción, la corriente fluye hacia afuera de la base de Q_2, provocando que Q_2 se ponga en corte. Con Q_2 en corte, la tensión de la base en Q_3 es inferior a 0.6 V, por lo que Q_3 también está en corte. Como Q_3 está en corte, la salida pasa a un nivel lógico ALTO, o 1. Esto se resume en las

Figura 15.8
Compuerta TTL NAND de dos entradas (colector abierto).



(a) Esquema

A	B	Q_1	Q_2	Q_3	Y
0	0	ON	OFF	OFF	1
0	1	ON	OFF	OFF	1
1	0	ON	OFF	OFF	1
1	1	OFF	ON	ON	0

(b) Tabla de función

primeras tres filas de la tabla en la figura 15.8(b). Si ambas entradas se hallan en ALTO (nivel lógico 1), Q_1 está en corte, lo cual hace que Q_2 se sature. Con Q_2 en conducción, la tensión en la base de Q_3 es mayor que 0.7 V, y por tanto Q_3 se encuentra en conducción. Esto, a su vez, hace que la salida caiga a 0.2 V, el valor de saturación de V_{CE}. Este análisis se resume en la última fila de la tabla de la figura 15.8(b).

Se examinarán ahora algunas de las aplicaciones más importantes para la compuerta de colector abierto. La compuerta se puede utilizar como un medio para acoplar la familia lógica TTL a otra familia lógica. Por ejemplo, en un sistema que incluye tanto CI TTL como CMOS (que se analizan en la Sec. 15.8), los niveles de tensión ALTO y BAJO pueden ser diferentes. En particular, el nivel alto para TTL es 5 V, mientras que puede ser 10 V para CMOS. Si el resistor de carga de la figura 15.8 se conecta a 10 V, entonces la compuerta de colector abierto funciona como interfaz entre la porción TTL del sistema y la porción CMOS.

Una segunda aplicación de la compuerta de colector abierto se presenta cuando varias compuertas se conectan a una *línea común (bus)*. En la operación de esta línea común, cada compuerta puede controlar el nivel lógico de la línea sólo cuando la coloca en bajo pero no en alto. Con el colector abierto, toda compuerta que tenga a Q_3 en corte no ejerce control sobre la línea. Sólo cuando el transistor de salida se halle en conducción, la compuerta llevará a la línea común al nivel lógico 0.

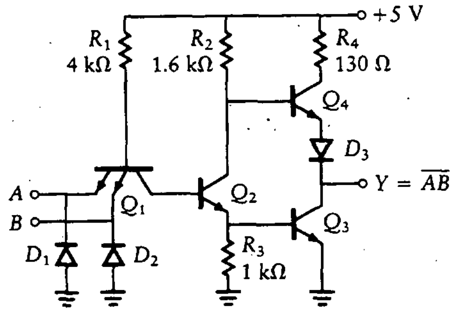
Otra aplicación para el colector abierto se presenta cuando una lámpara o relevador se excita por la salida de una compuerta. La lámpara o relevador se coloca entre la terminal de salida del CI de colector abierto y la fuente de alimentación a través de un resistor de limitación apropiado. Cuando Q_3 se satura, existe un trayecto hacia tierra y la lámpara o relevador se enciende. Pero si Q_3 está en corte, no existe ese trayecto a tierra y el dispositivo se encontrará apagado.

15.6.2 Carga activa

En la figura 15.9(a) se muestra una compuerta TTL NAND de dos entradas con carga activa en la salida. Esta configuración de circuito se conoce como salida *en tótem*. El circuito es igual que el de la figura 15.8(a) excepto por la inclusión de D_3, Q_4 y R_4. Se genera la misma tabla de función que con la compuerta NAND de colector abierto con resistor de carga. Este tipo de compuerta se utiliza cuando se requiere un aumento en la velocidad de operación. El *retardo de propagación* (el tiempo necesario para que la compuerta pase de saturación a corte) para una compuerta de colector abierto es de alrededor de 35 ns. El retardo de propagación para la compuerta con carga activa es de cerca de 8 ns, por lo que hay una clara ventaja en el aumento de la velocidad de esta salida en tótem comparada con la salida de la compuerta de colector abierto.

La tensión en la base de Q_4 con Q_2 y Q_3 en conducción está dada por

$$\begin{aligned} V_B(Q_4) &= V_{CE}(Q_2) + V_{BE}(Q_3) \\ &= 0.2 + 0.7 = 0.9 \text{ V} \end{aligned}$$



(a) Esquema

A	B	Q_1	Q_2	Q_3	Q_4	Y
0	0	ON	OFF	OFF	ON	1
0	1	ON	OFF	OFF	ON	1
1	0	ON	OFF	OFF	ON	1
1	1	OFF	ON	ON	OFF	0

(b) Tabla de función

Figura 15.9
Compuerta TTL NAND de dos entradas (carga activa).

La tensión necesaria para encender Q_4 debe ser mayor que 1.4 V. Esto es,

$$V_{BE}(Q_4) + V(D_3) + V_{CE}(Q_3) = 0.6 + 0.6 + 0.2 = 1.4 \text{ V}$$

Como la tensión de la base de Q_4 es sólo 0.9 V, Q_4 está apagado. Cuando la salida pasa al nivel lógico 1, Q_2 y Q_3 están apagados y Q_4 se satura. Como la capacitancia de carga ahora se carga a través de un resistor más pequeño (130 Ω más las resistencias de Q_4 y D_3, o cerca de 150 Ω, el tiempo para pasar de 0 a 1 es más rápido que para la compuerta de colector abierto, en la cual se debe cargar por medio de un resistor de carga más grande.

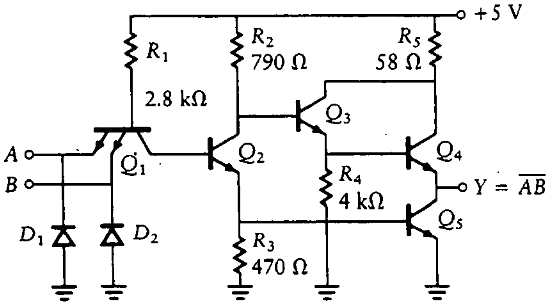
La compuerta con salida en tótem no se puede utilizar para las aplicaciones citadas en la sección anterior. Por ejemplo, supóngase que se intenta conectar dos salidas en tótem a una línea común. Si la salida de una compuerta está en ALTO y la otra en BAJO, se presenta una cantidad excesiva de corriente, y esto puede dañar los CI.

15.6.3 Compuertas H-TTL y LP-TTL

Las compuertas NAND de dos entradas para los circuitos H-TTL y LP-TTL se muestran en las figuras 15.10(a) y 15.11(a), respectivamente, mientras que las tablas de función se incluyen en las figuras 15.10(b) y 15.11(b).

Se examinará en primer lugar la tabla para la H-TTL en la figura 15.10(b). Las diferencias entre esta tabla y la de la compuerta TTL NAND de la figura 15.9 se presentan debido al transistor adicional en la compuerta H-TTL. Las tablas son idénticas hasta la columna para Q_2. Comenzando en la siguiente columna, el estado de Q_3 para la compuerta H-TTL es el opuesto del de Q_2. En la compuerta H-TTL, los transistores Q_4 y Q_5 se alimentan por el colector y el emisor de Q_3. En la compuerta TTL NAND de la figura 15.9, los transistores Q_4 y Q_3 se alimentan por el colector y el emisor de Q_2. Nótese que los resistores son más pequeños y la capacidad de carga máxima es mayor.

La tabla para la compuerta LP-TTL (Fig. 15.11(b)) es idéntica a la de la compuerta H-TTL (Fig. 15.10(b)); sin embargo, los valores de las resistencias son

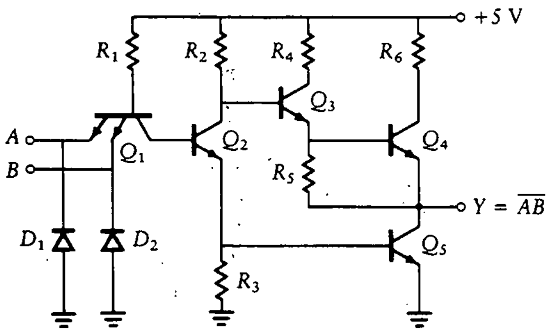


(a) Esquema

A	B	Q_1	Q_2	Q_3	Q_4	Q_5	Y
0	0	ON	OFF	ON	ON	OFF	1
0	1	ON	OFF	ON	ON	OFF	1
1	0	ON	OFF	ON	ON	OFF	1
1	1	OFF	ON	OFF	OFF	ON	0

(b) Tabla de función

Figura 15.10 Compuerta H-TTL NAND de dos entradas.



(a) Esquema

A	B	Q_1	Q_2	Q_3	Q_4	Q_5	Y
0	0	ON	OFF	ON	ON	OFF	1
0	1	ON	OFF	ON	ON	OFF	1
1	0	ON	OFF	ON	ON	OFF	1
1	1	OFF	ON	OFF	OFF	ON	0

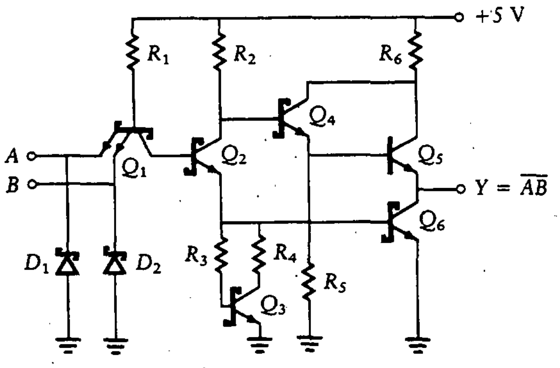
(b) Tabla de función

Figura 15.11 Compuerta LP-TTL NAND de dos entradas.

mayores. Esto reduce la potencia pero también disminuye la velocidad del CI, ya que las constantes de tiempo *RC* aumentan.

15.6.4 Compuertas TTL Schottky

El subgrupo Schottky de la familia TTL está diseñado para reducir el retardo de propagación de las compuertas TTL estándar. El tiempo necesario para que un transistor conmùte de conducción a apagado se puede reducir bastante si el transistor no entra en saturación. Véase la figura 15.7(b), donde, colocando un diodo Schottky entre la base y el colector, se pasa la corriente de base excedente a través del diodo y así se evita que el transistor entre en saturación. La diferencia entre un diodo Schottky y uno convencional es que el diodo Schottky está formado por la unión de un *metal* y un semiconductor en vez de la unión de dos materiales



(a) Esquema

A	B	Q_1	Q_2	Q_4	Q_5	Q_6	Y
0	0	ON	OFF	ON	ON	OFF	1
0	1	ON	OFF	ON	ON	OFF	1
1	0	ON	OFF	ON	ON	OFF	1
1	1	OFF	ON	OFF	OFF	ON	0

(b) Tabla de función (Q_3 se utiliza para el control de la base de Q_4 y no está encendido o apagado en un sentido lógico)

Figura 15.12 Compuerta S-TTL NAND de dos entradas.

semiconductores de tipos *p* y *n*. La tensión a través de un diodo Schottky en conducción es 0.3 V en lugar de 0.7 V para un diodo estándar. El diodo Schottky y el transistor se combinan para formar un transistor Schottky como en la figura 15.7(c).

El circuito esquemático y el diagrama de la función para la compuerta NAND de dos entradas se muestran en la figura 15.12. Los transistores en la compuerta son del tipo Schottky excepto Q_5, que es del tipo estándar, ya que no se satura. En este circuito, Q_5 y Q_4 forman un *par Darlington*, que proporciona elevada ganancia de corriente con baja resistencia (véase el Cap. 6 para un análisis de las configuraciones de transistores en pares Darlington).

La tabla de función para la compuerta S-TTL (Fig. 15.12(b)) es similar a la de la compuerta LP-TTL, excepto por un sexto transistor adicional. El estado de este sexto transistor, Q_3, no se anota en la tabla ya que sólo aumenta la velocidad del CI y no tiene un efecto directo sobre el estado de los demás transistores. Los cinco transistores restantes siguen la misma tabla que la LP-TTL. El estudiante puede llevar a cabo la verificación de los datos en estas tablas, con un procedimiento paralelo al de las secciones anteriores.

Un análisis completo de este circuito muestra que el retardo de propagación es aproximadamente 30% menor que el de un circuito TTL estándar.

15.6.5 Compuertas de tres estados

La familia de compuertas de *tres estados* combina la ventaja de la alta velocidad de la salida en tótem con las ventajas de una salida con colector abierto. La compuerta de tres estados tiene una salida en tótem. Sin embargo, cuenta con otra terminal,

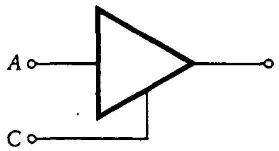


Figura 15.13
Manejador de línea de tres estados.

la cual permite que la compuerta opere en forma normal si la tercera terminal se encuentra en ALTO. La compuerta presenta alta impedancia cuando la tercera terminal está en BAJO. El manejador de línea de tres estados, que se muestra de manera esquemática en la figura 15.13, produce una salida $Y = A$ cuando C está en ALTO. Se presenta alta impedancia cuando C se halla en BAJO. Esto permite la conexión de varias de estas compuertas a una línea común, como en la compuerta de colector abierto.

Ejercicios

Determínense el estado de cada transistor y la salida en los circuitos de los ejercicios D15.21 a D15.24.

D15.21

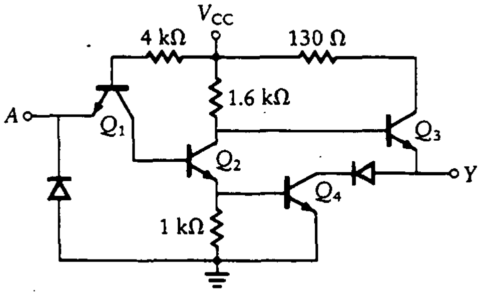


Figura D15.5

Resp.:

A	Q_1	Q_2	Q_3	Q_4	Y
0	N	F	N	F	1
1	F	N	F	N	0

N = ON
F = OFF

D15.22

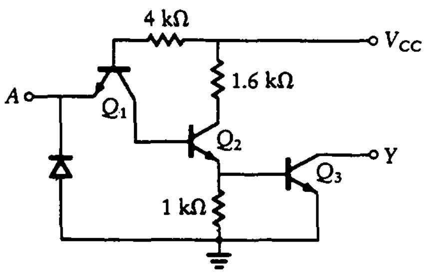


Figura D15.6

Resp.:

A	Q_1	Q_2	Q_3	Y
0	N	F	F	U
1	F	N	N	0

U = indeterminada
N = ON
F = OFF

D15.23

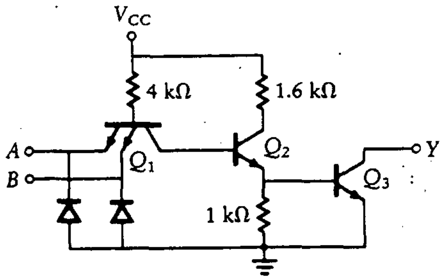


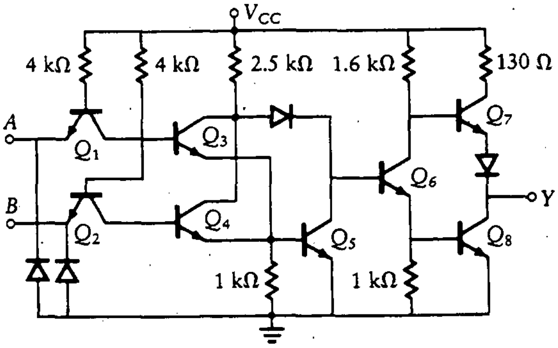
Figura D15.7

Resp.:

A	B	Q_1	Q_2	Q_3	Y
0	0	N	F	F	U
0	1	N	F	F	U
1	0	N	F	F	U
1	1	F	N	N	0

U = indeterminado
N = ON
F = OFF

D15.24



Resp.:

A	B	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Y
0	0	N	N	F	F	F	N	F	N	0
0	1	N	F	F	N	N	F	N	F	1
1	0	F	N	N	F	N	F	N	F	1
1	1	F	F	N	N	N	F	N	F	1

Figura D15.8

15.6.6 Lista de dispositivos

En la tabla 15.1 se incluye una lista parcial de los dispositivos de la familia TTL. En este punto, se sugiere al estudiante que obtenga uno o más de los *manuales de datos* que suministran los diferentes fabricantes de CI. Estos manuales se pueden encontrar en las referencias al final del texto. Es casi imposible completar de manera satisfactoria los diseños de electrónica digital sin tener acceso a estos manuales de datos.

Tabla 15.1 Lista parcial de dispositivos TTL.

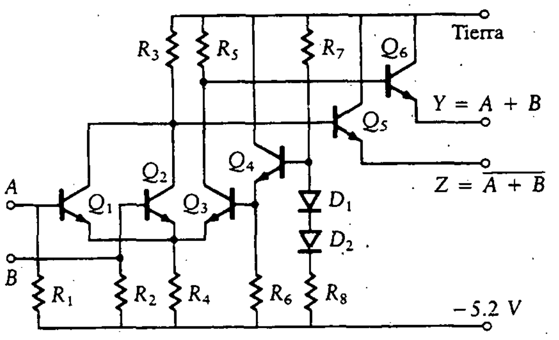
Número	Descripción
7400	NAND entrada-2 cuádruple
7401	NAND entrada-2 cuádruple, colector abierto
7402	NOR entrada-2 cuádruple
7403	NOR entrada-2 cuádruple, colector abierto
7404	Inversor hexadecimal
7405	Inversor hexadecimal, colector abierto
7406	INversor hexadecimal, colector abierto a 30 volts
7407	Buffer hexadecimal/controlador, colector abierto a 30 volts
7408	AND entrada-2 cuádruple
7409	AND entrada-2 cuádruple, colector abierto
7410	NAND entrada-3 triple
7411	AND entrada-3 triple
7414	Inversores disparadores Schmitt hexadecimales
7420	NAND entrada-4 dual
7421	AND entrada-4 dual
7427	OR entrada-3 triple
7430	NAND entrada-8
7432	OR entrada-2 cuádruple
7486	XOR entrada-2 cuádruple

TTL Data Book, Vol. 2, Texas Instruments, Inc., Dallas, Texas.

15.7 LÓGICA DE EMISOR ACOPLADO

La *lógica de emisor acoplado* (ECL, *emitter-coupled logic*), se utiliza en dispositivos especializados como procesadores de señales de radar y computadores de alta velocidad. Esta familia emplea un circuito amplificador diferencial, el cual realiza la función de *guiar la corriente*. Esto hace que la corriente fluya en un solo par de transistores a la vez. Las tensiones y corrientes en el transistor se controlan para prevenir la saturación de éste sin la necesidad de recurrir a transistores Schottky especiales. ECL utiliza una fuente de tensión negativa y consume una gran cantidad de energía. Los niveles de tensión en la salida son -0.8 V para el 1 lógico y -1.8 V para el 0 lógico. Los dispositivos son más sensibles al ruido que las demás familias lógicas. Los pequeños tiempos de subida y caída de la señal de salida requieren con frecuencia la utilización de técnicas especiales de alambrado para prevenir sobredisparos, resonancias u ondas reflejadas desde el extremo opuesto del cable.

En la figura 15.14 se muestra un ejemplo de compuerta ECL que proporciona tanto la función OR como la NOR. Un extremo del par diferencial se conecta a una tensión de referencia interna, mientras que el otro está compuesto de dos o más transistores conectados en paralelo. Si la tensión de la base de uno o más de



(a) Esquema

A	B	Q_1	Q_2	Q_3	Y	Z
0	0	OFF	OFF	ON	0	1
0	1	OFF	ON	OFF	1	0
1	0	ON	OFF	OFF	1	0
1	1	ON	ON	OFF	1	0

(b) Tabla de función

Figura 15.14 Compuerta ECL OR/NOR de dos entradas.

estos transistores se lleva a un nivel mayor que la tensión de referencia interna, la corriente se guía a través del transistor con la mayor tensión de entrada. Las tensiones de colector del par diferencial cambian por sólo 0.8 V. Estas tensiones se elevan de nivel por medio de un transistor emisor seguidor de tal forma que las tensiones lógicas de salida ALTA y BAJA sean adecuadas para excitar otras entradas ECL. Como los transistores no se saturan, los tiempos de propagación que se alcanzan son del orden de 1 a 2 ns.

15.7.1 Lista de dispositivos

En la tabla 15.2 se presenta una lista parcial de dispositivos para la familia ECL. Nuevamente, se sugiere consultar un manual de datos para detalles adicionales.

15.8 CARACTERÍSTICAS DE LOS FET EN CIRCUITOS DIGITALES

Las características de los MOSFET de enriquecimiento de canal *n* y canal *p* para operación lineal se expusieron en la sección 4.4.2. En la presente sección, se consideran las características de los MOSFET de enriquecimiento de canal *n* y canal *p* en aplicaciones digitales.

15.8.1 MOSFET de enriquecimiento de canal *n*

Véase la figura 4.11, donde se presenta un esquema de la estructura física, el símbolo y las características para un MOSFET de enriquecimiento de canal *n*.

Tabla 15.2 Lista parcial de dispositivos ECL.

Número de tipo	Descripción
10100/10500	NOR entrada-2 cuádruple con strobe
10101/10501	OR/NOR cuádruple
10102/10502	NOR entrada-2 cuádruple
10103/10503	OR entrada-2 cuádruple
10104/10504	AND entrada-2 cuádruple
10105/10505	OR/NOR entrada-2-3-2 triple
10106/10506	NOR entrada-4-3-3 triple
10107/10507	OR exclusivo/NOR exclusivo entrada-2 triple
10109/10509	OR/NOR dual entrada-4-5
10110	OR dual entrada-3 salida-3
10111	NOR dual entrada-3 salida-3
10113/10513	OR exclusivo cuádruple
10117/10517	OR-AND/OR-AND-inversor dual ancho-2 entrada-3
10119/10519	OR-AND ancho-4 entrada-4-3-3
10121/10521	OR-AND/OR-AND-inversor ancho-4
10123	Controlador de canal triple 4-3-3-i

MECL Data Book, Motorola Semiconductor Products, Inc., Mesa Arizona.

Nótese que este transistor no tiene canal entre la fuente y el drenaje. Sin embargo, conforme la tensión compuerta a fuente, v_{GS}, se vuelve más positiva, se forma un canal n que se extiende de la fuente al drenaje. Esta región proporciona una resistencia muy baja entre la fuente y el drenaje. Con el fin de encender el transistor, se aplica una v_{GS} mayor que la tensión de umbral, V_T, como se muestra en la figura 4.11(c). Esta tensión, V_T, puede variar desde 1 V hasta tensiones superiores a 1 V, dependiendo del dispositivo. Para apagar el transistor, simplemente se hace $v_{GS} = 0$ V, de manera que no se forme el canal. Con la compuerta llevada a tierra, la resistencia entre el drenaje y tierra es muy grande, y el transistor está apagado. El MOSFET de enriquecimiento se apaga en forma normal porque no existe canal entre fuente y drenaje. La tensión compuerta a fuente, v_{GS}, debe ser mayor que V_T para formar el canal y, por tanto, encender el transistor.

Es importante anotar que la compuerta de entrada es un circuito abierto que se parece a un pequeño capacitor. No se necesita corriente de entrada alguna, excepto para el pequeño periodo de carga o descarga de este capacitor de entrada pequeña en la compuerta. Cuando $v_{GS} = 0$, la resistencia entre fuente y drenaje es alta y se parece a un circuito abierto. Cuando v_{GS} es mayor que V_T, el transistor se enciende y el canal entre fuente y drenaje se vuelve equivalente a un resistor de bajo valor. La única caída de tensión es una pequeña que ocurre entre fuente y drenaje a través de esta resistencia.

15.8.2 El MOSFET de enriquecimiento de canal *p*

El MOSFET de enriquecimiento de canal *p* se muestra en la figura 4.12, donde se presenta el esquema de su estructura física, su símbolo y sus características. Este dispositivo es la imagen especular del MOSFET de enriquecimiento de canal *n*. Con una tensión negativa v_{GS} aplicada a la compuerta (es decir, cuando $v_{GS} < V_T$), se forma un canal y el transistor se enciende. Cuando v_{GS} es cero, el transistor es un corto circuito.

15.9 FAMILIAS CON TRANSISTORES FET

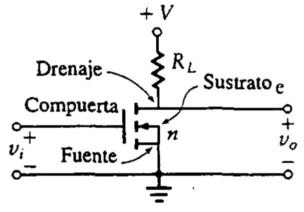
En esta sección se consideran los circuitos integrados MOS de canal *n* y canal *p*.

15.9.1 MOS de canal *n*

Los CI *MOS de canal n* (NMOS) se construyen con transistores MOS de canal *n*. El desarrollo de la lógica NMOS estuvo atrasado muchos años con respecto a la PMOS, pero, una vez alcanzado el volumen de producción adecuado, las características superiores de desempeño de NMOS condujeron a una rápida expansión de las aplicaciones de la lógica MOS. Una de estas características superiores de NMOS es la mayor movilidad de los portadores, lo cual posibilita que cada transistor sea más pequeño. Las mejoras en el procesamiento del material y la reducción de las dimensiones físicas permiten a los modernos circuitos NMOS operar con menores tensiones de alimentación y mayores velocidades. Otra mejora es la utilización de un MOSFET como fuente de corriente constante para el transistor de conmutación, reemplazando al resistor de carga. Esto proporciona un tiempo de subida lineal en vez de exponencial (que resulta de una constante de tiempo RC) y reduce la potencia disipada cuando el transistor de conmutación se halla en estado BAJO (conduciendo). Esta familia de circuitos es muy utilizada en memorias y microprocesadores. En la figura 15.15 se muestran un ejemplo de inversor NMOS y su tabla de función.

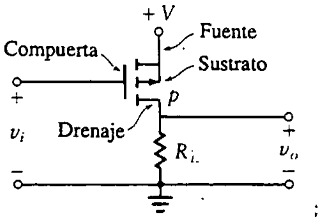
Se analiza el FET de canal *n* notando que si las tensiones de la compuerta y el sustrato son iguales, el transistor está apagado. Cuando la tensión de la compuerta es mayor que la del sustrato, el transistor conduce. Con Q_n en conducción, la tensión de salida es cero, y con Q_n apagado, la salida se eleva a $+V$ volts.

Figura 15.15
Inversor NMOS.



v_i	Q_n	v_o
0	OFF	$+V$
$+V$	ON	0

Figura 15.16
Inversor PMOS.



v_i	Q_p	v_o
0	ON	+V
+V	OFF	0

15.9.2 MOS de canal *p*

Los CI *MOS de canal p* (PMOS) se construyen con transistores MOS de canal *p* y fueron los primeros tipos de circuitos de memoria que se desarrollaron. Su velocidad y desempeño son pobres, y se requieren tensiones de alimentación elevadas (12 V por lo general). Esta familia de circuitos ha sido prácticamente desplazada por las familias lógicas NMOS y CMOS.

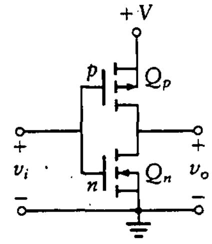
En la figura 15.16 se muestran un ejemplo de inversor PMOS y su tabla de función. Este circuito se analiza notando que si la tensión en la compuerta (la tensión de entrada) es igual que la del sustrato, entonces el transistor está apagado. Si la tensión en la compuerta es menor que la del sustrato, el transistor conduce. Con Q_p en conducción, la tensión de salida se eleva a $+V$ volts, y con Q_p apagado, la tensión de salida es cero.

15.10 MOS COMPLEMENTARIO

Los CI *MOS complementarios* (CMOS) se construyen con pares complementarios, o conjuntos, de transistores MOS de canal *p* y canal *n*. Esta familia tiene algunas ventajas muy importantes, que incluyen bajo costo, necesidades de energía extremadamente bajas y no críticas, buen desempeño en presencia de ruido, impedancia de entrada infinita, carga máxima elevada y disponibilidad de nuevos dispositivos que no existen en otras familias (como los conmutadores analógicos, que se consideran más adelante).

El inversor CMOS se realiza con un FET de canal *n* y otro de canal *p*, como se muestra en la figura 15.17. La tabla de función se construye con base en las figuras 15.15 y 15.16. Cuando v_i es cero, Q_p conduce y Q_n se apaga, de modo que v_o es $+V$ volts. Cuando v_i es $+V$ volts, Q_p está apagado y Q_n conduce, por lo que v_o es cero. En la tabla de función de la figura 15.17 se resumen estos resultados.

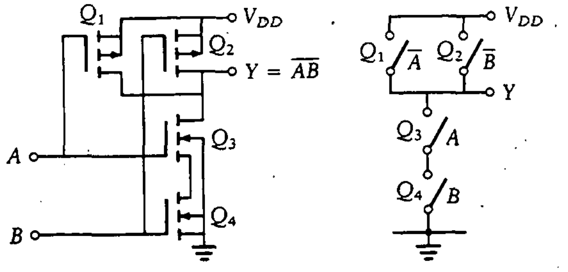
En la figura 15.18 se muestra una compuerta CMOS NAND de dos entradas. El circuito se comporta como cuatro interruptores, según se observa en la figura 15.18(b). Dos de los interruptores se conectan en paralelo con $+V$ y dos se conectan en serie hacia tierra. Un interruptor en cada par es controlado por A y el otro por B. Cuando A está en BAJO, Q_1 conduce y Q_3 se encuentra apagado. Cuando A se halla en ALTO, Q_1 está apagado y Q_3 conduce. Así mismo,



v_i	Q_p	Q_n	v_o
0	ON	OFF	+V
+V	OFF	ON	0

Figura 15.17
Inversor CMOS.

Q_1, Q_2 = canal p
Q_3, Q_4 = canal n



(a) (b)

A	B	Q_1	Q_2	Q_3	Q_4	Y
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	1
1	0	OFF	ON	ON	OFF	1
1	1	OFF	OFF	ON	ON	0

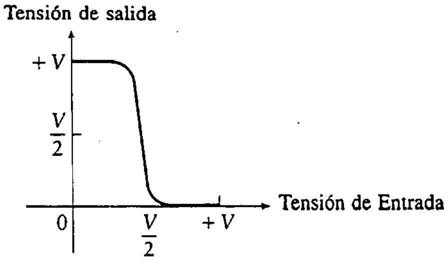
(c)

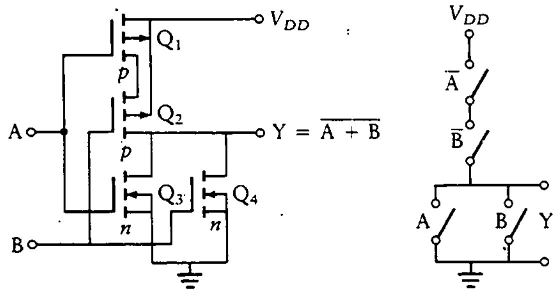
Figura 15.18 Compuerta CMOS NAND de dos entradas.

cuando B está en BAJO, Q_2 conduce y Q_4 se encuentra apagado. Cuando B está en ALTO, Q_2 está apagado y Q_4 conduce. La tabla de función, mostrada en la figura 15.18(c), se completa columna por columna.

La lógica CMOS puede operar sobre un amplio intervalo de tensiones (3 V a 18 V) con velocidad moderada. El consumo de energía principal para la lógica CMOS tiene que ver con la carga y descarga de las capacitancias de entrada y de carga conforme los niveles lógicos cambian entre tierra y la fuente de alimentación. Esto da por resultado un consumo de potencia que aumenta de forma lineal como función de la tasa del reloj o la frecuencia. A frecuencias de operación máximas, los circuitos CMOS pueden llegar a consumir tanta energía como los circuitos lógicos bipolares. Cuando se utilizan en baja frecuencia, CMOS proporciona un excelente desempeño y es muy adecuada para utilizarse en equipo alimentado por batería. En general, CMOS es más lenta que muchas de las familias lógicas bipolares y tiene una mayor impedancia de salida, por lo que no es capaz de proporcionar suficiente energía en dispositivos de salida. Como la impedancia de entrada a CMOS está compuesta principalmente de una capacitancia de unos cuantos picofarads, se puede alimentar un gran número de entradas CMOS mediante una salida CMOS. La familia CMOS también presenta una excelente inmunidad al ruido. En la figura 15.19 se observa una curva de transferencia entrada/salida CMOS. La tensión de entrada cambia de estado con una tensión de entrada de $V/2$.

Figura 15.19
Curva de transferencia entrada/salida CMOS.





(a) Circuito (b) Esquema

A	B	Q_1	Q_2	Q_3	Q_4	Y
0	0	ON	ON	OFF	OFF	1
0	1	ON	OFF	OFF	ON	0
1	0	OFF	ON	ON	OFF	0
1	1	OFF	OFF	ON	ON	0

(c) Tabla de función

Figura 15.20 Compuerta CMOS NOR de dos entradas.

Por tanto, el ruido debe ser de suficiente magnitud para romper esta tensión de umbral y hacer que se presente un error. Además, la familia CMOS permite excursiones de tensión grandes entre los estados lógicos alto y bajo.

Un resumen de las ventajas y características de la familia lógica CMOS es:

La entrada a todos los circuitos es un circuito abierto.

La corriente de entrada de la fuente de alimentación es baja.

Existe buena inmunidad al ruido, ya que los cambios lógicos de BAJO a ALTO se presentan en $V/2$.

Las fuentes de alimentación para CMOS varían de 5 V a 15 V.

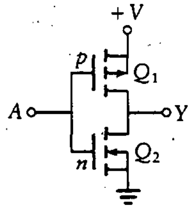
CMOS crea poco ruido por sí misma.

Se considerará aquí otro circuito CMOS: la compuerta CMOS NOR de dos entradas, como se muestra en la figura 15.20. Este circuito se puede representar por dos interruptores en serie con V_{DD} y dos interruptores en paralelo hacia tierra. Los dos interruptores en serie se controlan con $\overline{A}$ y $\overline{B}$. Los dos interruptores en paralelo se manejan con A y B. Se utiliza la regla de que si las tensiones en la compuerta y en el sustrato son iguales, el transistor está apagado. Si la tensión en la compuerta es diferente de la tensión del sustrato, el transistor conduce. La tabla de función de la figura 15.20(c) se obtiene aplicando estas condiciones.

Ejercicios

Determínense el estado de cada transistor y la salida en los circuitos mostrados en los ejercicios D15.25 a D15.28.

D15.25

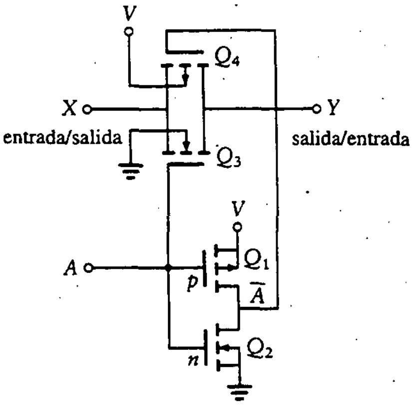


Resp.:

A	Q_1	Q_2	Y
0	N	F	1
1	F	N	0

Figura D15.9

D15.26



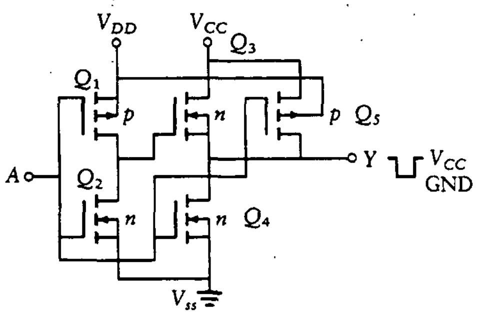
Resp.:

A	Q_1	Q_2	$\bar{A}$	Q_3	Q_4	Condición
0	1	N	F	F	F	Abierto
1	0	F	N	N	N	X = Y

Conmutador digital CD4016
(conmutador bilateral)

Figura D15.10

D15.27



Resp.:

A	Q_1	Q_2	Q_3	Q_4	Q_5	Y
0	N	F	N	F	N	1
1	F	N	F	N	F	0

Figura D15.11

D15.28

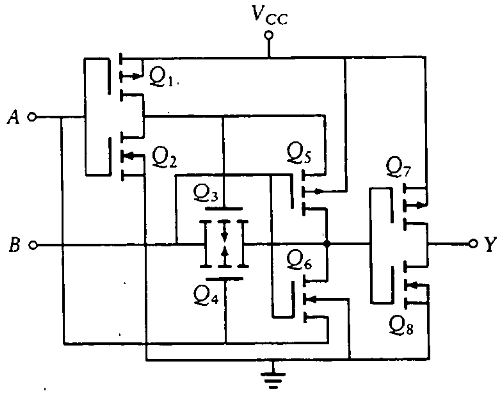


Figura D15.12

Resp.:

A	B	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8	Y
0	0	N	F	F	F	N	F	F	N	0
0	1	N	F	F	F	F	N	N	F	1
1	0	F	N	N	N	N	F	N	F	1
1	1	F	N	N	N	F	N	F	N	0

15.10.1 Lista de dispositivos CMOS y reglas de utilización

En la tabla 15.3 se muestra una lista parcial de dispositivos de la familia CMOS. Se insiste de nuevo en la consulta a los manuales de datos apropiados para mayores detalles y una lista más completa. También se incluyen algunas reglas que son importantes al utilizar la familia CMOS:

1. Conéctese cada terminal a +V, a tierra o a una señal de entrada.
2. Evítese exceder los límites del CI para prevenir así la conducción de los diodos de entrada.
3. Evítese la electricidad estática almacenando los dispositivos CMOS en espuma o empaque conductores.
4. Amortígüense todos los interruptores o contactos mecánicos.

15.11 COMPARACIÓN DE LAS FAMILIAS LÓGICAS

En la figura 15.21 se resumen los parámetros de las diferentes familias lógicas, con el fin de poder realizar comparaciones entre los diferentes grupos, lo cual es muy útil en la selección de la familia apropiada de circuitos para una aplicación particular. Las familias más importantes son TTL, CMOS y ECL.

15.12 CONCLUSIONES

Se introdujo el tema de electrónica digital y se familiarizó al estudiante con los circuitos lógicos independientes del tiempo básicos. El estudiante ya está preparado

Tabla 15.3 Lista parcial de dispositvos CMOS.

Número de tipo	**Descripción**
MM54HC00/MM74HC00	Compuerta NAND entrada-2 cuádruple
MM54HC02/MM74HC02	Compuerta NOR entrada-2 cuádruple
MM54HC03/MM74HC03	Compuerta NAND de drenaje abierto entrada-2 cuádruple
MM54HC04/MM74HC04	Inversor hexadecimal
MM54HC08/MM74HC08	Compuerta AND entrada-2 cuádruple
MM54HC10/MM74HC10	Compuerta NAND entrada-3 triple
MM54HC11/MM74HC11	Compuerta AND entrada-3 triple
MM54HC14/MM74HC14	Disparador Schmitt inversor hexadecimal
MM54HC20/MM74HC20	Compuerta NAND entrada-4 dual
MM54HC27/MM74HC27	Compuerta NOR entrada-3 triple
MM54HC30/MM74HC30	Compuerta NAND entrada-8
MM54HC32/MM74HC32	Compuerta OR entrada-2 cuádruple
MM54HC51/MM74HC51	compuerta AND-OR-inversor dual
MM54HC58/MM74HC58	Compuerta AND-OR dual
MM54HC86/MM74HC86	Compuerta OR exclusiva entrada-2 cuádruple
MM54HC132/MM74HC132	Disparador Schmitt NAND entrada-2 cuádruple
MM54HC133/MM74HC133	Compuerta NAND entrada-13
MM54HC266/MM74HC266	Compuerta NOR exclusiva entrada-2 cuádruple
MM54HC4002/MM74HC4002	Compuerta NOR entrada-4 dual
MM54HC4049/MM74HC4049	Convertidor de nivel lógico bajo inversor hexadecimal
MM54HC4050/MM74HC4050	Conversor de nivel lógico bajo hexadecimal
MM54HC4075/MM74HC4075	Compuerta OR entrada-3 triple
MM54HC4078/MM74HC4078	Compuerta NOR/OR entrada-8
MM54HCT00/MM74HCT00	compuerta NAND entrada-2 cuádruple
MM54HCT04/MM74HCT04	Inversor hexadecimal
MM54HCT05/MM74HCT05	Inversor hexadecimal (drenaje abierto)
MM54HCT34/MM74HCT34	Compuerta no inversora (entrada TTL)
MM54HCU04/MM74HCU04	Inversor hexadecimal

CMOS Databook, National Semiconductor, Inc., Santa Clara, California.

para ejecutar el primer nivel del diseño electrónico digital y formular algunos circuitos útiles.

Si se vuelve a la caja de control de seguridad para automóviles descrita en la introducción a este capítulo, se encontrará que este dispositivo se puede diseñar de manera efectiva utilizando los circuitos básicos presentados en los capítulos 14 y 15.

Obsérvese que existe una brecha muy grande entre la electrónica analógica y la digital con respecto a la reducción de los efectos de ruido de ignición sobre los circuitos de control. Seguramente el lector elegirá la familia CMOS para su diseño, ya que proporciona excelente inmunidad al ruido y las frecuencias de operación en su sistema son pequeñas. Por tanto, aunque la potencia no es crítica (una batería

Familia lógica	Fuente de alimentación	Potencia por compuerta	Retardo de propagación por compuerta	Máxima frecuencia de relój	Máxima entrada lógica cero	Máxima entrada lógica uno	Máxima salida lógica cero	Máxima salida lógica uno
RTL	3.6 V	20 mW	10 nS		.50 V	.88 V	0.3 V	
DTL	5 V	8 mW	30 nS	5 MHz				
HTL	15 V	40 mW	110 nS	0.5 MHz	6.5 V	8.5 V	1.0 V	14.4 V
TTL	5 V	10 mW	10 nS	35 MHz	0.8 V	2.0 V	0.4 V	2.4 V
HTTL	5 V	22 mW	6 nS	50 MHz	0.8 V	2.0 V	0.4 V	2.4 V
LPTTL	5 V	1 mW	33 nS	3 MHz	0.8 V	2.0 V	0.4 V	2.4 V
STTL	5 V	16 mW	4 nS	75 MHz	0.8 V	2.0 V	0.5 V	2.7 V
LSTTL	5 V	2 mW	10 nS	40 MHz	0.8 V	2.0 V	0.5 V	2.7 V
ALSTTL	5 V	1 mW	4 nS	50 MHz	0.8 V	2.0 V	0.5 V	2.5 V
ASTTL	5 V	8 mW	2.5 nS	100 MHz	0.8 V	2.0 V	0.5 V	3.0 V
ECL	− 5.2 V	25 mW	2 nS		−1.48 V	−1.13 V	−1.6 V	−0.98 V
CMOS	3–15 V	0.5 mW*	100 nS	3 MHz**	1.5 V	3.5 V	0.5 V	4.5 V
HCMOS	5 V	0.5 mW*	10 nS	30 MHz	1.0 V	3.5 V	0.05 V	4.95 V
PMOS	− 9 V	≈ 1 mW	4 μS	100 kHz	−4.0 V	−1.2 V	−8.5 V	−1.0 V
	− 5 V							
NMOS	+ 5 V +12 V	≈ .1 mW	≈100 nS	3 MHz	0.8 V	2.4 V	0.4 V	2.4 V

*a 1 MHz
**a 5 V
(Algunos parámetros varían según el tipo de dispositivo o el fabricante)

Figura 15.21 Comparación de familias lógicas.

de automóvil es prácticamente una fuente ilimitada de energía comparada con la energía requerida por los CI), CMOS utiliza una energía relativamente pequeña. Esto podría tomarse en consideración si se lleva a cabo una supervisión durante largos periodos de tiempo cuando el automóvil no está funcionando.

El diseño real requiere una serie de compuertas básicas como AND y OR. Puesto que muchos de los problemas al final del capítulo tratan con sistemas para automóviles, no se resolverá este problema y se da por descartada la satisfacción que proporcionará al estudiante la solución a estos problemas.

Ejemplo 15.1

Diseñe un sistema de alarma contra robos para automóvil. Utilice dos 555 (véase Sec. 14.5), uno operando en modo monoestable y el otro en modo astable.

SOLUCIÓN* El diagrama a bloques para la alarma se muestra en la figura 15.22. Ya sea un sensor de movimiento, que se coloca â un automóvil, o un detector para puertas abiertas, que enciende y apaga la luz interior, dispara un 555 monoestable y provoca un pulso de 60 s. El detector de movimiento cierra momentáneamente un interruptor cuando se mueve el automóvil, y el detector de puertas abiertas es el interruptor en la puerta del automóvil que enciende la luz interior cuando se abre la puerta.

La alarma se activa por un interruptor localizado en la defensa (parachoques) delantera del automóvil. Cuando la alarma está activada, un LED indicador comienza

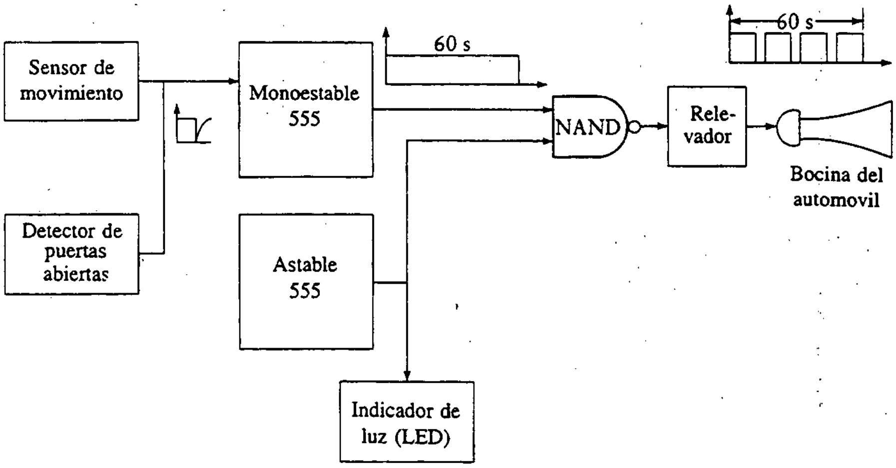


Figura 15.22 Diagrama a bloques del ejemplo 15.1.

*Este proyecto fue diseñado v construido por James Mao y presentado en el Concurso de Diseño de la IEEE en la California State University, Los Angeles, en febrero de 1989.

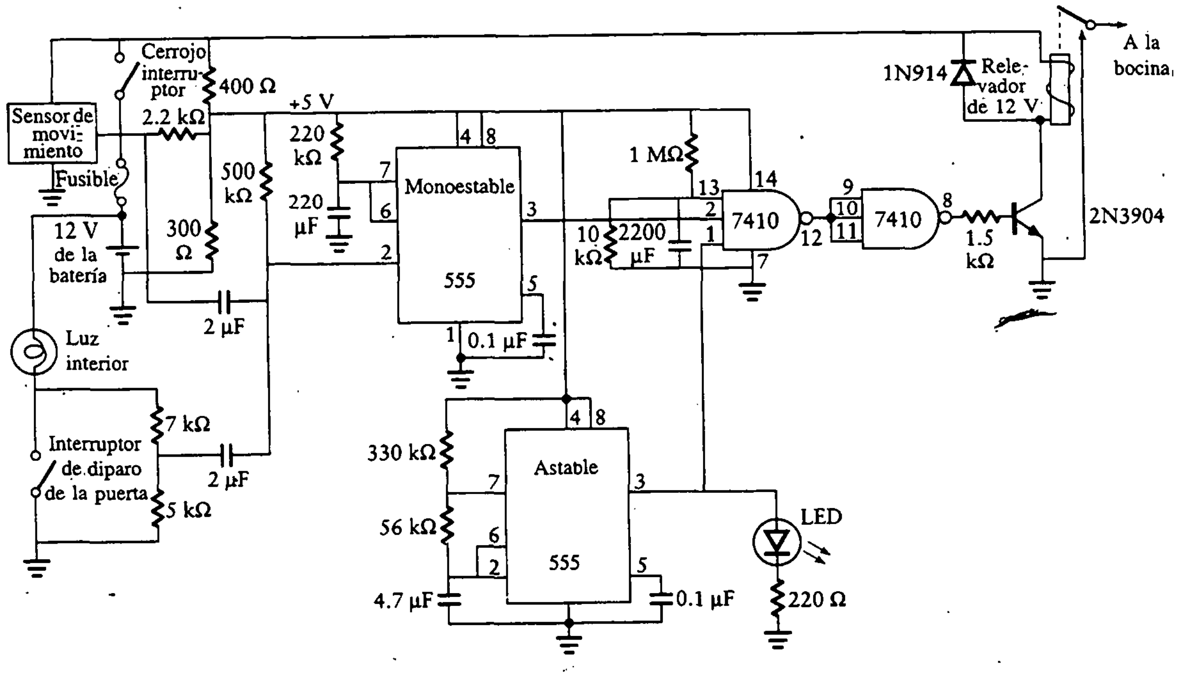


Figura 15.23
Diagrama de alambrado para el ejemplo 15.1.

a centellear en forma continua. Este LED advierte a quien se acerque al auto que la alarma está puesta.

Cuando el interruptor se enciende, el astable 555 genera un tren de pulsos continuo para que el LED centellee y proporcione la señal a la bocina del automóvil. Se desea que el periodo de encendido sea mayor al de apagado en la bocina.

El ciclo efectivo, $(R_1 + R_2)/R_2$, es variable; en este diseño se estableció en 6.89. La frecuencia de este oscilador astable 555, $1.44/[(R_1 + 2R_2)C_1]$, se puede ajustar con la selección de R_1, R_2 y C_1; en este diseño se seleccionó $C_1 = 4.7\ \mu$F y $f = 0.69$ Hz. El diagrama de alambrado se muestra en la figura 15.23.

Cuando el sensor de movimiento o el detector de puerta abierta dispara el 555 monoestable, éste desarrolla un pulso. La duración del pulso, $1.1R_3C_2$, se fija aquí a 53.2 s. Si el valor de C_2 se cambiara a 470 μF, la duración del pulso aumentaría aproximadamente 2 minutos.

La alarma utiliza la batería de 12 V del automóvil, y los CI están alimentados con un divisor de tensión que produce 5.14 V. Se decidió utilizar la familia TTL, ya que se tiene disponible suficiente energía. Se utiliza una compuerta NAND 7410 (analizada en este capítulo) en lugar de una compuerta AND debido al costo, y también porque se puede utilizar como inversor. Se utiliza un transistor *npn* para alimentar el relevador. Se conecta un diodo en paralelo con la bobina del relevador para proteger al transistor de los transitorios en la inductancia del relevador.

El sensor de movimiento está disponible, así como el cerrojo interruptor. La alarma puede mejorarse utilizando un sistema de control remoto, como el que se emplea para abrir las puertas de la cochera, para reemplazar el interruptor localizado en la defensa.

PROBLEMAS

Constrúyanse los diagramas lógicos y las tablas de función para la expresión algebraica booleana de los problemas 15.1 a 15.7.

15.1 $Y = \overline{A} \cdot B \cdot \overline{C} \cdot D$

15.2 $Y = \overline{A} \cdot B \cdot \overline{C} + A \cdot B \cdot \overline{C}$

15.3 $Y = AB + A\overline{B}$

15.4 $Y = A\overline{B} + B$

15.5 $Y = A + B$

15.6 $Y = \overline{A + B + C}$

15.7 $Y = \overline{A \cdot B \cdot C}$

15.8 Desarróllese un circuito lógico tal que la salida sea ALTO si las entradas A, B y C están en ALTO o si las entradas D, E y F se hallan en ALTO.

15.9 Desarróllese un circuito lógico tal que la salida sea ALTO si las entradas A y B están en ALTO o si las entradas C y B se hallan en ALTO.

Desarróllense redes lógicas para satisfacer las funciones dadas en los problemas 15.10 a 15.19.

15.10 Para ganar un premio, debe enviarse un recibo y tener correcta al menos una de las respuestas.

15.11 El almuerzo especial de hoy consiste en una hamburguesa con sopa o ensalada, pero no con ambas.

15.12 La paredes se deben pintar de azul o de verde, pero no de ambos colores. Sin embargo, se pinten o no las paredes, el techo tiene que pintarse de blanco.

15.13 Un par de reyes o un par de ases gana el juego.

15.14 Rentarán la casa a una pareja o a una sola persona, pero no a ambas.

15.15 En este televisor, se pueden obtener la imagen y el sonido por separado o juntos en el canal 2, pero en el canal 4 sólo está disponible el sonido.

15.16 Para entrar, se deben tener \$3 y una tarjeta de descuento, o debe pagarse \$1 adicional.

15.17 Se debe asistir al menos a una sesión nocturna o a una diurna de cada día de la conferencia de dos días.

15.18 Si se toma un curso de leyes o de historia o ambos, también se debe tomar uno de inglés o de conversación, pero no ambos.

15.19 Se puede jugar dobles en tenis, pero, si falta alguno de los jugadores en cualquier equipo, el juego se suspende.

15.20 Diséñese un sistema de alarma para los cinturones de seguridad de un automóvil de cuatro pasajeros, que sonará si se activa la ignición y si un pasajero no se ha colocado el cinturón. Están disponibles interruptores con un contacto conectado a tierra que normalmente están abiertos, para captar la presencia de los pasajeros y la conexión de cada cinturón. Esto se muestra en la figura P15.1(a). Otro interruptor con un contacto hacia tierra y normalmente abierto capta si la ignición se ha activado. Este circuito se muestra en la figura P15.1(b). Para cualquier condición de inseguridad, se debe encender un LED.

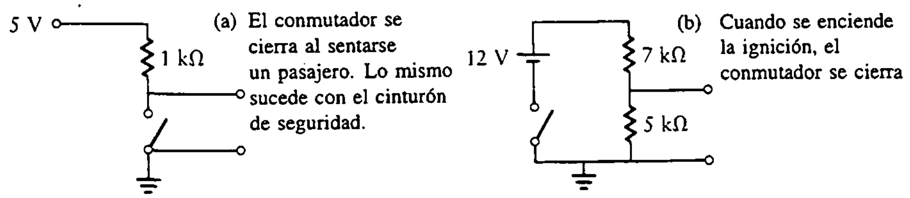


Figura P15.1

15.21 Diséñese un sistema recordatorio de seguridad para automóvil que avise al conductor cuando las luces se dejan encendidas por error y la llave de encendido está puesta. Este sistema utiliza los siguientes interruptores normalmente abiertos:

a. El interruptor de cabecera se encuentra cerrado cuando las luces están encendidas y abierto cuando están apagadas.
b. El interruptor de la llave de ignición está cerrado cuando la llave está puesta y abierto cuando la llave se quita de la cerradura.
c. El interruptor de la puerta se cierra cuando la puerta se abre, y se abre al cerrar la puerta.

La alarma suena sólo cuando se abre la puerta y las luces están encendidas y/o la llave del contacto está puesta.

15.22 Diséñese un sistema de alarma contra ladrones que active una señal de 500 Hz, 5W en un altavoz. Se coloca un interruptor de alarma en la defensa frontal izquierda. Normalmente se encuentra abierto. Cuando la llave se coloca en la posición "listo", el interruptor se cierra, como se muestra en la figura P15.2(a). Se coloca en el automóvil un interruptor de movimiento de tal forma que si ocurre algún movimiento, se produce un contacto

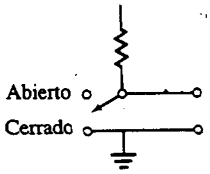


Figura P15.2(a)

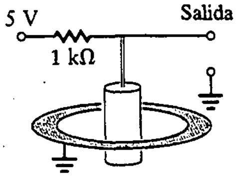


Figura P15.2(b)

momentáneo. Esto se muestra en la figura P15.2(b). Cuando se mueve el automóvil, la señal de salida cambia momentáneamente a 0 V (tierra). La alarma contra ladrones activará la señal de 500 Hz *sólo* si se activó previamente el interruptor de la defensa.

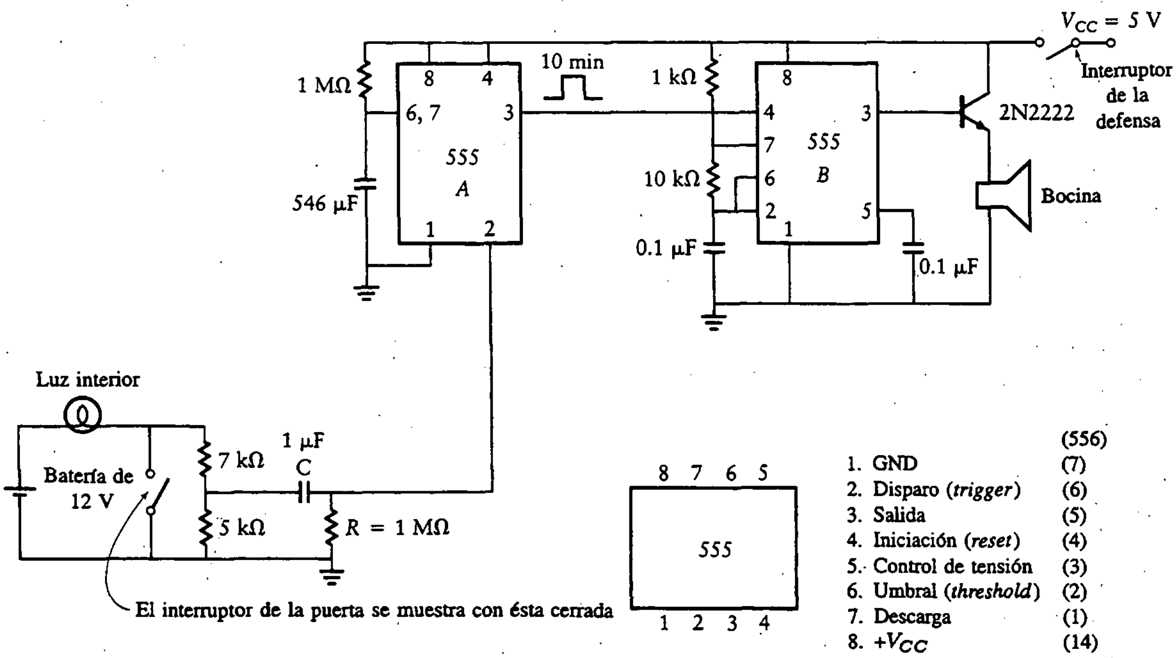


Figura P15.3 Diagrama para alarma contra ladrones.

15.23 Analícese el sistema de alarma contra ladrones ilustrado en la figura P15.3. Descríbase la operación de este sistema electrónico.

15.24 Diséñese un circuito electrónico para realizar la siguiente operación. Un pulso de entrada de 3 ms de duración debe reproducir y enviar un pulso de entrada de 3 ms de duración a otro circuito. Después de 10 ms, debe seguir otro pulso de eco de 3 ms, como se muestra en la figura P15.4.

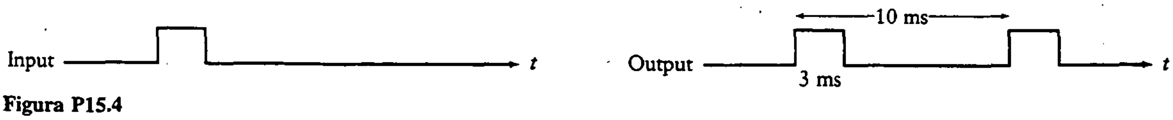


Figura P15.4

15.25 Diseñe un candado digital que opere en dos pasos. Primero, se establece el código activando tres de los seis interruptores de botón. Para este ejemplo, sea el código: b d e. Segundo, se activa el interruptor conectado a la salida. Si se selecciona el código correcto, la salida pasa a BAJO y el candado se libera por medio de un solenoide (dispositivo electromecánico que produce movimiento mecánico cuando se aplica una señal a su bobina). Si se selecciona un código incorrecto, suena un tono de 1 kHz por un minuto. Véase la figura P15.5 para los detalles.

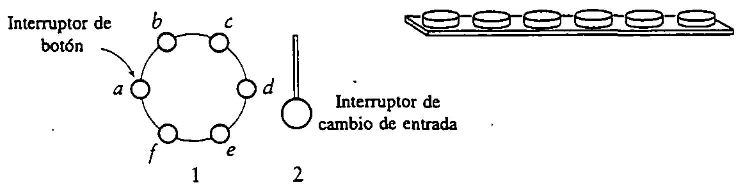


Figura P15.5

15.26 Dibújese la salida de la figura 15.5 si se utiliza un número impar de inversores en el circuito. Supóngase que el retardo para cada inversor es 35 ns.

Determínese el estado de cada transistor y prepárese una tabla de función para cada uno de los circuitos TTL dados en los problemas 15.27 a 15.30.

15.27 Figura P15.6: un 7486 XOR cuádruple de cuatro entradas, salida de colector activo.

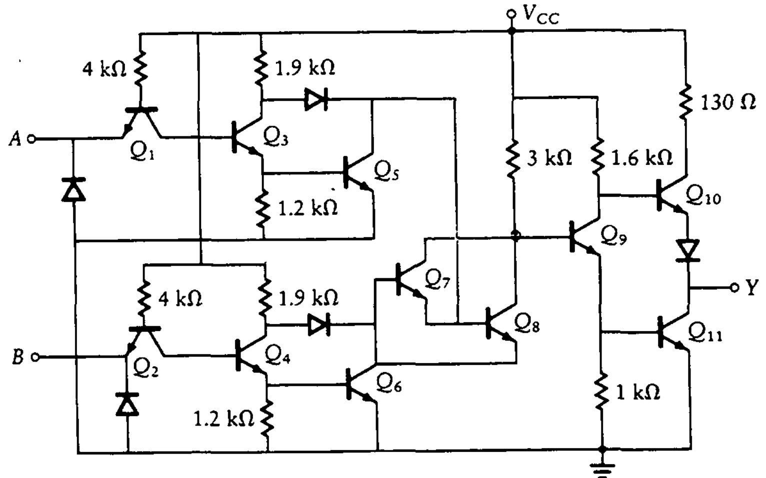


Figura P15.6

15.28 Figura P15.7: una compuerta de potencia (*buffer*) 7407/17 de seis compuertas, salida de colector abierto.

15.29 Figura P15.8: una AND 7408 cuádruple de dos entradas, salida de colector activo.

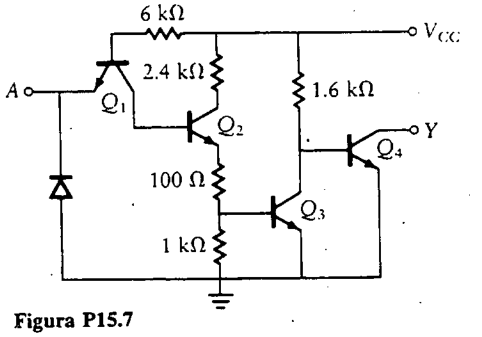


Figura P15.7

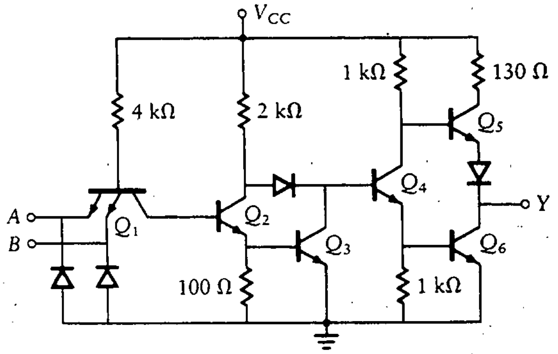


Figura P15.7

15.30 Figura P15.9: una NAND 7400 cuádruple de dos entradas, salida de colector activo.

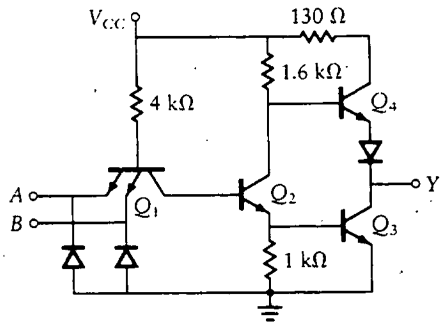


Figura P15.9

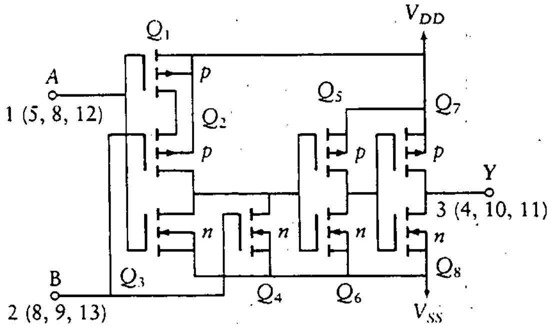


Figura P15.10

Determínese el estado de cada FET y prepárese una tabla de función para los circuitos CMOS de los problemas 15.31 a 15.33.

15.31 Figura P15.10: Un CD4001 NOR cuádruple de dos entradas.

15.32 Figura P15.11: Un CD4081 AND cuádruple de dos entradas.

15.33 Figura P15.12: Un CD4011 NAND cuádruple de dos entradas.

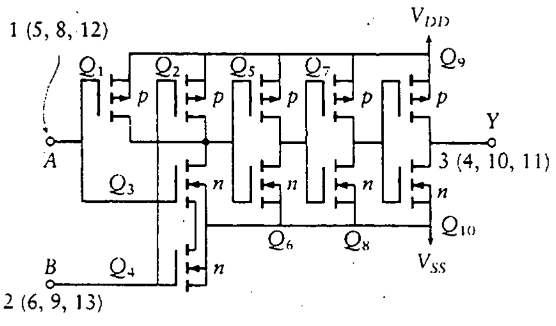


Figura P15.11

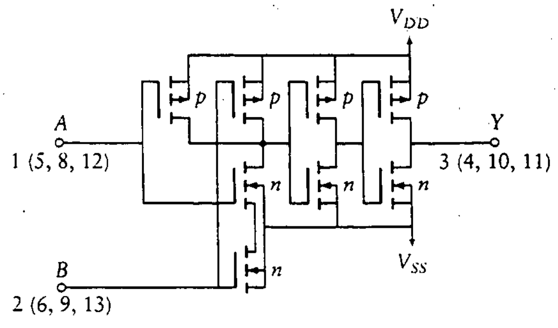
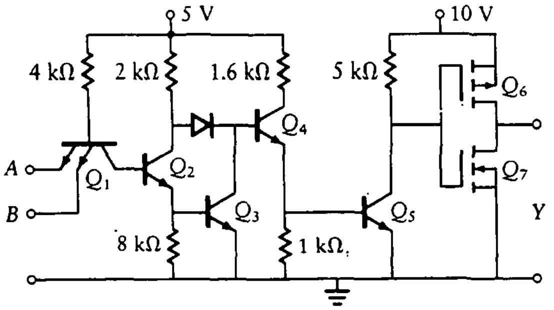


Figura P15.12

15.34 Complétese la tabla de función para el circuito TTL-CMOS que se muestra en la figura P15.13.



(a)

A	B	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Y
0	0								
0	1								
1	0								
1	1								

(b)

Figura P15.13

15.35 Diséñese un manejador de despliegue de siete segmentos para variar el brillo de los LED de los siete segmentos desde casi opaco hasta brillo máximo. Utilícese un solo potenciómetro de control para producir una intensidad uniforme para todos los segmentos.

15.36 Diséñese un circuito para tomar muestras de una función del tiempo cada 100 ms. La duración de cada muestra no debe ser mayor que 5 ms. Dibújese el diagrama del circuito mostrando todas las terminales de cada CI utilizado. La función del tiempo, $f(t)$, y las muestras de salida se incluyen en la figura P15.14.

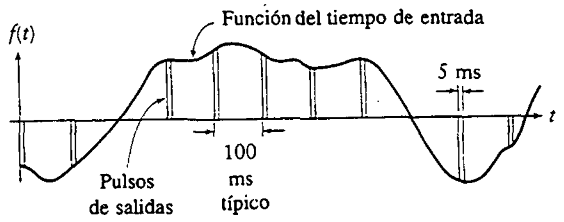


Figura P15.14

PROBLEMAS ADICIONALES

PA15.1 Diseñe un sistema para proporcionar una señal de alarma de emergencia. Utilice un 555 y un interruptor CMOS para proporcionar la forma de señal mostrada en la figura PA15.1. La señal es una senoidal de 3 kHz con una amplitud de ±5 V que se enciende y se apaga 30 veces cada minuto. El tiempo de encendido es aproximadamente igual al tiempo de apagado. La tensión senoidal de 3 kHz es proporcionada por un generador de ondas senoidal.

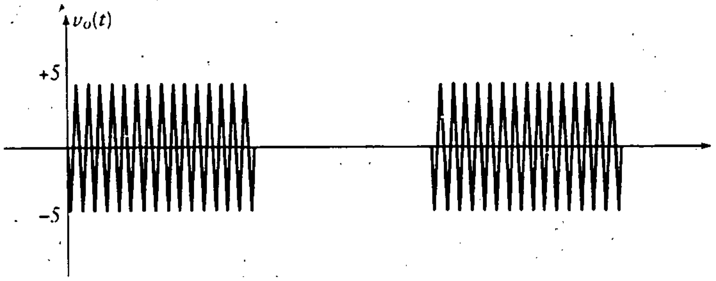


Figura PA15.1

16

CIRCUITOS INTEGRADOS DIGITALES

16.0 INTRODUCCIÓN

En el capítulo 15 se abordaron las familias más grandes de circuitos integrados digitales. En este capítulo se incluye un análisis de varios circuitos SSI básicos.

La intención del presente capítulo es expandir el catálogo de CI de tal forma que el ingeniero tenga las herramientas necesarias para realizar una amplia variedad de diseños. Existe un gran número de circuitos diferentes en el mercado. Estos se pueden dividir en varias categorías importantes, las cuales conforman la mayoría de las secciones de este capítulo. Además, se presentan muchos ejemplos.

Las figuras en el texto contienen extractos de manuales de datos. Como en el capítulo anterior, se recomienda al lector obtener varios de estos manuales. Aunque se listan en las referencias del apéndice D, se repiten aquí los principales:

1. *The TTL Data Book for Design Engineers*, Vol II, Dallas, Texas, Texas Instruments Corporation.
2. *CMOS Data Book*, Santa Clara, California, National Semiconductor Corporation.
3. *Linear and Data Acquisition Products*, Melbourne, Florida, Harris Semiconductor Products Division.
4. *CMOS Data Book*, Mountain View, California, Fairchild Camera and Instrument Corporation.

5. *Master Selection Guide*, Phoenix, Arizona, Motorola Semiconductor Products Incorporated.
6. *Schottky and Low Power Schottky Data Book*, Sunnyvale, California, Advanced Micro Devices Incorporated.

El presente estudio empieza en la sección 16.1 con descodificadores y codificadores. Los ejemplos incluyen despliegues de binario a siete segmentos, verificadores de paridad, multiplexores y unidades aritméticas.

Los circuitos con memoria se analizan en la última parte del capítulo, comenzando en la sección 16.3. Estos incluyen biestables, memorias de paso, registros de desplazamiento y contadores. Como estos circuitos con memoria requieren señales de reloj, se exploran métodos para obtenerlas. Se presta particular atención a relojes, osciladores, lazos de fase cerrados y osciladores controlados por tensión (VCO, *voltage controlled oscillators*).

En la sección 16.7 se aborda el importante tema de las memorias, con especial atención en RAM, ROM, PROM y EPROM.

El capítulo concluye con un análisis de dispositivos más complejos, incluyendo unidades aritméticas y lógicas, convertidores A/D y D/A, y el circuito integrado de arreglo lógico programable.

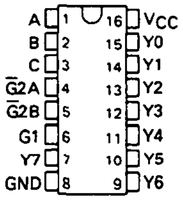
16.1 DESCODIFICADORES Y CODIFICADORES

Bajo el término *descodificador* se puede combinar una amplia variedad de CI de entradas y salidas múltiples. Los dispositivos que caen dentro de esta categoría reciben nombres más específicos que describen su función con mayor precisión. Ejemplos de estos son los *multiplexores* y *desmultiplexores*. Cualquiera que sea el nombre específico, los descodificadores comparten un trato común con las compuertas elementales: estos CI *no tienen memoria*. La salida del dispositivo depende de la entrada, sin importar el valor anterior de las entradas y salidas.

El primer ejemplo que se presenta es un descodificador/desmultiplexor de 3 a 8 líneas, como se muestra en la figura 16.1. Para propósitos de ilustración, se seleccionó un circuito TTL 74LS138. Nótese que el diagrama de terminales y la tabla de función se aplican a varios números de chips. Estos chips difieren en la velocidad de operación y en el consumo de potencia. Estas propiedades se muestran en alguna parte de las hojas de datos de los fabricantes. El descodificador/desmultiplexor de 3 a 8 líneas se utiliza para habilitar (encender) una de ocho posibles salidas. Esto se logra con una serie de compuertas, como se muestra en la figura 16.1(b). El descodificador de 3 a 8 líneas acepta entradas binarias de tres bits que representan un número binario entre 000 y 111. Estos corresponden a los números decimales 0 a 7. De las 8 líneas de salida, sólo 1 está en BAJO en un momento dado, como se muestra en la tabla de función de la figura 16.1(c). La salida que se encuentra en BAJO es la numerada con el dígito correspondiente a

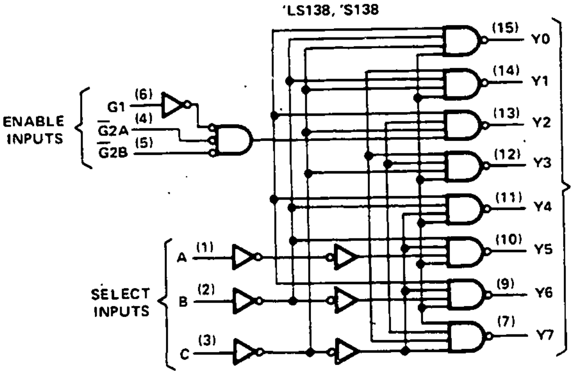
Figura 16.1
Descodificador 74LS138 de 3 a 8 líneas.
Cortesía de Texas Instruments Incorporated.

SN54LS138, SN54S138 . . . J OR W PACKAGE
SN74LS138, SN74S138 . . . D, J OR N PACKAGE
(TOP VIEW)



(a)

'LS138, 'S138



Pin numbers shown on logic notation are for D, J or N packages.

(b)

'LS138, 'S138
FUNCTION TABLE

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	$\bar{G}2$*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*$\bar{G}2$ = $\bar{G}2A$ + $\bar{G}2B$
H = high level, L = low level, X = irrelevant

(c)

la entrada binaria (SELECCIÓN). Por ejemplo, si la entrada es el número binario 010, la salida 2 (Y2) está en BAJO y todas las demás se hallan en ALTO. Si se desea que la salida seleccionada esté en ALTO en vez de BAJO, se pueden invertir todas las salidas.

El diagrama del circuito y la tabla de función contienen varias líneas de *habilitación*. Con el fin de operar el sistema como descodificador, la entrada de habilitación G1 debe estar en ALTO y la entrada G2 en BAJO. Nótese que G2 es la OR de G2A y G2B. Si la entrada de habilitación G1 se encuentra en BAJO, todas las salidas se colocan en ALTO sin importar la condición de las otras líneas de habilitación o selección. Esto también es cierto si G2 se encuentra en ALTO.

Otra forma de ver un descodificador consiste en que la entrada es un número binario y la salida es otro número binario. Los dos números binarios son de diferente longitud de bit. Por tanto, el descodificador se puede pensar como un *traductor* que acepta un lenguaje y lo traduce a otro.

El descodificador de 3 a 8 líneas ilustra el concepto de que 3 bits de entrada pueden controlar 2^3 líneas de salida. En términos más generales, un descodificador de n a m líneas convierte n líneas de entrada en un máximo de $m = 2^n$ líneas de salida.

Antes de pasar al siguiente tema, verifiquense algunos valores de la tabla de función. Hágase esto aplicando las entradas lógicas ALTO y BAJO apropiadas y siguiéndolas a través del diagrama de bloques lógicos.

En su forma más general, el circuito integrado descodificador acepta una palabra binaria como entrada y produce una segunda palabra binaria como salida. Esto lleva a una gran cantidad de posibles configuraciones del descodificador. Seis de estas configuraciones se utilizan en varias aplicaciones; se analizan en seguida:

1. *Binario a salida única* Una palabra binaria de n bits selecciona una sola salida de 2^n salidas posibles. El circuito de la figura 16.1 es un ejemplo de esta configuración con $n = 3$.

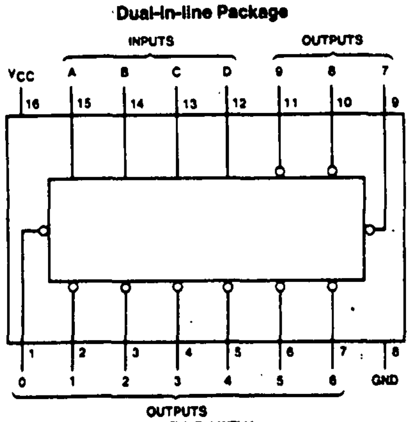
2. *Binario a despliegue de siete segmentos* Este descodificador acepta una entrada binaria y produce un código binario de 7 bits en la salida. La entrada es un número binario de 4 bits entre 0000 y 1001, que representan los dígitos decimales entre 0 y 9. Esto se conoce como *código decimal codificado en binario* (BCD, *binary-coded decimal*). La salida se adecua a un despliegue de siete segmentos. Se utilizan siete segmentos rectos (tres horizontales y cuatro verticales) para mostrar cualquier dígito entre 0 y 9. El descodificador proporciona la salida adecuada para encender los segmentos necesarios y producir así el dígito decimal. Este descodificador se examina con mayor detalle en la sección 16.2.

3. *Entradas múltiples a salidas múltiples* Existen muchos dispositivos para convertir números de un formato a otro. Estos dispositivos se utilizan con frecuencia para realizar operaciones matemáticas simples o multiplexar diversas señales.

   Un ejemplo importante de circuito integrado de entradas y salidas múltiples es el *convertidor BCD a binario*. El código BCD representa a cada dígito decimal entre 0 y 9 con un número binario de cuatro dígitos. Por ejemplo, el número decimal 64 es 01100100 en BCD ya que cada dígito decimal se maneja en forma independiente. Nótese que esto es diferente de una simple conversión de 64 a binario. Tal conversión daría como resultado el número binario, 1000000, que es de sólo siete bits de longitud, a diferencia de los ocho bits en el código BCD.

   El circuito integrado 74HC42 es un ejemplo de un descodificador *BCD a decimal* y se ilustra en la figura 16.2. La entrada a este dispositivo es un código BCD de cuatro bits de un solo dígito decimal. Existen 10 salidas separadas, y sólo una de ellas se coloca en BAJO para cualquier combinación válida de entrada. La que está en BAJO representa el equivalente decimal del número de entrada en BCD. Nótese que el código en BCD utiliza sólo 10 de las posibles 16 combinaciones de cuatro bits. Por tanto, seis combinaciones son inválidas y no existen en el código BCD. Si la entrada equivale a una de las combinaciones inválidas, debe haberse producido un error antes de ese punto del circuito. El circuito integrado 74HC42 está diseñado para responder a estas entradas inválidas evitando que las salidas pasen a BAJO.

Connection Diagram



TOP VIEW
MM54HC42/MM74HC42

54HC42(J) 74HC42(J,N)

Truth Table

No.	Inputs				Outputs									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High Level, L = Low Level

Logic Diagram

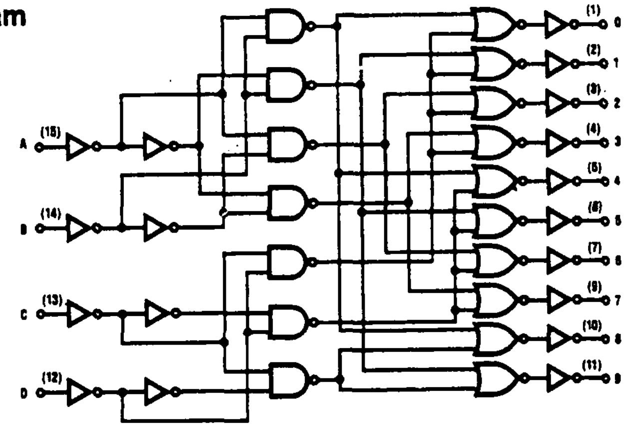


Figura 16.2 El descodificador 74HC42 BCD a decimal. Cortesía de National Semiconductor Corp.

4. *Verificadores* Este grupo de dispositivos realiza pruebas sobre la información codificada y produce una salida que contiene información acerca del resultado de la prueba. El *comparador* es un ejemplo de verificador. Acepta dos códigos binarios como entrada, y la salida indica cuál de las dos entradas es mayor. Los *verificadores de paridad* representan otra aplicación importante de circuito integrado para verificación. Estos se comentan en la sección 16.1.2.

5. *Aritmética* Los circuitos integrados aritméticos realizan operaciones matemáticas simples como suma y resta. El *sumador completo* es un ejemplo de estos chips. Este sumador acepta tres bits de entrada. Dos de ellos son

los bits por sumar, mientras que el tercero es el bit de *acarreo* de una suma previa o de menor orden. Por tanto, el sumador completo es adecuado para aplicaciones en las que se deben sumar números binarios de varios bits. Existen dos salidas de un sumador completo. Una es la suma y la otra es el bit de acarreo. Por ejemplo, la suma binaria de $1+0+0$ es 1 con acarreo de 0. La suma de $1+1+1$ es 1 con acarreo de 1. En la sección 16.8.2 se analizan con mayor detalle los sumadores completos.

6. *Multiplexores* Seleccionan una de varias entradas para transferirse a una salida. Esto es el inverso del *desmultiplexor*, que dirige una entrada a una de varias salidas.

   Los multiplexores se utilizan para intercalar datos de varias fuentes. Por ejemplo, si sólo se dispone de una línea de transmisión para enviar cuatro señales diferentes, los bits podrían intercalarse (conmutarse) para formar una señal *multiplexada por división de tiempo*. Al primer bit de la primera señal le sigue el primer bit de la segunda señal, y así sucesivamente. Por último, al primer bit de la cuarta señal le sigue el segundo bit de la primera señal, y el ciclo continúa hasta que se envían las cuatro señales completas.

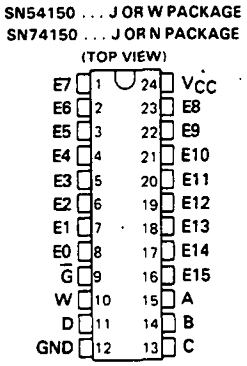
   En el extremo receptor, se utiliza un desmultiplexor (desconmutador) para separar las distintas señales y guiarlas por diferentes trayectorias de transmisión.

Se examinarán ahora, con más detalle, los *selectores de datos/multiplexores*. Este circuito selecciona una entrada de varias posibles y la transfiere a la salida. En la figura 16.3 se ilustra el circuito integrado selector de datos/multiplexor SN74150.

Existen cuatro entradas para selección de *datos*, etiquetadas A, B, C y D (terminales 15, 14, 13 y 11 respectivamente). Dependiendo del valor de estas entradas de selección, el dato de entrada correspondiente se transfiere a la salida. Este circuito integrado particular proporciona una salida (W) en la terminal 10, que es el inverso de la entrada seleccionada. Así, por ejemplo, si las entradas de selección de datos son LHHL, que representa al número binario 0110 (decimal 6), la salida es la inversa de la señal conectada a la terminal de entrada 2, el sexto bit de entrada (E6). Este chip particular tiene una *señal de reloj*, y la entrada apropiada se transfiere a la salida sólo cuando se aplica una señal BAJA en *strobe* (*selección*), terminal 9. Si *strobe* está en ALTO, la salida se halla en ALTO, independientemente de los niveles de la entrada.

Es importante proporcionar una sincronización adecuada a este circuito integrado para evitar transitorios en la salida. Esto se debe a que la selección de datos, que es un número binario de cuatro bits, cambia siempre que se desea transferir una entrada diferente a la salida (terminal 10). Por ejemplo, si la selección cambia de 1010 a 0101, se desea que la entrada en la terminal 21 se transfiera a la salida antes del cambio y que la entrada en la terminal 3 se transfiera después del cambio. Sin embargo, es posible que las cuatro entradas binarias de selección no cambien al mismo tiempo, por lo que pueden haber selecciones de configuraciones intermedias antes de llegar al 0101. Sin la sincronización, la salida reflejará cada uno de estos valores de entrada intermedios. El reloj se utiliza para asegurar que la salida cambie sólo *después* de que la selección halla llegado a su configuración final.

Figura 16.3
Selector de datos/multiplexor SN74150. Cortesía de Texas Instruments Incorporated.



(a) Diagrama de conexión

'150
FUNCTION TABLE

INPUTS					OUTPUT
SELECT				STROBE	W
D	C	B	A	$\overline{G}$	
X	X	X	X	H	H
L	L	L	L	L	$\overline{E0}$
L	L	L	H	L	$\overline{E1}$
L	L	H	L	L	$\overline{E2}$
L	L	H	H	L	$\overline{E3}$
L	H	L	L	L	$\overline{E4}$
L	H	L	H	L	$\overline{E5}$
L	H	H	L	L	$\overline{E6}$
L	H	H	H	L	$\overline{E7}$
H	L	L	L	L	$\overline{E8}$
H	L	L	H	L	$\overline{E9}$
H	L	H	L	L	$\overline{E10}$
H	L	H	H	L	$\overline{E11}$
H	H	L	L	L	$\overline{E12}$
H	H	L	H	L	$\overline{E13}$
H	H	H	L	L	$\overline{E14}$
H	H	H	H	L	$\overline{E15}$

(b) Tabla de función

Nótese que el circuito integrado posee 24 terminales en configuración DIP. Dos de éstas son para la alimentación (la terminal 24 para V_{CC} y la 12 para tierra), una es para habilitación (terminal 9), una para la salida (terminal 10), cuatro para la selección y las restantes 16 para datos de entrada.

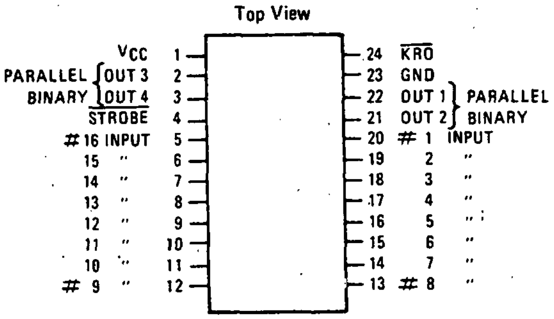
16.1.1 Codificadores y descodificadores de teclado

Un teclado consiste en una serie de interruptores activados por teclas. El teclado puede variar sobre una amplia variedad de configuraciones, incluyendo la de la máquina de escribir o la de un teclado numérico. Antes del desarrollo de la electrónica digital, cada tecla se conectaba al mecanismo de impresión adecuado, a menudo a través de una serie de enlaces mecánicos. Con el advenimiento de la electrónica digital, fué preferible codificar la entrada en un código binario adecuado, eliminando así la necesidad de conectar cada tecla al dispositivo final de salida.

El propósito del codificador es producir una salida binaria que contenga información con respecto a cuál de las teclas fue presionada.

Como ejemplo específico, se considera el codificador de teclado HD0165, que se ilustra en la figura 16.4. Este es un codificador de 16 líneas a 4 bits para utilizarse con dispositivos de entrada manual como calculadoras o teclados de máquina de escribir. Se puede implantar cualquier código de 4 bits de salida.

Figura 16.4
Codificador de teclado HD0165. Cortesía de Harris Semiconductor.



(a) Terminales

INPUTS																OUTPUTS					
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	1	2	3	4	$\overline{St.}$	$\overline{K_{RO}}$
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	H	H
H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	H	L	H
L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	H	L	H
L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	H	H	L	H
L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	H	L	H
L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	H	H	L	H	L	H
L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	H	L	H	L	H
L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	H	L	L	H	L	H
L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	H	L	H
L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	H	H	H	L	L	H
L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	H	H	L	L	H
L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	H	L	H	L	L	H
L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	H	L	L	H
L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	H	H	L	L	L	H
L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	H	L	L	L	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	H	L	L	L	L	H
L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	H
ANY TWO OR MORE HIGH																X	X	X	X	L	L

INPUTS: L = Open Circuit or < +1.0V H = > +4.5V Current Source
OUTPUTS: L = < +0.4V H = > +2.4V X = Erroneous Data

(b) Tabla de función

Las entradas se alambran normalmente hacia +5 V a través de los interruptores del teclado. Las 16 posibles salidas representan todas las combinaciones posibles de 4 bits. las salidas se pueden configurar para proporcionar el equivalente binario de la entrada particular que está en ALTO. Por ejemplo, si la entrada 9 se encuentra en alto (es decir, se presionó el interruptor 9), la salida es LHHH, donde, en la figura 16.4(b), se inicia con la salida 4 y se recorre hacia la izquierda hasta la salida 1. Si L corresponde a 1 y H a 0, éste es el número binario 1000 o, en equivalente decimal, 8. Esó es correcto ya que los interruptores de entrada se han numerado del 1 al 16, mientras que los números binarios van de 0 a 15. Por tanto, si se presionan los interruptores de entrada en orden de 1 a 16, la salida contará en números binarios de 0 a 15. Esta asociación uno a uno entre los interruptores de entrada ordenados y los números binarios de salida no es la única forma de

configurar la salida. Esto es, conforme los interruptores se presionan en orden, se puede desear que la salida siga una secuencia diferente de la secuencia de conteo estándar. Pensando un poco, se puede demostrar que existen 16!, o cerca de 2.1×10^{13}, formas de ordenar las 16 posibles palabras de salida. Se han desarrollado configuraciones particulares para obtener ciertas propiedades deseables. Las más comunes de éstas son el *código Gray* y el *código BCD 1-2-4-2*. Para mayores detalles, se pueden consultar las referencias.

A medida que se presiona la tecla, con frecuencia se presenta un efecto de *rebote*. El interruptor hace contacto momentáneo, luego deja de hacer contacto un instante, y por último hace un buen contacto. STROBE se puede utilizar para *eliminar el rebote* del interruptor, y por tanto también el efecto. Nótese en la tabla de función que cuando se presiona cualquier tecla, haciendo que la entrada del codificador asociada pase a ALTO, la salida STROBE pasa a BAJO. El rebote se puede eliminar utilizando la salida STROBE para disparar un monoestable (como el 555) con una duración mayor que el tiempo de rebote estimado. Por tanto, el primer contacto del interruptor hace que la salida del monoestable pase a ALTO, y esta salida se mantiene en ALTO hasta que el interruptor deja de rebotar. Cuando el monoestable regresa a su estado normal, se activa un segundo disparo, el cual transfiere la entrada del teclado al interruptor. La operación de eliminación del rebote es un proceso de retardo en el cual la entrada del teclado se transfiere al circuito integrado un poco después del primer cierre del interruptor.

Un examen de la tabla de función de la figura 16.4 revela una salida adicional, denominada *sobreposición de tecla* (KRO, *key rollover*). Esta salida pasa a BAJO cuando se presiona más de una tecla al mismo tiempo. Se informa al circuito que la palabra de salida no es válida y que debe ignorarse. Un método más elaborado utiliza esta salida para activar un disparo retrasado, como se hace para eliminar el rebote del teclado. Se supone que la presión de dos teclas suele ser una condición pasajera, por lo que el retardo puede ser suficiente para volver al caso de una sola tecla presionada.

16.1.2 Generadores de paridad y verificadores

La *paridad* de un número binario indica si el número total de unos es impar o par. Así, por ejemplo, el número binario 101 tiene *paridad par*, mientras que el número 100 posee *paridad impar*. Añadiendo un bit adicional a un número, es posible forzar al número extendido a tener paridad par o impar. Para crear una paridad par, el bit añadido es 1 si el número original tenía paridad impar, y 0 si el número original presentaba paridad par.

Si en una palabra cambia un solo bit, se modifica la paridad de la palabra. Por tanto, añadir un bit de paridad permite la detección de errores de un bit.

Supóngase, por ejemplo, que se añade un bit de paridad a cada palabra para forzar a que la paridad de la palabra extendida siempre sea par. El sistema podría verificar la paridad en puntos de prueba críticos y si se detecta paridad impar, se sabría que hay error en un bit. En realidad, cualquier número impar de bits en

error provoca un cambio de paridad, mientras que un número par de errores no produce cambio. Por ejemplo, si se presenta error en dos bits, la palabra todavía tiene paridad par y los errores pasan sin detectarse.

El problema asociado con la detección de errores múltiples es muy serio en aplicaciones donde se presentan errores con frecuencia, como en un ambiente muy ruidoso. En estos casos, se puede esperar la no detección de errores múltiples. Es posible lograr algunas mejoras utilizando bits de paridad adicionales.

16.2 MANEJADORES Y SISTEMAS ASOCIADOS

Los circuitos integrados manejadores se utilizan para alimentar despliegues y otros dispositivos de propósito especial. En esta familia de circuitos integrados, los circuitos manejadores se diseñan para operar sobre un amplio intervalo de tensiones y corrientes, ya que los dispositivos de despliegue a veces no utilizan tensiones y corrientes estándar. En la figura 16.5 se ilustra un descodificador/manejador BCD 7447 a siete segmentos. La tabla de función para este dispositivo se muestra en la figura 16.5(b). El circuito integrado acepta seis entradas. Cuatro de éstas representan un número binario de cuatro bits entre 0 y 15. Como puede verse de la "designación numérica y despliegues resultantes" en la figura 16.5, los números binarios de 4 bits entre 0 y 9 generan un despliegue que es el dígito decimal correspondiente al número. Las seis combinaciones de entrada restantes generan símbolos que se pueden utilizar para llevar varios tipos de información (por ejemplo sobreflujo). Supóngase, que la entrada de cuatro bits es HLLH, que representa el número binario 1001 y el dígito decimal 9. Con base en el despliegue de siete segmentos, se ve que es deseable iluminar los segmentos a, b, c, f y g del despliegue para mostrar el dígito decimal 9. La tabla de función verifica que éstas sean las cinco salidas específicas que se encontrarán activas. Las salidas están diseñadas para excitar ya sea LED o lámparas incandescentes. La porción excitadora del circuito proporciona salidas de colector abierto, las cuales se analizaron en el capítulo 15.

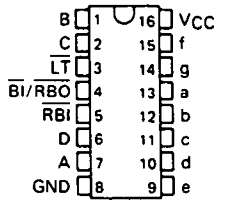
Además de la palabra binaria de cuatro bits, se proporcionan tres entradas binarias adicionales que se denominan *lamp test* (LT), *ripple blanking input* (RBI) y *blanking input/ripple blanking output* (BI/RBO). En la última línea de la tabla se observa que una entrada en BAJO en la terminal *lamp test* provoca que todos los segmentos del despliegue se enciendan. Esto se utiliza para verificar el circuito y el despliegue.

El despliegue se apaga totalmente si la entrada es el número binario 1111 o si la entrada *blanking input* se encuentra en BAJO. *Ripple blanking* se utiliza para apagar todos los ceros que existan en el despliegue antes del dígito más significativo. Esto se utiliza tanto para apagar el despliegue como para *modularlo*. El brillo se puede ajustar modulando el despliegue o encendiéndolo y apagándolo en forma periódica.

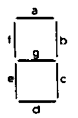
El circuito integrado 7447 se combina fácilmente con un despliegue de LED de ánodo común, como se muestra en la figura 16.6. La tensión en directo típica del LED se halla en el intervalo entre 1.6 V y 2.2 V con una corriente de 50 mA. Se

Figura 16.5 Descodificador/manejador BCD 7447 a siete segmentos. Cortesía de Texas Instruments Incorporated.

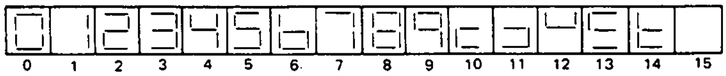
SN54L46, SN54L47 . . . J PACKAGE
SN5446A, SN5447A, SN54LS47, SN5448,
SN54LS48 . . . J OR W PACKAGE
SN7446A, SN7447A,
SN7448 . . . J OR N PACKAGE
SN74LS47, SN74LS48 . . . D, J OR N PACKAGE
(TOP VIEW)



(a) Diagrama de conexión



SEGMENT IDENTIFICATION



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'L46, 'L47, 'LS47 FUNCTION TABLE

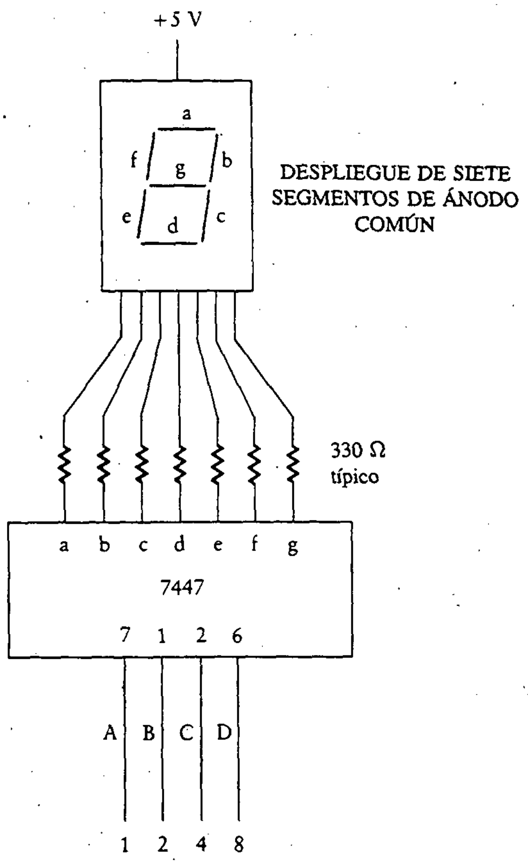
DECIMAL OR FUNCTION	INPUTS						$\overline{BI}/\overline{RBO}$†	OUTPUTS						
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON

(b) Tabla de función

han utilizado resistores de 330 Ω para conectar las salidas de colector abierto del 7447 a la fuente de V_{CC} = +5 V a través de cada segmento LED. Estos resistores son necesarios para limitar la corriente a través de cada segmento LED.

Figura 16.6
Despliegue de LED.

Descodificador BCD 7447 y despliegue

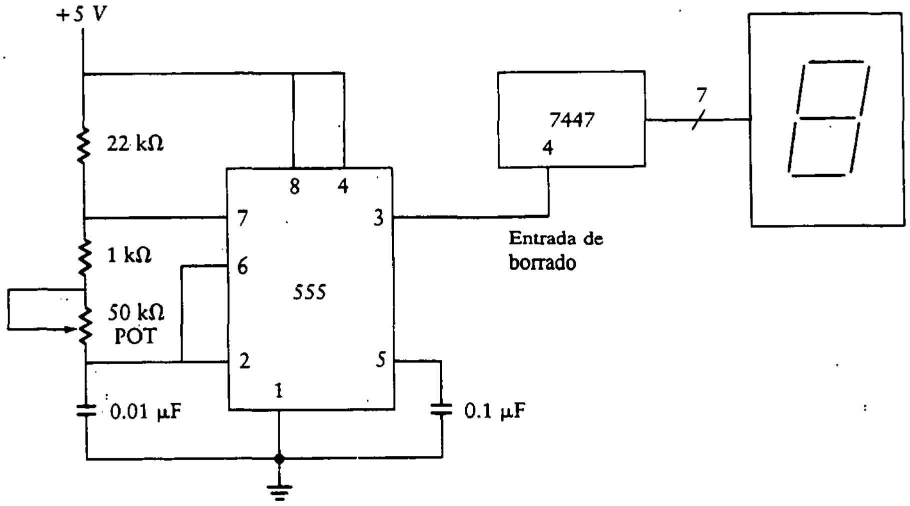


Ejemplo 16.1

Utilizando un oscilador 555, diséñese un circuito para controlar el brillo de un despliegue de siete segmentos.

SOLUCIÓN Con el descodificador BCD a siete segmentos (véase Sec. 16.2), es necesario colocar en BAJO la entrada *blanking* para apagar el despliegue. Se utiliza un reloj 555 para construir un generador de pulsos que excite la entrada *blanking* del descodificador. El generador de pulsos 555 modula la entrada de manera que se ajuste el brillo del despliegue de siete segmentos. La variación en la relación de actividad del 555 cambia el brillo del despliegue. El diseño se muestra en la figura 16.7. La relación de actividad se varía ajustando el potenciómetro de 50 kΩ.

Figura 16.7
Control de brillo variable del despliegue de siete segmentos.



16.3 BIESTABLES, MEMORIAS DE PASO Y REGISTROS DE DESPLAZAMIENTO

Se iniciará ahora el estudio de circuitos con memoria. Las salidas no sólo dependen del valor presente de las entradas sino también de los valores pasados. Esto se conoce como *lógica sincrónica* o *lógica dependiente del tiempo*.

Las tablas de función consideradas hasta ahora sólo contienen dos símbolos, 0 y 1 o L y H. Se expande ahora el vocabulario de símbolos de tablas de función introduciendo algunos nuevos en la figura 16.8. Los primeros tres símbolos en la figura ya son conocidos para el lector. El primero es el dato ALTO, o 1. El segundo es el dato BAJO, o 0. El tercer símbolo, X, se utiliza en las tablas de función para representar valores sin importancia, esto es, que no tienen efecto alguno sobre la salida. En ocasiones se conocen como *condiciones irrelevantes*.

En algunos casos, las transiciones son importantes al determinar la salida del sistema. En el capítulo 14, se analizó en forma breve el disparo por flanco. Se podría presentar un efecto particular en el flanco de subida (o bajada) de la entrada de reloj. En tal caso, las transiciones son importantes, y en la figura 16.8 se utilizan

Figura 16.8
Lista de símbolos equivalentes.

Símbolos	*Tabla de funciones comunes*
1, H	Uno lógico o nivel alto
0, L	Cero lógico o nivel bajo
X	No importa; la entrada puede ser cualquier nivel o forma de onda
↑ o ┌	Transición de subida
↓ o ┐	Transición de bajada
NC	Sin cambio en la salida
Q_{n+1}	Salida después de un evento dado

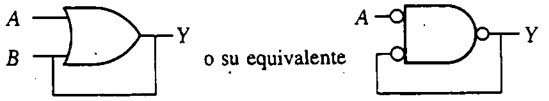


Figura 16.9
Compuerta siempre.

el cuarto y quinto símbolos para especificar la dirección de transición. El símbolo NC se emplea para indicar que no existen cambios en la salida.

Con frecuencia se utiliza más de una tabla de función para indicar los valores de salidas y entradas antes y después de pulsos o transiciones de reloj. Es posible combinar estas tablas y nombrar las variables antes y después del cambio. En dichos casos, una variable Q se reescribe como Q_n y Q_{n+1} para representar los valores anteriores y posteriores a un evento dado, respectivamente. Algunos autores y manuales de datos han adoptado variaciones de esta terminología; sin embargo, la elección particular de símbolos generalmente se explica por sí sola.

Se inicia con circuitos que no tienen memoria, los cuales se cambian después a circuitos con memoria mediante la retroalimentación de la salida a la entrada. En la figura 16.9 se presenta un ejemplo sencillo. La salida de una compuerta OR se retroalimenta a la entrada. Una forma equivalente utiliza una compuerta NAND con retroalimentación. Esta compuerta se conoce como *compuerta siempre* por razones que pronto serán más claras.

Supóngase que se inicia con una entrada y una salida iguales a cero (BAJO). Si ahora se aplica un ALTO a la entrada A, la salida pasa a ALTO. Si la entrada A se vuelve a pasar a BAJO, la salida permanece en ALTO debido a que la entrada B se halla ahora en alto. Una vez que A pasa a ALTO, la salida *siempre* estará en ALTO sin importar los cambios subsecuentes en A.

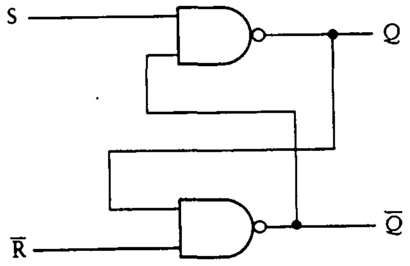
La compuerta siempre es un circuito extremadamente simple con aplicaciones limitadas. Sin embargo, ilustra el hecho de que la retroalimentación se puede utilizar para crear un circuito con capacidad de memoria a partir de uno que no la tenía.

16.3.1 Biestables

Se pueden combinar dos compuertas NAND de la manera mostrada en la figura 16.10 para llegar a una configuración muy útil. Esto se conoce como *biestable de tipo SR (set-reset)*. El biestable tiene dos estados estables y dos salidas complementarias, Q y $\overline{Q}$. La salida permanece en cualquiera de los dos estados estables hasta que cambien las líneas SET o RESET. La tabla de función se muestra en la figura 16.10(b). $Q(t)$ es el valor lógico de Q antes de la aplicación del pulso de reloj, y $Q(t+1)$ es el valor de Q después de la aplicación del pulso de reloj. El dispositivo funciona como memoria ya que las salidas permanecerán iguales hasta que se produzcan cambios momentáneos en la entrada.

Si se coloca al biestable SET y RESET al mismo tiempo ($\overline{S} = 0$ y $\overline{R} = 0$), se obtiene un estado no permitido, como se muestra en el último valor de la tabla de

Figura 16.10
Biestable SR.



(a) Circuito

$\overline{S}$	$\overline{R}$	Q(t + 1)	
0	0	1	No permitido
0	1	1	Set
1	0	0	Reset
1	1	Q(t)	Sin cambio

(b) Tabla de función

Figura 16.11
Tabla de función para el biestable *JK*.

J	*K*	Q (t + 1)
0	0	Q(t)
0	1	0
1	0	1
1	1	$\overline{Q(t)}$

función. Las dos salidas, Q y $\overline{Q}$, ya no conforman un conjunto complementario. Una segunda falla de este circuito simple es que las transiciones se pueden producir en cualquier momento, dependiendo de los cambios de estado de las entradas. El circuito no tiene reloj. Por tanto, se requiere un control cuidadoso de las entradas SET y RESET. Por ejemplo, supóngase que se hace una transición del estado RESET ($\overline{S}$ = 1 y $\overline{R}$ = 0) al estado SET ($\overline{S}$ = 0 y $\overline{R}$ = 1). Si durante esta transición tanto $\overline{S}$ como $\overline{R}$ se encuentran momentáneamente en cero, entonces se presenta el estado de salida no permitido. La presencia del estado no permitido y la ausencia de reloj representan serias fallas para el biestable SR. Debido a estas fallas, la atención se centrará en un circuito mejorado que se conoce como ***biestable** JK*.

El biestable JK no tiene los problemas del SR. Utiliza señales tanto dependientes como independientes del tiempo y se vale de una mezcla de estas dos para controlar las señales de salida, Q y $\overline{Q}$. En la figura 16.11 se presenta la tabla de función para el biestable JK. Se omite el reloj para simplificar la tabla.

La tabla de la figura 16.11 debe compararse cuidadosamente con la de la figura 16.10 para ver las diferencias entre los biestables SR y JK. Nótese que si se

considera a J como la entrada SET y a K como la RESET, coinciden dos de los valores en las tablas. Así, un 0 en la entrada J y un 1 en la K inician el biestable, sin importar el estado en el que se hallaba antes de la aplicación de estas señales. La condición opuesta, $J = 1$ y $K = 0$, activa al biestable. Si ambas entradas se hallan en 1, el biestable SR no cambia la salida, mientras que el JK cambia de estado. Esto es, la salida del biestable JK bajo la condición $J = 1$ y $K = 1$ está dada como

$$Q(t+1) = \overline{Q(t)}$$

lo cual significa que la nueva salida es la inversa de la anterior. Se dice entonces que el biestable "cambia de estado".

Si ambas entradas están en 0, el biestable SR pasa a un estado no permitido con ambas salidas en 1. El biestable JK, con 0 en ambas entradas, permanece en su estado actual. Esto es,

$$Q(t+1) = Q(t)$$

Los *biestables con reloj* pueden cambiar de estado sólo cuando aparece la señal de reloj en la entrada. No importa cuántos cambios sucedan en J y K entre señales de reloj, el estado del circuito no cambiará. Esta forma de lógica puede mantener constante una salida mientras cambian algunas de las entradas. Por tanto, un dispositivo de lógica sincrónica se puede utilizar como dispositivo de memoria para guardar una salida de manera que se pueda remitir a ella una y otra vez. Otra ventaja de la lógica sincrónica es que puede forzarse a que todos los cambios en un circuito complejo se produzcan al mismo tiempo. Esta restricción se utiliza para prevenir problemas potencialmente severos.

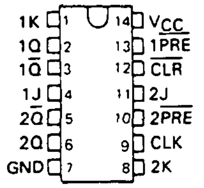
Existen dos tipos básicos de sincronización por nivel y por flanco. Con la *sincronización por nivel*, los datos de entrada no pueden cambiar excepto después de que llega el pulso de reloj. Es importante que la entrada cambie sólo durante el tiempo que está presente el pulso de reloj. El estado del reloj (ya sea 0 ó 1) determina cuándo pueden suceder los cambios en la salida. Por el contrario, con la *sincronización por flanco*, los datos de entrada pueden cambiar en cualquier momento. Los cambios en la salida sólo se producen durante las *transiciones* de la señal de reloj, por lo que es el valor de las entradas en esos momentos lo que interesa.

En la figura 16.12 se ilustran la tabla de función y el diagrama de conexión del biestable JK doble 74108. Nótese que, este circuito integrado contiene entradas PRESET y CLEAR. Si la entrada PRESET está en BAJO y CLEAR en ALTO, el biestable se activa independientemente de los valores de J, K y el reloj. Por tanto, la salida, Q, pasa a ALTO. Si la entrada CLEAR se coloca en BAJO y PRESET en ALTO, el biestable vuelve a cero de manera independiente a las demás entradas. No está permitido colocar PRESET y CLEAR en BAJO, y tanto Q como $\overline{Q}$ pasan temporalmente a ALTO hasta que se quita la señal de entrada.

Si tanto la entrada PRESET como la CLEAR se mantienen en ALTO, las entradas J y K controlan el biestable siempre que esté presente la señal de reloj. La

Figura 16.12
Biestable JK doble 74108. Cortesía de Texas Instruments Incorporated.

SN54H108 . . . J OR W PACKAGE
SN74H108 . . . J OR N PACKAGE
(TOP VIEW)



(a) Diagrama de conexión

INPUTS					OUTPUTS	
$\overline{PRE}$	$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H†	H†
H	H	↓	L	L	Q_0	$\overline{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q_0	$\overline{Q}_0$

(b) Tabla de función

Figura 16.13
Tabla de función para el biestable *D*.

D	*Q* (*t* + 1)
0	0
1	1

notación de flechas en la columna RELOJ de la tabla es utilizada por el fabricante para indicar que los cambios de estado se presentan en la transición negativa del reloj (esto es, el pulso de entrada cambia de ALTO a BAJO). La entrada J funciona como una instrucción SET lógica positiva, mientras que K lo hace como RESET (o CLEAR). Si tanto J como K se hallan en bajo, el biestable permanece en su estado anterior, denominado Q_0. Si J y K se encuentran en ALTO, el biestable cambia de estado.

Existen otras dos grandes categorías de biestables además del JK: los biestables D y T. El biestable D o *de datos*, tiene una sola entrada en vez de dos (como en el caso de los biestables RS y JK). Sin importar el nivel de la entrada, la entrada D se transfiere a la salida. En la figura 16.13 se ilustra la tabla de función para este tipo de biestable. Nótese que el siguiente estado de la salida está dado por el valor actual de la entrada. Un 1 en la entrada activa el biestable, mientras que un 0 en la entrada lo reinicia.

El biestable D se puede construir a partir de un JK haciendo J igual a la entrada D y K igual al complemento de la entrada D. Por tanto, si $D = 1$ para el biestable D, esto es igual que $J = 1$ y $K = 0$ para el biestable JK, y se activa el dispositivo. Lo inverso es cierto para una entrada $D = 0$. Forzando a que K sea el complemento de J, se eliminan dos filas de la tabla de función del JK.

El biestable *T (toggle)*, o *de cambio de estado,* también tiene una sola entrada. Si la entrada, T, es igual a 1, entonces el biestable cambia de estado. Si la entrada es 0, el biestable permanece en su estado actual. Esto se muestra en la tabla de función de la figura 16.14. Un biestable JK se puede convertir en un biestable

Figura 16.14
Tabla de función para el biestable *T*.

T	$Q(t+1)$
0	$Q(t)$
1	$\overline{Q(t)}$

T haciendo que tanto J como K sean iguales a T. Esto es, las entradas J y K se conectan entre sí para formar una sola entrada, T. Por tanto, si $T = 1$, esto es igual que $J = 1$ y $K = 1$, lo cual cambia el estado del biestable JK. Si $T = 0$, entonces $J = 0$ y $K = 0$, por lo que el biestable no cambia de estado.

16.3.2 Memorias de paso y memorias

La *memoria de paso* es una forma de biestable que tiene la capacidad de recordar una entrada anterior y guardarla hasta que el dispositivo se limpie o los datos se tomen por otro circuito integrado para ser leídos. Los CI de memorias de paso vienen en tamaños que van desde un bit de memoria hasta aquellos que pueden guardar miles de bits de información.

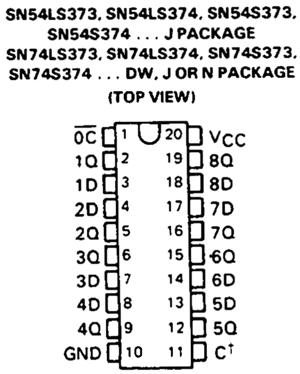
En la figura 16.15 se ilustra el diagrama de terminales y la tabla de función para la memoria de paso de tipo D octal de tres estados 74C373, que es un elemento para almacenar 8 bits.

Existen ocho líneas para entrada de datos, etiquetadas $1D$ a $8D$, y ocho líneas de salida, etiquetadas $1Q$ a $8Q$. El dispositivo está ensamblado en un DIP de 20 terminales. Ocho de éstas se utilizan para entrada de datos, ocho para salida de datos y dos para alimentación; existen dos entradas adicionales, que se describen en seguida. Las salidas están especialmente diseñadas para excitar cargas muy capacitivas como las que se encuentran en el canal de un sistema. Una de las entradas adicionales se denomina LATCH ENABLE. Cuando está en ALTO, las salidas Q siguen a las entradas D como en el caso del biestable tipo D. En este estado, se dice que la memoria de paso es *transparente* ya que las salidas siguen a las entradas. Cuando la entrada LATCH ENABLE se encuentra en BAJO, las salidas no cambian. Esto se indica en la tabla de función del fabricante mostrando que Q es igual a Q.

La otra entrada adicional se denomina OUTPUT DISABLE. Cuando esta entrada se halla en ALTO, todas las salidas pasan al estado de alta impedancia sin importar el estado de las otras entradas.

Un *circuito integrado de memoria* guarda la información hasta que se borra, inicia o escribe con otro bit de información. La operación de escritura se puede ejecutar ya sea con una transición de subida o bajada del reloj o mediante un estado lógico estacionario. Algunos dispositivos escriben el valor real de la entrada y otros la invierten antes de guardar. Del mismo modo, la salida puede ser normal o invertida. Por lo general, la salida tiene su propio mecanismo de ejecución y por tanto se puede leer por medio de una señal de habilitación.

Figura 16.15
Memoria de paso de tipo *D* octal de tres estados 74C373. Cortesía de Texas Instruments Incorporated.



(a) Diagrama de conexión

'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

(b) Tabla de función

Muchos elementos de memoria *multiplexan* las entradas y salidas. Esto es, se utiliza una sola línea para leer o escribir más de un bit. Por tanto, es necesario tener un sistema de señalización de lectura o escritura que controle los procesos de lectura y escritura. Esto contrasta con la mayoría de biestables y memorias de paso simples, ya que para estos circuitos las salidas siempre están disponibles para la lectura.

Ejemplo 16.2

Diséñese un manejador para un despliegue de LED de siete segmentos que mantenga fija la salida mientras cambia la entrada. A veces esto es necesario cuando se miden cantidades como velocidades.

SOLUCIÓN En la figura 16.16 se muestra una solución posible para este problema de diseño. Como sólo se requieren cuatro líneas de datos, se ha elegido una memoria de paso 74175 para mantener los datos en el despliegue mientras cambian las entradas. La información en las cuatro líneas de entrada (terminales 4, 5, 12 y 13) se transfiere a las líneas de salida (terminales 2, 7, 10 y 15) durante el flanco de subida del pulso de reloj en la terminal 9. Cuando la entrada de reloj se halla en nivel ALTO o BAJO, los datos de entrada no tienen efecto sobre la salida. La salida de la memoria de paso alimenta el descodificador/manejador BCD a siete segmentos 7447, el cual a su vez alimenta las siete entradas del despliegue de LED a través de resistores de 330 Ω. Se ha incluido la notación de una conexión con una línea diagonal a través de ésta, lo cual aparece en la figura como una diagonal con un 7 junto a ella. La diagonal 7 es una notación corta que evita el dibujo de 7 líneas separadas y representa siete alambres con siete resistores de 330 Ω que conectan el SN7447 al despliegue de LED de ánodo común.

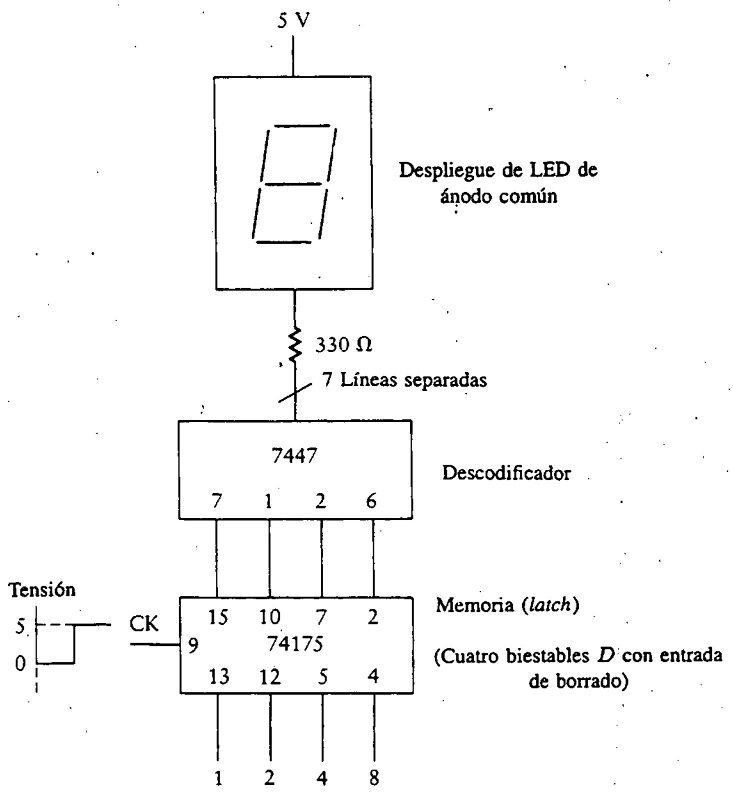


Figura 16.16
Despliegue de LED con memoria de paso.

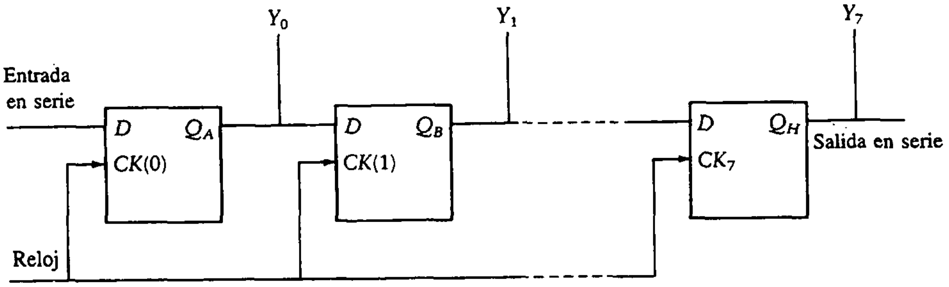
16.3.3 Registros de desplazamiento

Un *registro de desplazamiento* está compuesto de varios biestables JK o D conectados en cascada de manera que, con base en un reloj, el contenido de cada etapa se mueve, o desplaza, una etapa a la izquierda o la derecha. En la figura 16.17 se muestra un registro de desplazamiento simple. Se ilustran ocho etapas, de Q_A a Q_H. Los bits de datos, ya sean 0 ó 1, se pasan en orden de manera que el primer bit que entra es el primero que sale. El desplazamiento sucede en el flanco de subida de la señal de reloj. Como resultado, el registro de ocho etapas de la figura 16.17 retarda los datos de entrada durante ocho pulsos de reloj.

El registro de desplazamiento se puede pensar como un dispositivo de memoria que consta de N elementos de memoria conectados entre sí en cadena. Cada celda de la cadena es capaz de recordar un bit de información. Ese bit se puede transferir a la celda adyacente, izquierda o derecha, con base en una instrucción de control adecuada.

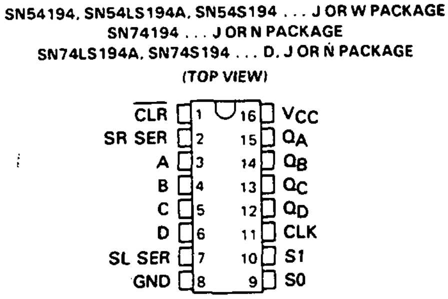
La figura 16.18 ilustra una clase particular de registro de desplazamiento de 4 bits, el 74194. Este se conoce como registro de desplazamiento *universal* ya que se puede configurar en varias formas. El circuito contiene 46 compuertas

Figura 16.17
Registro de desplaza-
miento.



Registro de desplazamiento utilizando biestables D

Figura 16.18
Registro de desplazamiento universal bidireccional de 4 bits 74194. Cortesía de Texas Instruments Incorporated.



(a) diagrama de conexión

INPUTS											OUTPUTS			
CLEAR	MODE		CLOCK	SERIAL		PARALLEL					Q_A	Q_B	Q_C	Q_D
	S1	S0		LEFT	RIGHT	A	B	C	D					
L	X	X	X	X	X	X	X	X	X		L	L	L	L
H	X	X	L	X	X	X	X	X	X		Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	H	H	↑	X	X	a	b	c	d		a	b	c	d
H	L	H	↑	X	H	X	X	X	X		H	Q_{An}	Q_{Bn}	Q_{Cn}
H	L	H	↑	X	L	X	X	X	X		L	Q_{An}	Q_{Bn}	Q_{Cn}
H	H	L	↑	H	X	X	X	X	X		Q_{Bn}	Q_{Cn}	Q_{Dn}	H
H	H	L	↑	L	X	X	X	X	X		Q_{Bn}	Q_{Cn}	Q_{Dn}	L
H	L	L	X	X	X	X	X	X	X		Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

H = high level (steady state)
L = low level (steady state)
X = irrelevant (any input, including transitions)
↑ = transition from low to high level
a, b, c, d = the level of steady-state input at inputs A, B, C, or D, respectively.
Q_{A0}, Q_{B0}, Q_{C0}, Q_{D0} = the level of Q_A, Q_B, Q_C, or Q_D, respectively, before the indicated steady-state input conditions were established
Q_{An}, Q_{Bn}, Q_{Cn}, Q_{Dn} = the level of Q_A, Q_B, Q_C, respectively, before the most-recent ↑ transition of the clock.

(b) Tabla de función

equivalentes. El registro de desplazamiento se puede cargar en paralelo colocando los dos controles de MODO, $S1$ y $S0$, en ALTO. Entonces se cargan los 4 bits del dato en los biestables asociados utilizando las entradas A, B, C y D. La salida se lee en paralelo como Q_A a Q_D. La X en las columnas SERIE de la tabla indican que, durante la carga en modo paralelo, se inhibe el flujo de datos en serie. Si ahora se colocan los controles de modo en $S0$ = ALTO y $S1$ = BAJO, los datos se desplazan a la derecha durante el flanco de subida del pulso de reloj (estúdiese la tabla de función para convencerse de que la cuarta y quinta filas confirman esta observación). Por el contrario, una entrada en BAJO en $S0$ y una en ALTO en $S1$

provocan un desplazamiento a la izquierda durante el flanco de subida del pulso de reloj. La sexta y séptima filas de la tabla confirman esto. Si ambos controles de modo se encuentran en BAJO, el estado de los registros no cambia, por lo que se inhibe el reloj. Se proporciona una entrada CLEAR, la cual coloca todos los registros en BAJO de manera independiente de los valores de las otras entradas o del reloj. Las entradas de modo deben cambiar sólo mientras la entrada de reloj no cambie.

Aunque existen varias configuraciones de registros de desplazamiento, éstas se pueden dividir en las siguientes cuatro categorías, dependiendo de que las entradas y salidas se manejen en serie (una tras otra) o en paralelo:

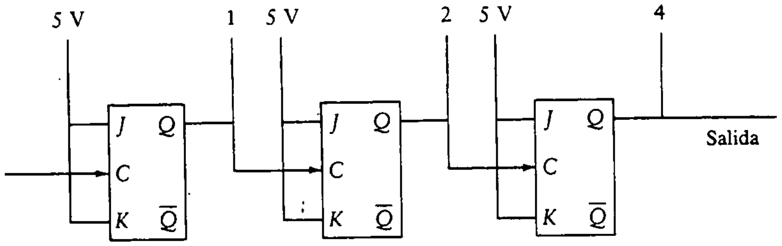
1. *Entrada en serie-salida en serie (ESSS)* Los datos de entrada ingresan en serie al registro de desplazamiento y se toman en serie de la terminal de salida, retrasados cierto número de pulsos de reloj iguales al número de celdas de almacenamiento. La figura 16.17 constituye un ejemplo de registro de desplazamiento ESSS.
2. *Entrada en serie-salida en paralelo (ESSP)* Los datos de entrada ingresan en serie al registro de desplazamiento, pero se toman de las terminales de salida en paralelo. Esto requiere más de una terminal de salida, ya que los bits se leen en grupos de múltiples bits. Por ejemplo, si los bits representan un código BCD, los bits de salida se leen en grupos de cuatro para representar una palabra BCD.
3. *Entrada en paralelo-salida en serie (EPSS)* Este tipo de registro de desplazamiento tiene la capacidad de cargar los datos en paralelo y desplazarlos en serie. Este registro utiliza compuertas NAND e inversores con los biestables para pasar los datos de entrada en forma apropiada.
4. *Entrada en paralelo-salida en paralelo (EPSP)* Este tipo de registro de desplazamiento con acceso en paralelo es mucho más complejo debido a las compuertas adicionales que se deben añadir. Se puede pensar como una combinación en paralelo de registros de desplazamiento de tipo ESSS.

16.4 CONTADORES

Los contadores pueden ser asincrónicos (de rizo) o sincrónicos. En la figura 16.19 se ilustra un *contador asincrónico*. Cada uno de los bloques de este diagrama es un biestable JK configurado como biestable T ya que las entradas J y K se encuentran conectadas entre sí. Nótese que el dato de entrada se utiliza como reloj. Un biestable T cambia de estado sólo cuando su entrada se halla en ALTO.

Supóngase que se alimenta un tren de pulsos en el primer biestable. La primera vez que la entrada pasa a ALTO, el biestable se activa. La segunda vez el biestable se limpia, y así sucesivamente. Por tanto, la salida del primer biestable, etiquetada como 1, es una onda pulsátil de un medio de la frecuencia de entrada. El proceso se repite en el segundo biestable, y cada dispositivo cambia una vez por cada dos

Figura 16.19
Contador asincrónico.



cambios en el circuito de la izquierda. Las salidas se etiquetan de acuerdo con el peso en un número binario. Así, la tercera salida corresponde a 2^2, o 4. El contador genera un número de tres bits, que sigue el siguiente ciclo:

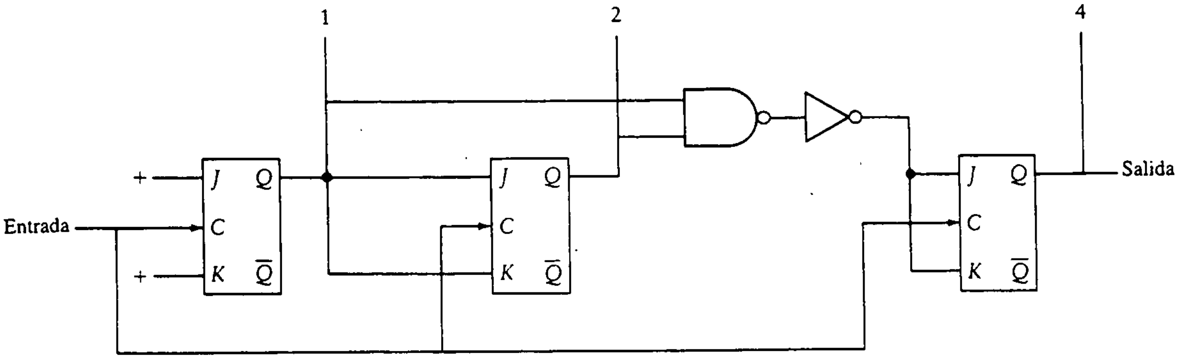
$$000, 001, 010, 011, 100, 101, 110, 111, 000, \ldots$$

Nótese que la frecuencia con que cada bit cambia de 0 a 1 es un medio de la del bit a su derecha. Por tanto, el circuito cuenta de 000 a 111 y regresa a 000 cuando la entrada pulsa ocho veces. El contador es asincrónico, ya que la cuenta ocurre en el biestable de la derecha sólo después de que el pulso de reloj "llega" del biestable de la izquierda al de la derecha.

El circuito de la figura 16.20 es un *contador sincrónico* ya que la entrada de reloj alimenta los tres biestables en forma simultánea. El segundo biestable cambia con un pulso de reloj sólo si la salida del primero es 1. Esto representa una condición de *acarreo* en la operación de añadir un 1 a la salida anterior. El tercer biestable cambia con un pulso de reloj sólo si tanto la primera como la segunda salidas son 1.

Como la salida de cada biestable se encuentra a una frecuencia de un medio de la de su entrada, el biestable se conoce en ocasiones como circuito *divisor por* 2.

Figura 16.20
Contador sincrónico.



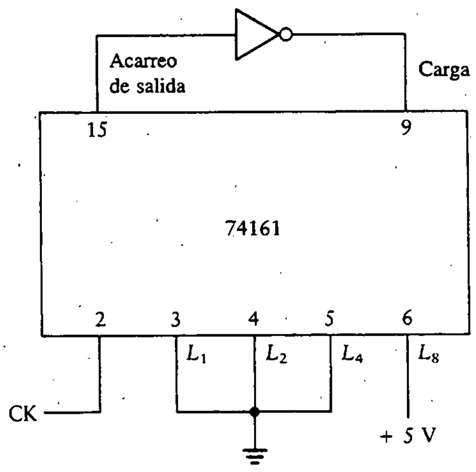


Figura 16.21
Diagrama de conexión para contar de 8 a 14.

En consecuencia, el contador se denomina *contador divisor por n*, donde *n* es el número de ciclos de entrada necesarios para producir un ciclo de salida.

La mayoría de los contadores TTL y CMOS son *sólo ascendentes*, esto es, únicamente cuentan números binarios en forma creciente. Se pueden utilizar inversores en la salida para cambiar un contador ascendente a descendente. Este trabaja sólo si el contador cuenta una cantidad de números binarios que es potencia de dos. Esto es, si un contador de tres bits cuenta de 000 a 111 (2^3 números), la operación de inversión cambia de conteo ascendente a descendente. Sin embargo, si el contador se utiliza para contar sólo entre 000 y 101, entonces la inversión no tendrá el efecto deseado.

Un *contador ascendente-descendente* suma, ignora o resta la cuenta actual en cualquier momento. Algunos ejemplos de éste son los TTL 74190 y 74192 y los CMOS 74C192, 74HC160, 161 y 162. Aunque son los contadores más flexibles y versátiles, también son más caros y consumen más energía que los contadores sólo ascendentes.

Los contadores se pueden conectar en secuencia con la salida del primero como entrada al segundo, y de esta forma se puede alargar la cuenta. Es posible acortar la cuenta de un contador particular preestableciéndolo en un número diferente de cero. En la figura 16.21 se muestra un ejemplo. Este circuito utiliza un contador binario sincrónico preestablecible 74161 para contar de 8 a 14. Las entradas de carga, *L*1, *L*2, *L*4 y *L*8, se utilizan para preestablecer el contador en cualquier valor deseado. En este ejemplo, las conexiones preestablecen el contador en 1000 o, en decimal, 8. Estos bits se cargan en el contador siempre que la terminal LOAD, 9, pasa a BAJO. La terminal CARRY-OUT (también conocida como acarreo adelantado), terminal 15, pasa a ALTO cuando la cuenta alcanza 15 (1111). Esta se alimenta a través del inversor de tal forma que la entrada LOAD pasa a BAJO, llevando por tanto el contador a 1000.

En la figura 16.22 se muestra otro ejemplo de secuencia de conteo truncada. En este caso, la entrada de carga se establece en 0000, de manera que el contador

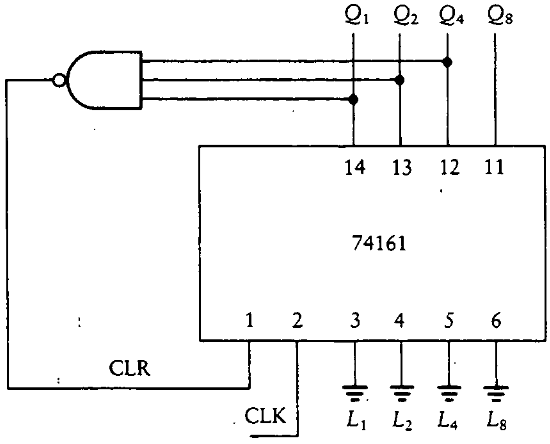


Figura 16.22
Diagrama de conexión para que el contador cuente hasta 7.

empezará a contar en 0000. Cuando la cuenta de salida alcanza 0111, o 7, las tres entradas de la compuerta NAND están en ALTO, y la salida de la NAND pasa a BAJO. Esto lleva al contador a 0000.

Ahora debe quedar claro que el contador se puede configurar para que inicie en cualquier valor y termine en cualquier otro.

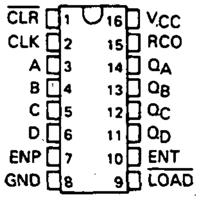
En los dos ejemplos anteriores se utilizó el circuito integrado 74161, ahora se verá con más detalle este grupo de CI. En la figura 16.23 se presenta alguna información con respecto a la serie de contadores sincrónicos de 4 bits 74160 a 74163. Esta figura se extrajo de las hojas de datos y representa sólo una parte de la información disponible para el ingeniero de diseño. Los chips están compuestos de biestables sincronizados con la misma señal. Esta clase de contadores es *programable*, es decir, la salida se puede preestablecer en cualquier combinación deseada. Cuando las señales se colocan en las entradas de carga y se habilita LOAD, el contador pasa al valor preestablecido sin importar el valor de las demás entradas.

Se examinará ahora el diagrama de tiempo de la figura. Moviéndose de izquierda a derecha (aumento de tiempo), la primera acción consiste en que la entrada CLEAR pase a BAJO. Algunos de los chips en este grupo tienen *borrado asincrónico* y otros *borrado sincrónico*. Nótese que en el caso del borrado asincrónico, las salidas Q_A a Q_D se borran tan pronto como la entrada CLEAR pasa a BAJO. En el borrado sincrónico la acción se produce en la primera transición del reloj posterior a la entrada CLEAR.

La siguiente acción mostrada en el diagrama es la entrada LOAD pasando a BAJO. Esto hace que los datos de entrada se carguen en la siguiente transición del reloj. Nótese que el ejemplo muestra 1100, o 12, como la secuencia de carga (D es el bit más significativo y A el menos significativo). La cuenta se habilita cuando las entradas de habilitación pasan a ALTO. Se muestra el contador aumentando a través de 1100, 1101, 1110, 1111, 0000, 0001, 0010. En este punto, ENABLE P pasa a BAJO y el contador guarda el último valor.

Figura 16.23
Serie de contadores sincrónicos de 4 bits 74160 a 74163. Cortesía de Texas Instruments Incorporated.

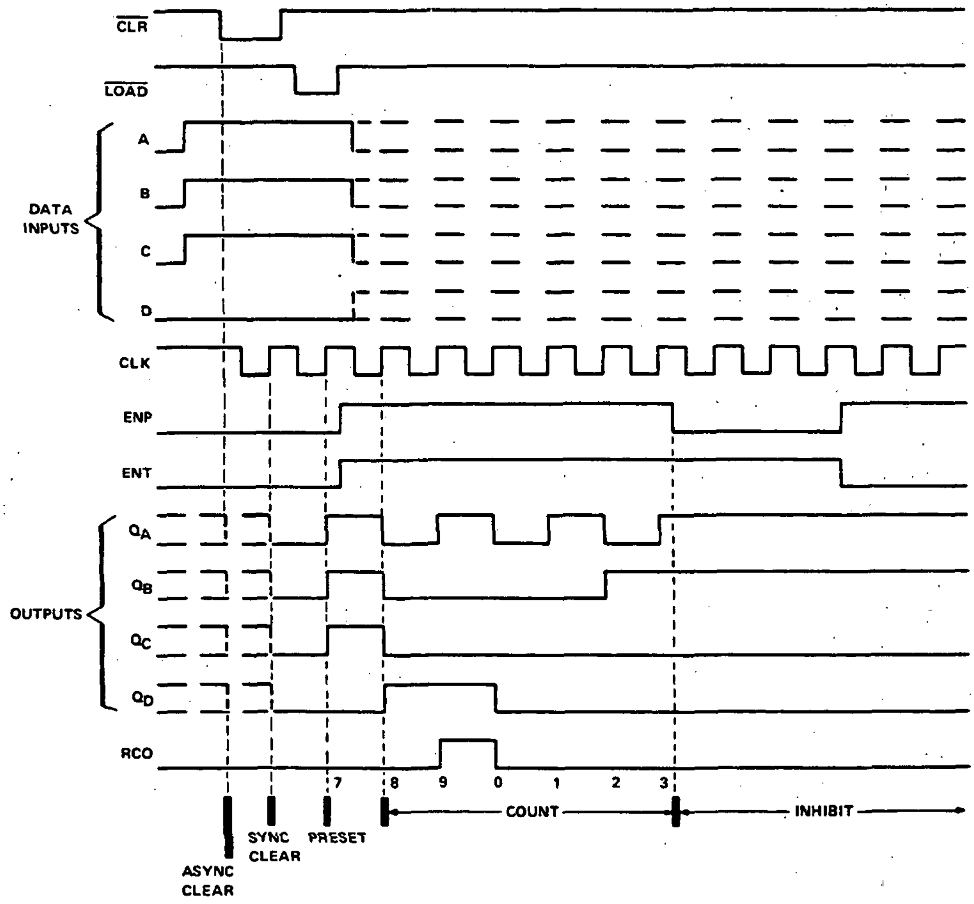
SERIES 54', 54LS', 54S' . . . J OR W PACKAGE
SERIES 74' . . . J OR N PACKAGE
SERIES 74LS', 74S' . . . D, J OR N PACKAGE
(TOP VIEW)



typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence:

1. Clear outputs to zero ('160 and 'LS160A are asynchronous; '162, 'LS162A, and 'S162 are synchronous)
2. Preset to BCD seven
3. Count to eight, nine, zero, one, two, and three
4. Inhibit



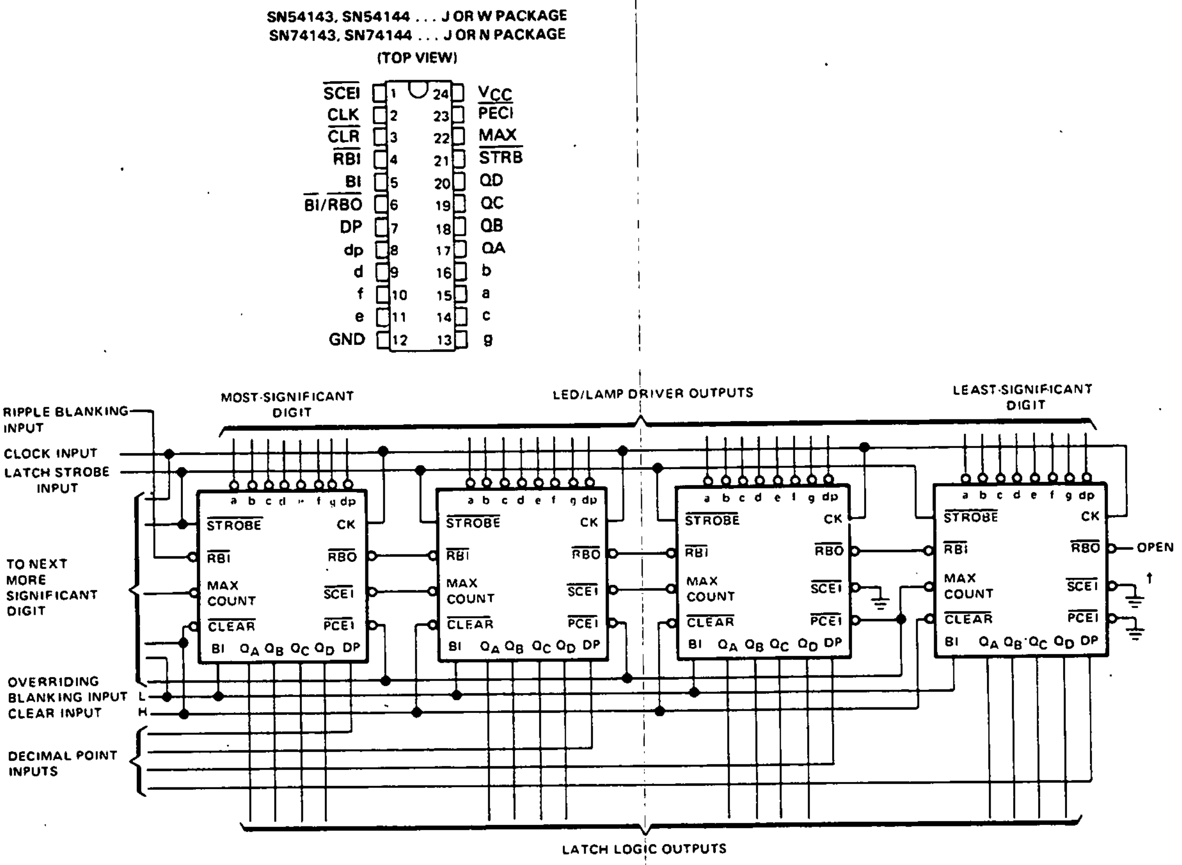


Figura 16.24 Serie de contadores de 4 bits con memoria de paso y manejadores de despliegue de 7 segmentos. SN74143 y SN74144. Cortesía de Texas Instruments Incorporated.

En la figura 16.24 se ilustra un contador TTL/MSI que incluye, en el mismo circuito integrado, el contador, la memoria de paso, el descodificador y los manejadores de despliegue. Este es un chip muy útil ya que combina una amplia variedad de funciones necesarias para los manejadores de LED o lámparas. También se muestra en la figura un ejemplo de cómo colocar los chips en cascada y alargar la cuenta.

Los circuitos TTL MSI series 74143 y 74144 contienen el equivalente a 86 compuertas en un solo circuito integrado. Incluyen resistores relativamente grandes en serie con las bases de los transistores de entrada, lo cual disminuye las necesidades de corriente.

El *manejador SN74143* tiene salidas diseñadas para mantener una corriente constante de aproximadamente 15 mA en las cargas para las salidas de siete segmentos *a* hasta *g*. La salida del *punto decimal* (dp) puede mantener una corriente de 7 mA, que se aplica a tensiones que van de 1 V a 5 V. Es importante notar que este CI memoriza y borra en el NIVEL de la señal aplicada y no en la transición de ALTO a BAJO. Es esencial consultar el manual de datos para entender este complejo CI.

El *manejador 74144* tiene salidas en saturación con alto consumo de corriente para excitar indicadores que tienen intervalos de tensión de hasta 15 V o requieren un manejo de hasta 25 mA de corriente. La máxima frecuencia de reloj suele ser de 18 MHz, y la disipación de potencia es de 280 mW como término medio.

Ejercicios

D16.1 Diséñese un circuito para manejar un solo despliegue de siete segmentos que mantenga fija la salida mientras cambia la entrada. Utilícese un contador de década 74162 manejado por un generador de pulsos asincrónico 555.

Resp.: Remítase a la figura D16.1 para la solución a este problema. El reloj 555 (CK1) excita el contador sincrónico de 4 bits 74162 proporcionando una señal a la memoria de paso 74175. Siempre que la segunda señal de reloj (CK2) pasa de BAJO a ALTO, los datos en la entrada de la memoria de paso se transfieren a la salida y luego al despliegue de siete segmentos que no cambia hasta la siguiente transición en CK2.

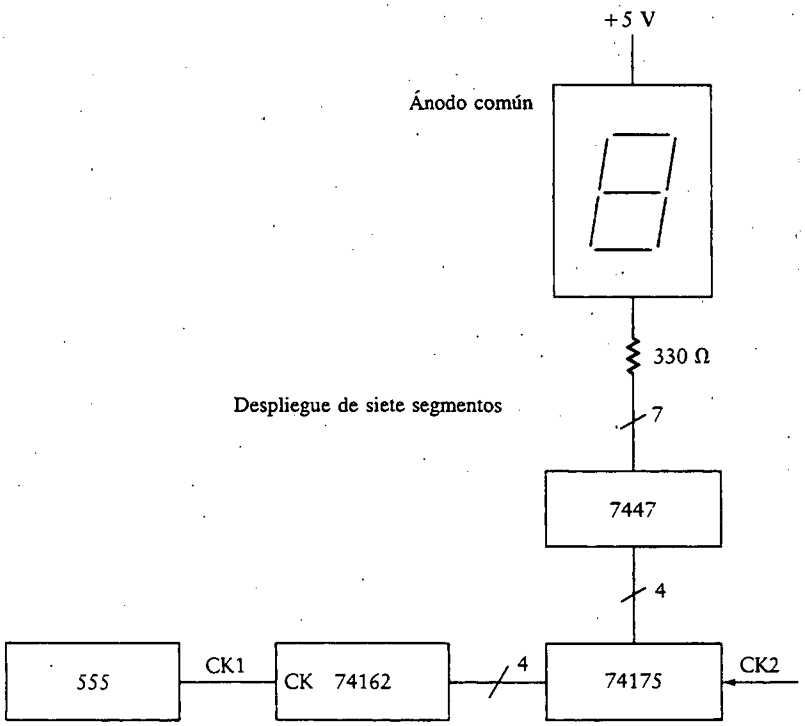


Figura D16.1

D16.2 Repítase el problema D16.1 utilizando un contador de 4 bits con memoria de paso y manejador de despliegue de siete segmentos 74143.

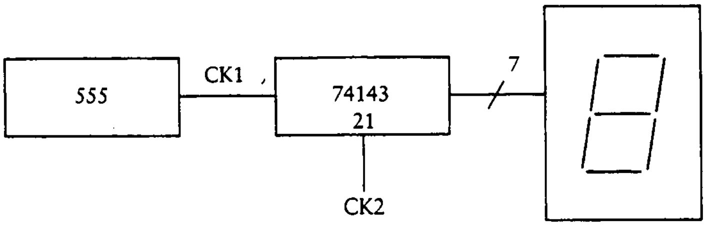
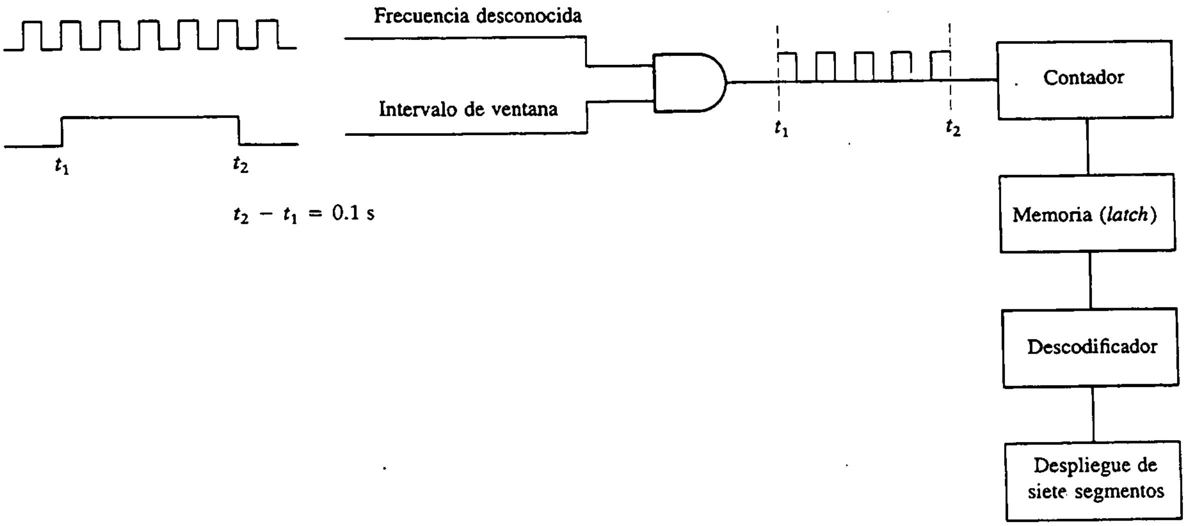


Figura D16.2

Resp.: Como puede verse del diagrama de bloques de la figura D16.2, el CI sólo resuelve el diseño completo ya que dentro del CI están el contador BCD, la memoria de paso de 4 bits y el descodificador/manejador. Una diferencia importante al utilizar el 74143 es que la cuenta se guarda en el despliegue con una memoria con disparo por nivel de tensión. Se debe mantener la terminal 21 en alto para pasar los datos al despliegue. Esto se muestra en la figura D16.2 como CK2.

Una aplicación importante de los contadores es en la medición de frecuencia o velocidad. Se puede combinar un contador con un generador de pulso para formar un contador de frecuencia. Esto se muestra en la figura 16.25. El contador cuenta el número de pulsos (o ciclos) que se presentan durante el tiempo que el pulso de "ventana" está en ALTO. Como se conoce el ancho del pulso de ventana, se puede calcular la frecuencia de entrada. Por ejemplo, si la ventana es exactamente de 1 s de duración, el contador proporciona la salida en Hz.

Figura 16.25 Contador de frecuencia.



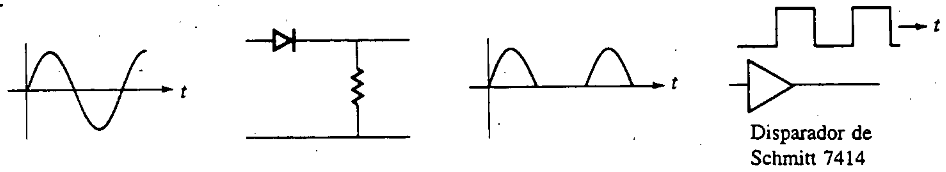
Ejemplo 16.3

Diséñese un contador de frecuencia de una señal senoidal en un intervalo entre 5 kHz y 15 kHz. La amplitud de la señal de entrada es 10 V rms. Despliéguese la salida en tres LED de 7 segmentos con tres dígitos significativos (es decir, $XX.X$ kHz).

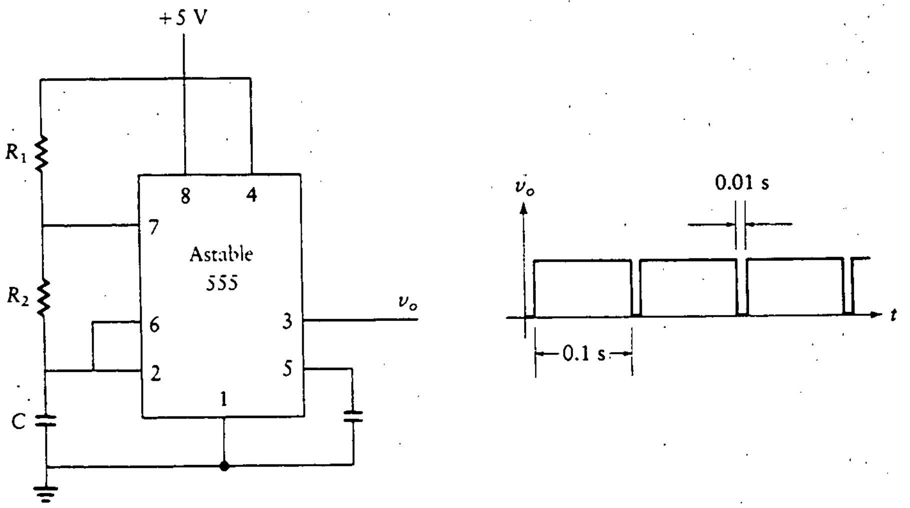
SOLUCIÓN Remítase al sistema en diagrama de bloques que se muestra en la figura 16.25, en donde se hace que el tiempo de la ventana sea 0.1 s. A 5 kHz, se obtienen 500 pulsos y a 15 kHz se obtienen 1500 pulsos dentro del periodo de la ventana. Esto cumple con las especificaciones de tres dígitos significativos. En primer lugar se acondiciona la señal senoidal para crear pulsos, como se muestra en la figura 16.26(a). Se utiliza un rectificador de media onda y luego se alimenta un inversor con disparador de Schmitt 7414 para obtener un tren de pulsos limpio.

La ventana se crea con un astable 555 operando con una relación de actividad de 10. Se desea que el tiempo en bajo sea corto, de manera que tome poco tiempo actualizar el despliegue. Se selecciona el tiempo en bajo de modo que sea el 10% del tiempo en alto. Este circuito se muestra en la figura 16.26(b). Se selecciona un periodo, $T = 0.11$ s, para el astable 555, por lo que su frecuencia es

Figura 16.26
Medida de frecuencia para el ejemplo 16.3.



(a) Acondicionamiento de la señal



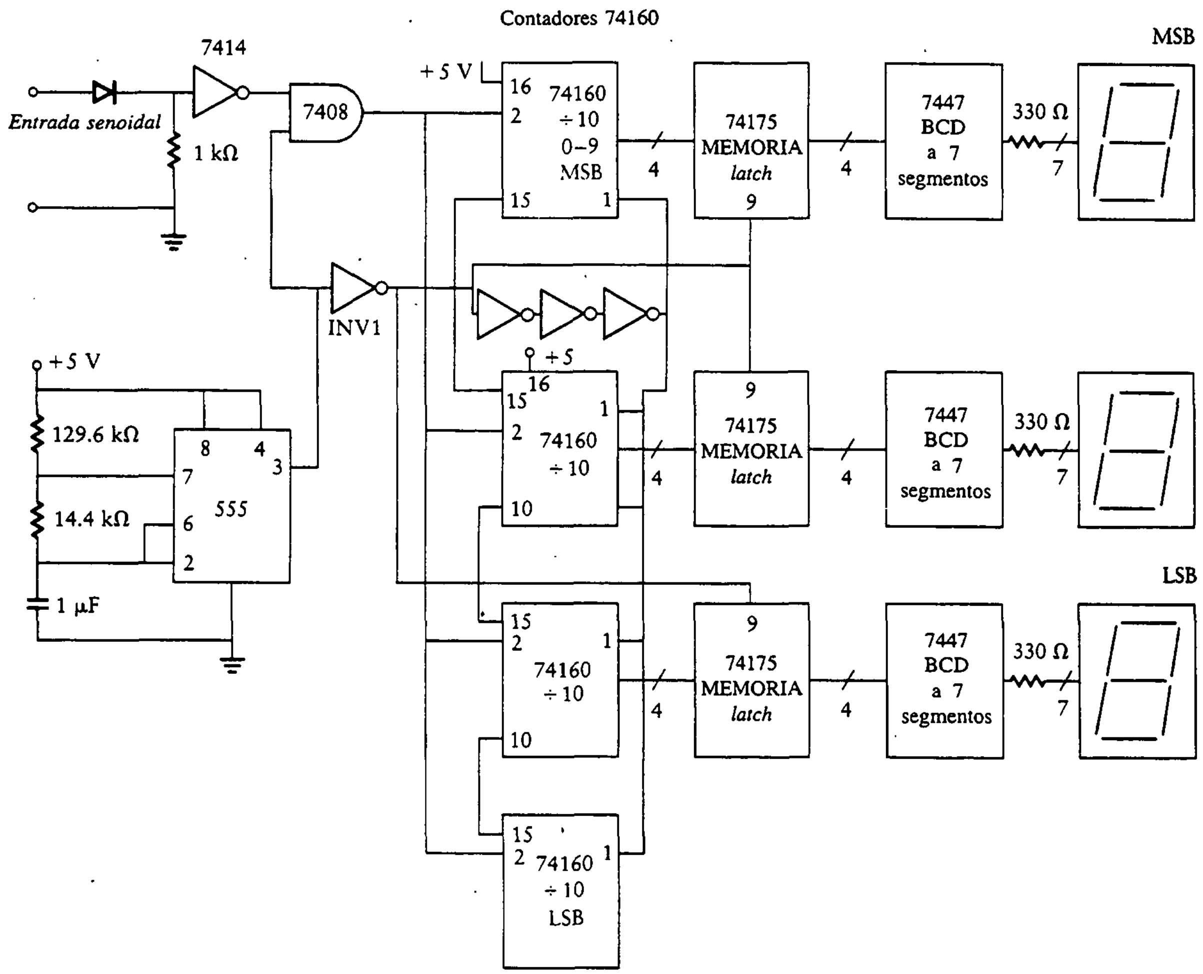
(b) Creación de la ventana

$f = 1/T = 9.09$ Hz. Se utilizan las técnicas del capítulo 14 para diseñar el circuito de reloj, como sigue: Selecciónese $C = 0.1\ \mu$F y obténgase

$$9.09 = \frac{1.44}{C(R_1 + 2R_2)}$$

de la cual se obtiene

$$(R_1 + 2R_2) = \frac{1.44}{9.09C} = 158.4\ \text{k}\Omega$$



(c) Diagrama de bloques del sistema

Como la relación de actividad es 10, se tiene

$$\text{Relación de actividad} = \frac{\text{tiempo en alto}}{\text{tiempo en bajo}} = \frac{R_1}{R_2} + 1 = 100$$

Así,

$$\frac{R_1}{R_2} = 9$$

y

$$R_1 + 2R_2 = 9R_2 + 2R_2 = 158.4 \text{ k}\Omega$$

Se despeja el valor para R_2 y R_1, dando como resultado

$$R_2 = 14.4 \text{ k}\Omega$$
$$R_1 = 129.6 \text{ k}\Omega$$

Ahora se hace la AND para la salida del tren de pulsos a partir de la figura 16.26(a) con la ventana de la figura 16.26(b) para obtener el número de pulsos en 0.1 s. El diagrama de bloques del sistema completo se muestra en la figura 16.26(c), donde los pulsos de salida de la compuerta AND 7408 se cuentan con cuatro contadores de década sincrónicos 74160. Como sólo se necesitan tres despliegues de 7 segmentos, se requieren únicamente tres memorias de paso 74175 y tres manejadores de descodificador BCD a 7 segmentos 7447.

El flanco de subida del contador se utiliza para dos propósitos:

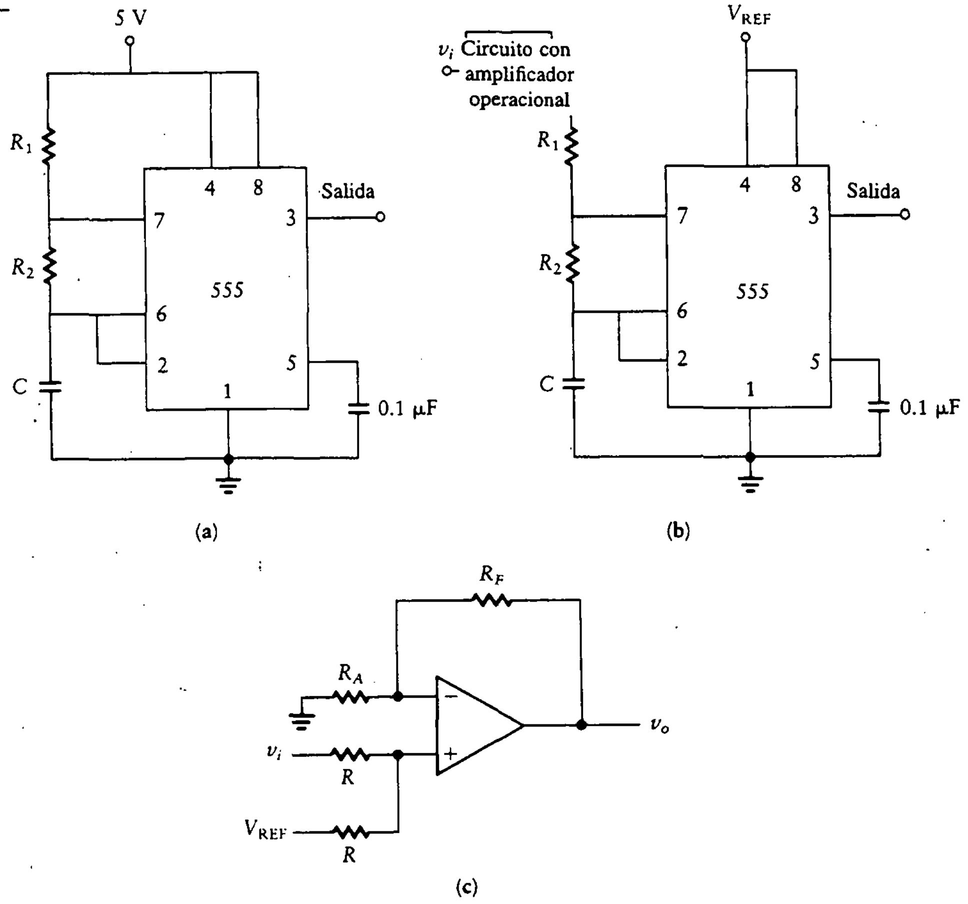
1. Guardar la última cuenta en el despliegue.
2. Llevar el contador otra vez a 0000.

Para asegurar que el contador se limpie *después* de que la última cuenta se pasa a los despliegues, se incluyen los tres inversores extra entre la señal de paso, después de INV1, y la señal CLEAR del contador. Esto es importante ya que si no se retrasa la señal CLEAR, el despliegue mostrará ceros para cualquier cuenta de entrada.

16.5 RELOJES

Los relojes se utilizan para controlar los tiempos en los cuales deben suceder los cambios en un circuito digital. Uno de los relojes más populares se forma utilizando el cronómetro/oscilador 555, que se analiza en el capítulo 14. Se puede recurrir a una gran variedad de otros dispositivos para relojes, como multivibradores, cronómetros y osciladores/divisores.

Figura 16.27
VCO utilizando un 555.

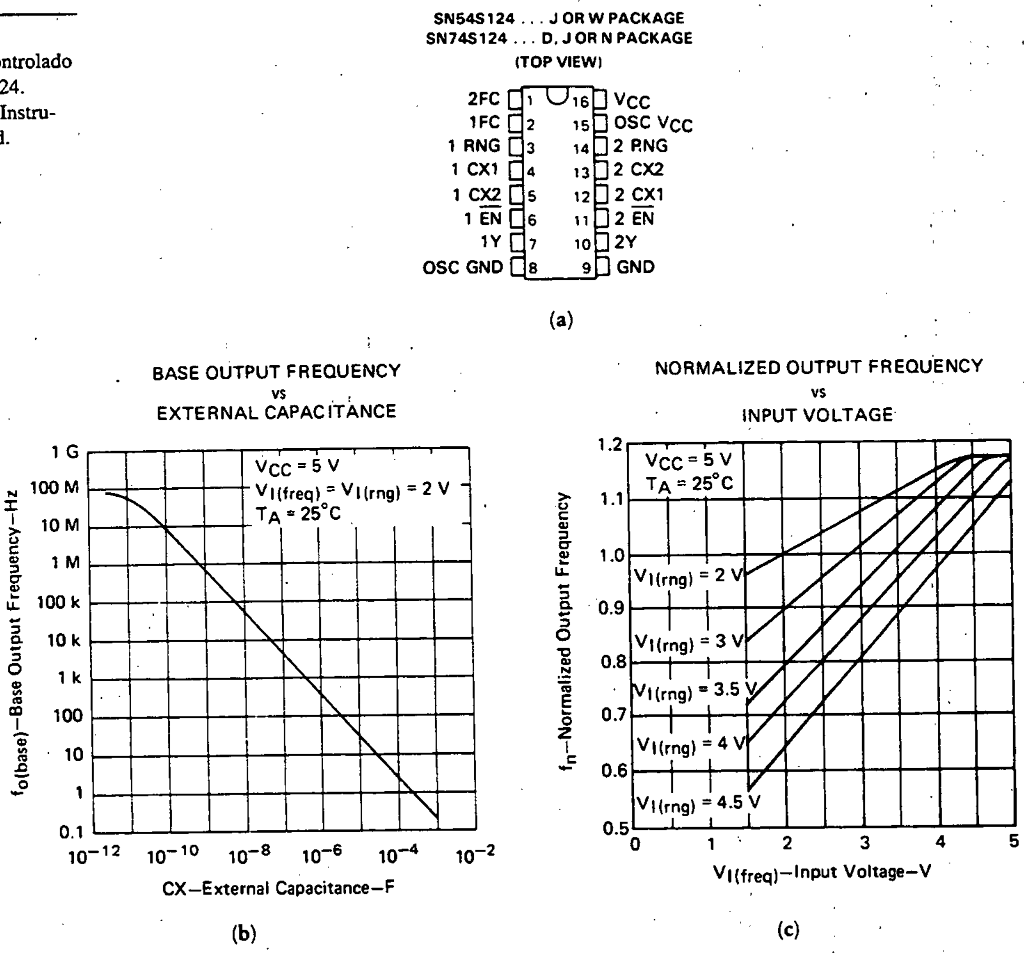


16.5.1 Oscilador controlado por tensión (VCO)

La frecuencia de salida de muchos osciladores depende del valor de una constante de tiempo RC. A veces se requiere que la frecuencia varíe con una *tensión* de entrada. Ejemplos de estos casos son los moduladores en frecuencia (FM), los generadores de tono, los convertidores A/D y los voltímetros digitales. Los osciladores de este tipo se denominan *osciladores controlados por tensión* (VCO, *voltage-controlled oscillators*).

La frecuencia de oscilación de un oscilador de relajación, como el 555 en modo astable, depende tanto de la constante de tiempo *RC* como de la tensión a la cual se carga el capacitor. En las aplicaciones del 555 analizadas en el capítulo 14, se alimentaron con la misma tensión el circuito de carga externo y los divisores de tensión internos. Se repite el diagrama de circuito para el 555 en modo astable como en la figura 16.27(a). Se utilizan las mismas fuentes de tensión para asegurar que la frecuencia de salida sea independiente de las variaciones de tensión en la fuente.

Figura 16.28
Doble oscilador controlado por tensión 74LS124. Cortesía de Texas Instruments Incorporated.



Se configura ahora el 555 como se muestra en la figura 16.27(b), con el circuito de carga externo alimentado por una tensión de entrada, V_i, a través de un circuito con amplificador operacional, como se muestra en la figura 16.27(c). Los divisores de tensión internos están alimentados por una tensión de referencia fija, V_{REF}. Si se varía la tensión sobre una pequeña región, la frecuencia de salida cambiará como función de esta tensión. El resultado es un VCO simplificado con limitaciones de linealidad e intervalo de frecuencia. Estas limitaciones hacen necesario considerar un circuito más elaborado.

En la figura 16.28 se muestran el diagrama de terminales y las curvas características típicas del oscilador controlado por tensión 74LS124. Este CI ofrece dos osciladores controlados por tensión independientes en un solo paquete. La frecuencia de salida de cada VCO se establece por medio de un solo componente externo, ya sea un capacitor o un cristal, en combinación con dos entradas sensibles a tensión. Una de las entradas controla el intervalo de frecuencia y la

otra, la frecuencia real. La relación entre estas entradas y la frecuencia de salida se muestra en las curvas de la figura 16.28. En la curva de la figura 16.28(b) se muestra la frecuencia central como función de la capacitancia. En las curvas de la figura 16.28(c) se observa el intervalo de la frecuencia de salida, expresado como un múltiplo de la frecuencia central, conforme varía la tensión de entrada. En esta gráfica existen varias curvas paramétricas. Cada una representa una tensión diferente en el intervalo de entrada. Estos osciladores estables se pueden fijar para que operen en cualquier frecuencia entre 0.12 Hz y 85 MHz. Pueden operar con una sola fuente de 5 V. Sin embargo, se proporciona un conjunto de terminales para alimentación y tierra (V_{CC} y GND) para la habilitación, la sincronización de compuertas y las secciones de salida +, así como un conjunto separado (*OSC* V_{CC} y OSC GND) para el oscilador y los circuitos asociados para control de frecuencia. Esto se hace con el fin de tener un aislamiento efectivo en el sistema.

Ejemplo 16.4

Utilícese un VCO 74S124 para convertir la tensión de salida de un puente sensible a la temperatura en una frecuencia que sea proporcional a la temperatura. La frecuencia central debe ser 5 kHz. El sensor de temperatura proporciona las siguientes salidas:

Con 110°F, la salida es 4 V.
Con 90°F, la salida es 2 V.

SOLUCIÓN El diseño consiste en un circuito integrado 74S124 con las tensiones de entrada apropiadas. En primer lugar se fija la frecuencia central utilizando las curvas de frecuencia de la figura 16.28(b). Para obtener una frecuencia de 5 kHz, la capacitancia debe ser más o menos 10^{-7} F, o 0.1 μF.

Luego se debe decidir qué valor de tensión utilizar para el intervalo de entrada. El segundo conjunto de curvas en la figura 16.28(b) proporciona la información necesaria. La tensión de entrada varía de 2 V a 4 V, y esto se lee en la abscisa. Se desea elegir una $VI_{(\text{int})}$ que permita que esta variación de tensión provoque una excursión simétrica alrededor de una frecuencia de salida normalizada a uno, que corresponda a la frecuencia central, f_o. Por ejemplo, si se elige un intervalo de tensión de 4 V, la entrada 2 V provocaría una frecuencia de salida de $0.72f_o$, donde f_o es la frecuencia central. Una tensión de 4 V crearía una frecuencia de salida de $1.03f_o$. Estos valores se leen de la curva $VI_{(\text{int})} = 4\ V$ en la figura 16.28(c). Para una entrada de 4 V, la curva proporciona una frecuencia normalizada de 1.13, por lo que la frecuencia de salida es 1.13 × 5 kHz, o 5.65 kHz. Para una entrada de 2 V, la curva proporciona una frecuencia normalizada de 0.9, de modo que la frecuencia de salida sería 0.9 × 5 kHz, o 4.5 kHz. Para alcanzar una excursión de frecuencia más simétrica, se elige un intervalo de tensión que sea ligeramente mayor que 3 V.

Esta es una elección muy pobre del intervalo de tensión para esta variación particular de la tensión de entrada ya que las frecuencias no son simétricas alrededor de f_o. Tal vez una mejor elección sería un intervalo de entrada de aproximadamente 3 V. El intervalo de la frecuencia de salida se encuentra entonces a partir de la figura.

En seguida se presenta un procedimiento paso a paso para ajustar el oscilador controlado por tensión SN74S124. Se convierte una tensión específica en una frecuencia que se pueda medir utilizando una ventana, como se muestra en la figura 16.25. Se ilustra el procedimiento para las especificaciones del ejemplo 16.4. Esto es, se desea visualizar el número 90 cuando el VCO reciba 2 V y el número 110 cuando el VCO reciba 4 V. No interesa saber qué representan los números 90 y 110. Dividiendo el problema en pasos, se obtiene lo siguiente:

1. Se decide cuál será la frecuencia de salida del VCO, f_{o1}, cuando la tensión de entrada al VCO sea 2 V.

$$f_{o1} = \frac{90}{t_2 - t_1}$$

$t_2 - t_1$ es la ventana de tiempo utilizada más tarde para leer el número 90 de las salidas del contador. La frecuencia de salida cuando la tensión de entrada al VCO es 4 V, f_{o2}, está dada por

$$f_{o2} = \frac{110}{t_2 - t_1}$$

Por tanto, la frecuencia de variación de la salida del VCO es de f_{o1} a f_{o2}. Nótese que para obtener mayor precisión, se deberían contar 900 y 1100 pulsos por ventana en vez de 90 y 110 como se indicó antes.

2. Se selecciona la frecuencia base como el promedio:

$$\begin{aligned} f_{\text{base}} &= \frac{f_{o1} + f_{o2}}{2} \\ &= \frac{1}{2}\left(\frac{110}{T} + \frac{90}{T}\right) \end{aligned}$$

donde se define

$$T = t_2 - t_1$$

El efecto es permitir una excursión completa de frecuencia en el intervalo de frecuencias por medir.

3. Ahora se calcula el capacitor externo (o se utilizan las especificaciones como en la Fig. 16.28(b)).

$$C_{ext} = \frac{5 \times 10^{-4}}{f_{base}}$$

4. Ahora que se conocen f_{base} y f_o, se calculan las frecuencias normalizadas

$$f_{n1} = \frac{f_{o1}}{f_{base}}$$

$$f_{n2} = \frac{f_{o2}}{f_{base}}$$

5. Con esta información, se ven las curvas características para el 74S124 y se encuentran las tensiones de entrada necesarias para proporcionar la f_n recién calculada. Elíjase un intervalo de tensión ($VI_{(int)}$) que proporcione la mayor pendiente para el intervalo de frecuencia.
6. Si las tensiones correspondientes a f_{n1} y f_{n2} no son iguales a 2 V y 4 V, es necesario utilizar un amplificador operacional para realizar la conversión necesaria. Las tensiones correspondientes a f_{n1} y f_{n2} se denotarán como V_{11} y V_{12}, respectivamente. El amplificador operacional debe aceptar una entrada con tensiones entre 2 V y 4 V y convertir esto en una salida con intervalos de tensión entre V_{11} y V_{12}. La característica de salida contra entrada es una línea recta con pendiente

$$m = \frac{V_{12} - V_{11}}{4V - 2V} \tag{16.1}$$

e intersección

$$v_o = 2V_{11} - V_{12} \tag{16.2}$$

7. La configuración del amplificador operacional de la figura 16.27(c) se puede utilizar para desarrollar una tensión de salida de

$$v_o = \left(\frac{1}{2} + \frac{R_F}{2R_A}\right) v_i + \left(\frac{1}{2} + \frac{R_F}{2R_A}\right) V_{REF} \tag{16.3}$$

La primera expresión entre paréntesis representa la ganancia del amplificador operacional, o la pendiente m. Se igualan los términos y se obtiene

$$m = \frac{V_{12} - V_{11}}{2V} = \frac{1}{2} + \frac{R_F}{2R_A} \tag{16.4}$$

El segundo término de la ecuación (16.3) es el desplazamiento y se puede encontrar igualando términos, con este resultado:

$$2V_{11} - V_{12} = \left(\frac{1}{2} + \frac{R_F}{2R_A}\right) V_{REF} \qquad (16.5)$$

8. Se selecciona el valor de R_F y se despejan V_{REF} y R_A de las ecuaciones (16.4) y (16.5).
9. Por último, se conecta la salida del amplificador operacional a la tensión de entrada del VCO y el diseño está completo.

16.6 CONVERSIÓN DE ANALÓGICA A DIGITAL

En el ejemplo 16.4, el VCO se utiliza para producir una señal digital correspondiente a una señal analógica dada. Este sistema electrónico se denomina *convertidor de analógico a lógico digital* (A/D). Los convertidores A/D (y los convertidores de digital a analógico) en realidad no son dispositivos totalmente digitales sino una combinación de circuitos analógicos y digitales. Estos se incluyen en el presente capítulo ya que son muy importantes al aplicar circuitos digitales a situaciones analógicas.

16.6.1 Convertidor de digital a analógico (D/A)

Los *convertidores de digital a analógico* (D/A) transforman una palabra digital en una tensión o corriente analógica. Se utilizan varias técnicas para conseguir esto. Aquí se presentan dos métodos.

La magnitud de la salida del D/A es en general proporcional o inversamente proporcional a la corriente que fluye a través de resistores ponderados. En la figura 16.29 se muestra un ejemplo de convertidor D/A binario de ocho bits con un amplificador operacional como convertidor de corriente a tensión. Cada una de las entradas está ponderada de acuerdo con los resistores de suma de la entrada de tal forma que se obtenga la potencia de 2 apropiada. Una señal de 8 bits en la entrada proporciona una salida analógica.

Otro método se basa en la utilización de un conmutador CMOS para cambiar los resistores en una red escalera de resistencias, como se muestra en la figura 16.30(a). Este método se denomina escalera de conmutación de corriente *R-2R* y utiliza una serie de resistores de silicato de cromo depositado. Estos resistores, de valor R o $2R$, están acomodados en forma de escalera como en la figura 16.30(a). El código de entrada digital aplicado a la entrada del convertidor D/A controla la posición de los conmutadores de corriente. De esta forma, la corriente disponible en la escalera se dirige a i_{SAL1} o i_{SAL2}, de acuerdo con lo determinado por el nivel lógico (0 ó 1 respectivamente). Los conmutadores CMOS son bilaterales, de modo que se pueden conmutar corrientes de cualquier polaridad con sólo una pequeña caída de tensión.

Figura 16.29
Convertidor D/A.

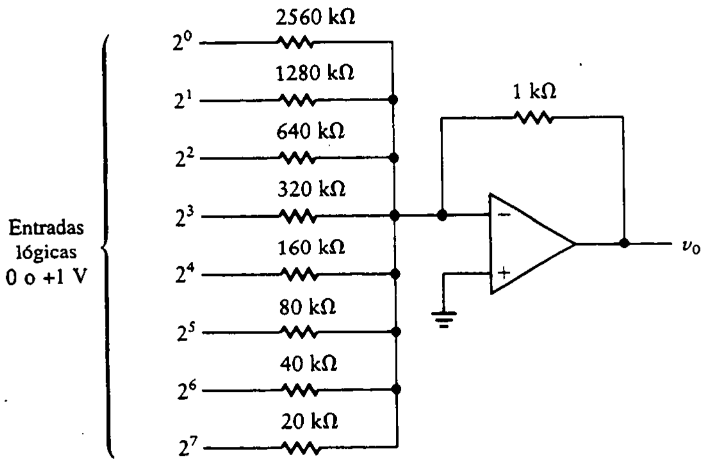
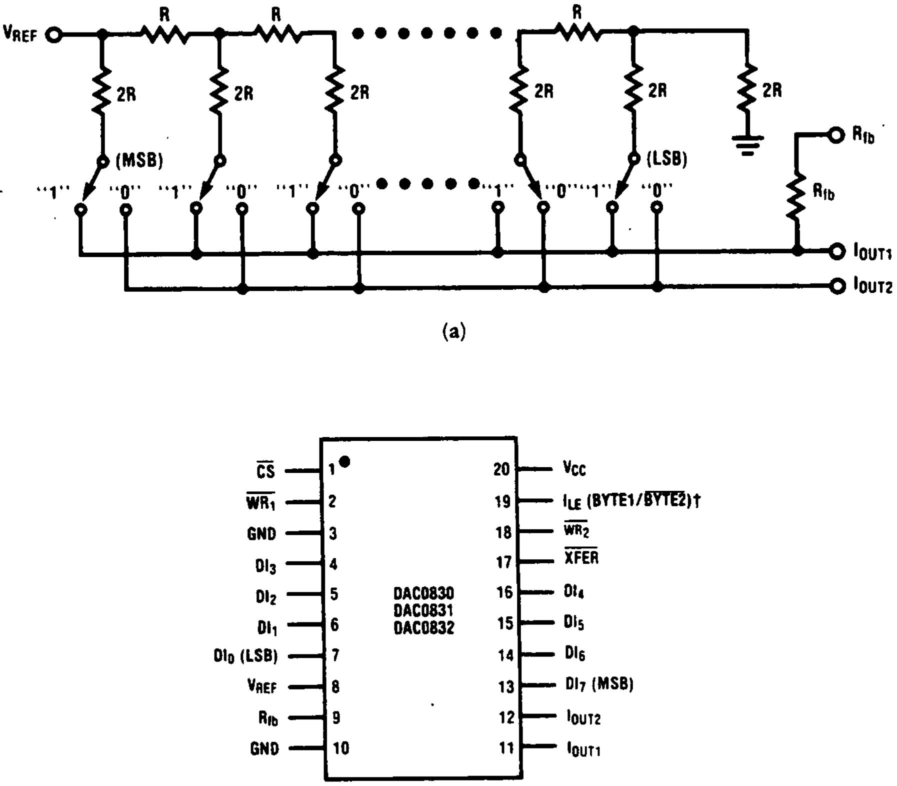


Figura 16.30
Convertidor D/A de 8 bits: DAC0830. Cortesía de National Semiconductor Corp.



(a)

(b)

El diagrama de terminales para el convertidor D/A de 8 bits, el DAC0830, se muestra en la figura 16.30(b). Utilizando la red escalera *R-2R*, este convertidor D/A produce 0.05% de error máximo lineal a escala completa. El tiempo típico de conversión es de 1 μs, y con una entrada de 8 bits este circuito es capaz de generar 256 distintos niveles de corriente de salida. La resolución es 8 bits. Los detalles técnicos adicionales se incluyen en las hojas de datos de los fabricantes.

16.6.2 Convertidor A/D

Los *convertidores A/D* convierten un nivel de tensión analógico en una palabra digital correspondiente. Existen muchos métodos de producir un convertidor A/D, y en esta sección se analizan varios. Una forma de producir dicho convertidor es incrementar un contador, que alimenta a un convertidor D/A, y parar el contador cuando la salida del D/A exceda la tensión analógica en cuestión. Este método se ilustra en la figura 16.31. La salida del convertidor D/A es una función escalera. Se puede pensar como una serie de funciones rampa discretas. El número de pasos antes de que la rampa cruce el valor analógico es proporcional a ese valor. La palabra de salida digital es la salida del contador. Un contador de 8 bits comienza desde cero para cada medida.

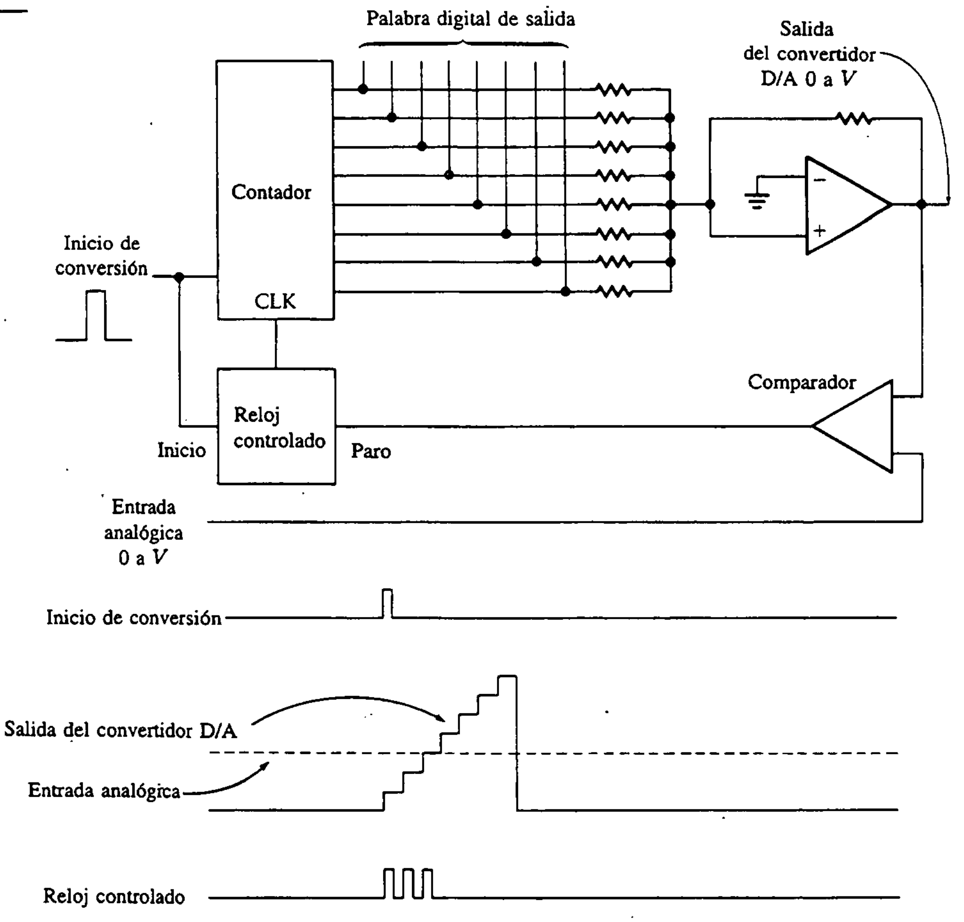
Un segundo método de generar una palabra digital a partir de una tensión analógica es utilizar aproximaciones sucesivas. Si se asignan números binarios a diferentes niveles de tensión iniciando con el más bajo (todos ceros) y contando hacia el mayor (todos unos), se pueden utilizar las propiedades básicas de las secuencias binarias para simplificar la conversión. El bit más significativo en el número binario indica si la tensión se encuentra en la mitad superior o inferior del intervalo. El siguiente bit subdivide este intervalo a la mitad, y así sucesivamente. Esto equivale a la observación de que en un contador binario, cada bit oscila a la mitad de la frecuencia del bit anterior. La conversión se lleva a cabo mediante una serie de comparaciones con los puntos de división regional.

Un ejemplo específico de este tipo de convertidor A/D es el CI ADC0801, que contiene un comparador de alta impedancia de entrada, 256 resistores en serie y conmutadores analógicos, lógica de control y memorias de paso en la salida. La conversión se realiza utilizando la técnica de aproximación sucesiva, donde la tensión analógica desconocida se compara con la tensión en los puntos de unión de los resistores utilizando conmutadores analógicos. Cuando la tensión apropiada en el punto de unión coincide con la tensión desconocida, la conversión está completa. Las salidas digitales contienen una palabra binaria complementaria de 8 bits que corresponde a la tensión de salida.

16.6.3 El convertidor A/D de $3\frac{1}{2}$ dígitos

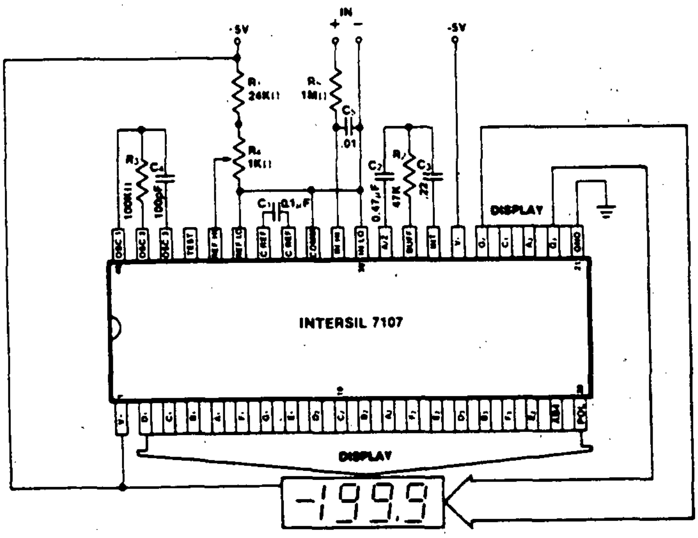
El *convertidor A/D de* $3\frac{1}{2}$ *dígitos* se utiliza en voltímetros digitales. En el diseño de este voltímetro digital en CI se ha incorporado el método de conversión A/D de *doble pendiente*. Como ejemplo se presenta el convertidor A/D CMOS ICL7106/7107. El diagrama de terminales para este CI se muestra en la figura 16.32. El ICL7106

Figura 16.31
Convertidor A/D.

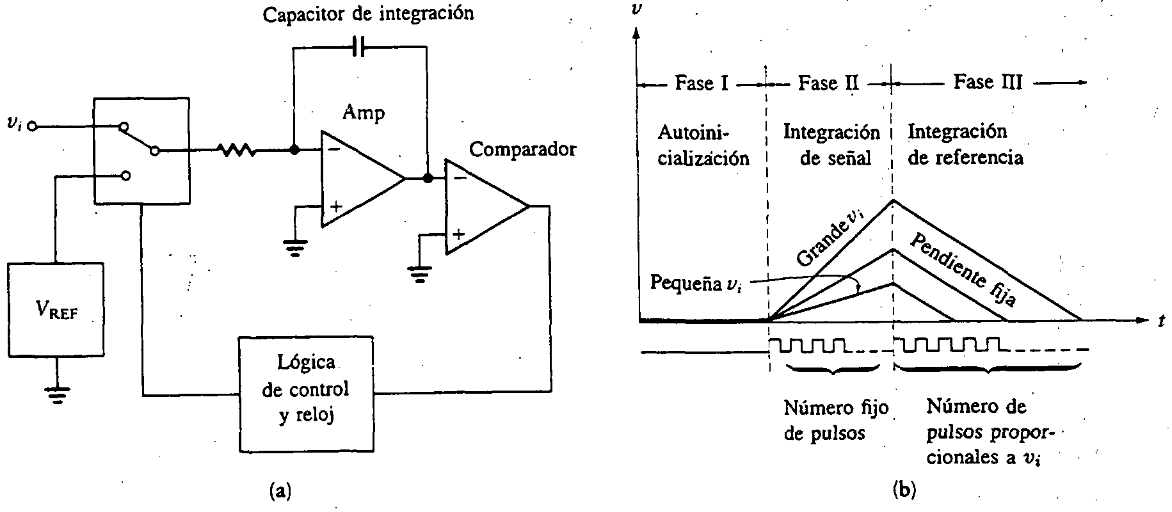


alimenta un despliegue de cristal líquido (LCD, *liquid crystal display*), mientras que el ICL7107 alimenta un despliegue de diodos emisor de luz (LED). Se incluyen descodificadores de 7 segmentos, alimentadores de despliegue, referencias y un reloj. El CI opera en tres fases: 1) regreso automático a cero, 2) integración de la señal y 3) integración de la referencia. En la fase 1 de la conversión de doble pendiente, el ciclo se lleva a cero para empezar nuevamente. Este proceso se conoce como fase de regreso automático a cero. El diagrama de bloques se muestra en la figura 16.33(a). En la fase 2 del método de doble pendiente, la señal se integra durante un tiempo fijo con una pendiente que depende de la combinación RC del amplificador operacional de integración. En la fase 3, la entrada del integrador se conmuta de v_i a V_{REF}. La polaridad se determina durante la fase 2 de modo que el integrador se descargue hacia cero. El número de pulsos de reloj que se cuentan entre el inicio de este ciclo (fase 3) y el momento en que la salida del integrador pasa por cero es una medida digital de la magnitud de v_i. La técnica de

Figura 16.32
Voltímetro digital en CI ICL7106/7107. Cortesía de Intersil Inc.



ICL7107 with LED Display



16.33 Fases en la conversión por doble pendiente.

conversión equivale a crear una ventana cuya longitud es proporcional a la magnitud de la tensión de entrada. Por tanto, se produce un tren de pulsos proporcional a la tensión de entrada. Esta medida digital se alimenta entonces a los contadores digitales, que proporcionan la salida digital. La lógica de control digital sincroniza el despliegue de salida para cada ciclo, y comienza de nuevo el ciclo de conversión

A/D. Cuando la tensión de entrada analógica es baja, la rampa de descenso es más corta. Se genera una señal de reloj fija interna a partir de una combinación RC externa. Por tanto, la tensión analógica se convierte en un número digital. En el método de comparación de doble pendiente, la exactitud del sistema está limitada por el número de bits del contador y por la exactitud de las tensiones de referencia. Este convertidor A/D depende sólo de la relación de v_i a V_{REF}, una constante.

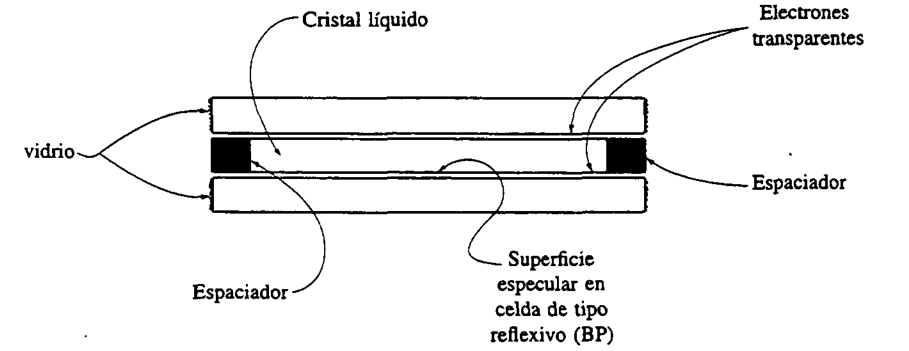
16.6.4 Despliegue de cristal líquido

El *despliegue de cristal líquido* (LCD) requiere poca energía y es adecuado para dispositivos operados por baterías, como los relojes digitales. Los LCD se excitan aplicando una onda cuadrada simétrica al plano posterior (PP). Para encender un segmento, se le aplica una señal de 180° de desfasamiento con PP (y de igual magnitud). Las tensiones de cd excesivas (superiores a 50 mV) dañan en forma permanente el despliegue si se aplican más allá de unos cuantos minutos.

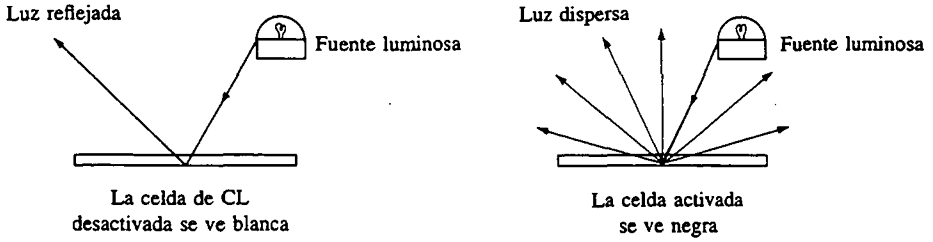
En la figura 16.34 se muestra un diagrama esquemático para una celda de cristal líquido. Como se puede ver en la figura 16.34(b), cuando se activa la celda, la luz se dispersa de modo que el segmento se ve negro. Cuando la celda está desactivada, la celda se ve blanca.

Los segmentos del LCD de 7 segmentos se excitan para formar los dígitos del 0 al 9, de la misma forma que para el despliegue de 7 segmentos.

Figura 16.34
LCD.



(a) Construcción de una celda de cristal líquido



(b) Operación de una celda de cristal líquido

16.7 MEMORIAS

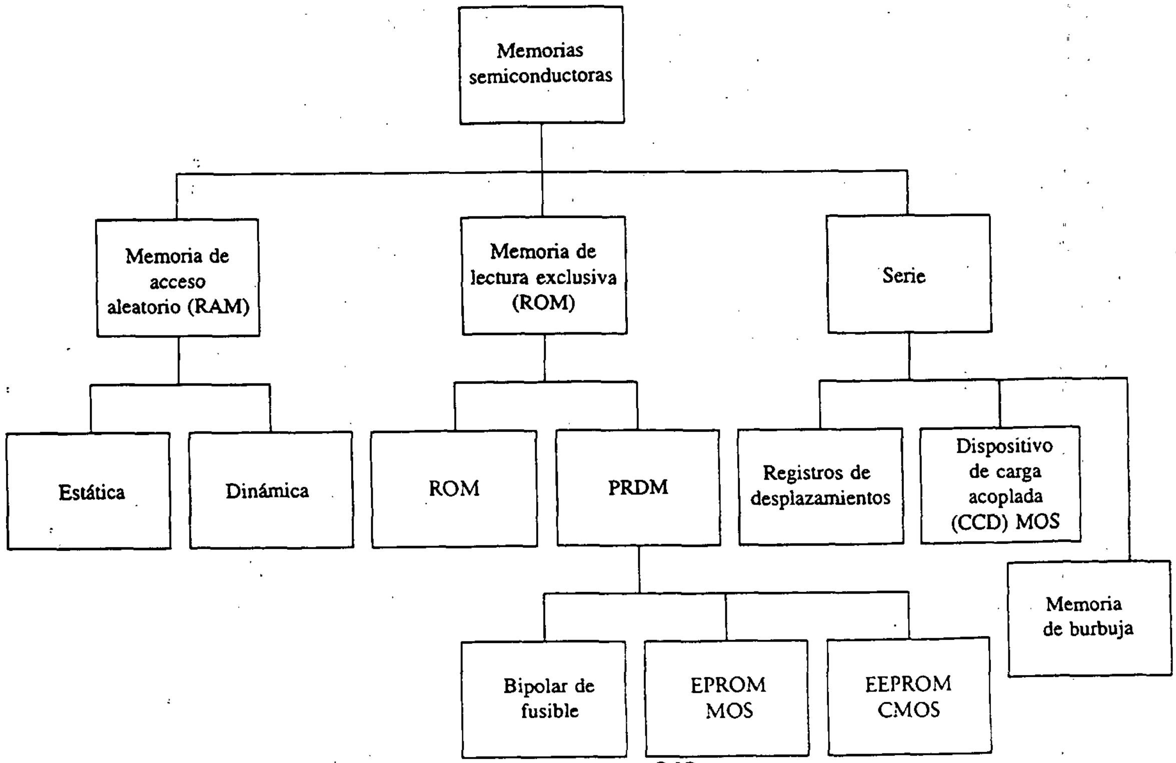
Se consideran varios tipos de dispositivos de memoria, los cuales se resumen en el diagrama de bloques de la figura 16.35.

16.7.1 Memorias de tipo serie

Los datos que se introducen para su almacenamiento en una memoria de tipo serie no están disponibles de inmediato para su lectura. En general, cada bit almacenado se transfiere en secuencia a través de 64 o más localidades entre el momento en que se escribe en la memoria y el momento en que está disponible para lectura. El registro de desplazamiento es una forma de memoria en la que los datos se transfieren de celda a celda.

Las *memorias de superficie móvil* constituyen la forma más lenta de memoria de tipo serie. El reproductor de cinta magnética es un ejemplo de este tipo. Esta forma de memoria es más económica que las memorias electrónicas debido a que no es necesario definir patrones físicos individuales o estructuras para cada celda de almacenamiento individual. Sin embargo, puede necesitarse la precisión en los componentes mecánicos para transportar el medio de almacenamiento magnético, lo cual implica un costo inicial elevado.

Figura 16.35 Panorama de las memorias.

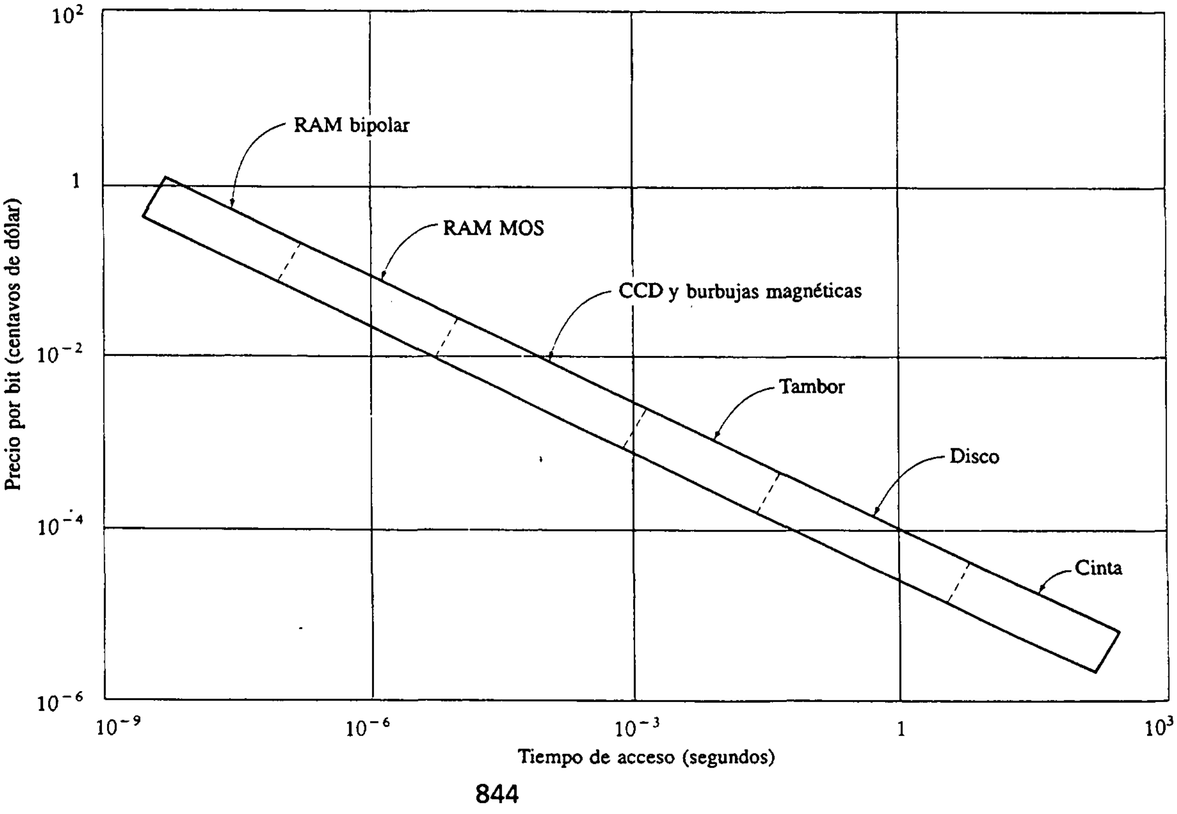


Las *memorias de burbuja* son de tipo serie en su organización, por lo que el tiempo de acceso depende del número de localidades de almacenamiento en una trayectoria en serie y de la tasa máxima de desplazamiento. Las trayectorias en serie se extienden en un intervalo de 10 localidades a más de 1000. Las tasas de desplazamiento van desde una fracción de microsegundo hasta varios microsegundos. La aplicación potencial más atractiva de las memorias de burbuja es el reemplazo de memorias de cinta y disco con capacidades de un millón a 10 millones de bits. Una característica clave de las memorias de burbuja es que la información almacenada se mantiene aun cuando se interrumpa la alimentación externa.

Al seleccionar una memoria particular, es importante considerar el precio por bit de almacenamiento. Las memorias de burbuja son más económicas que las memorias semiconductoras.

El precio depende mucho del tiempo de acceso. En los sistemas disponibles en la actualidad, los tiempos de acceso van desde cerca de 10 ns para las memorias de transistores bipolares hasta 10 s o más para memorias de cinta magnética. El costo por bit varía en un amplio margen. Para las memorias bipolares, es del orden de un centavo de dólar por bit, mientras que para la cinta es de sólo 10^{-5} centavos por bit. La relación entre el precio por bit y el tiempo de acceso es aproximadamente logarítmica sobre un amplio margen de precios por bit. Esta relación se muestra en la figura 16.36.

Figura 16.36 Tiempo de acceso contra precio.



16.7.2 Memoria de acceso aleatorio (RAM)

Las *memorias dinámicas* guardan los datos en la forma de una carga en un pequeño capacitor. Una celda de memoria dinámica no puede guardar los datos en forma indefinida. La celda de almacenamiento capacitiva puede perder la información en dos formas. En primer lugar, el capacitor por sí mismo tiene una corriente de fuga asociada. En segundo lugar, cuando se selecciona una celda para leerse, la carga almacenada se comparte entre el capacitor de la celda y la gran capacitancia de la línea de datos.

Para que la memoria dinámica retenga los datos válidos, la carga del capacitor se debe restablecer en forma periódica. Este restablecimiento se debe llevar a cabo al menos una vez cada 2 ms. La reescritura se realiza en forma interna sin necesidad de volver a aplicar los datos externos originales.. Esta operación de reescritura se llama *refresco*.

Las memorias que no requieren operaciones de refresco se denominan *memorias estáticas*. A pesar de su elevado costo por bit de almacenamiento, se prefieren para sistemas de memoria pequeña debido a que requiere un mínimo de circuitos externos de soporte. Con una elevación mayor en el precio, el consumo de potencia de las memorias estáticas se puede reducir de manera significativa. Estas memorias se encuentran en calculadoras de bolsillo, en las que pequeñas baterías deben proporcionar suficiente energía para operar durante días y semanas.

Una RAM estática es un arreglo de memorias de paso con una estructura de dirección común tanto para lectura como para escritura. En el modo de ESCRITURA, la información en la entrada de datos se escribe en la memoria de paso seleccionada por la DIRECCION. En el modo de LECTURA, el contenido de la memoria de paso seleccionada se alimenta a la salida de datos.

Las memorias semiconductoras tienen *lectura no destructiva*. Esto es, la memoria se puede leer sin destruir los datos almacenados en ella. Las memorias semiconductoras de lectura/escritura son *volátiles*. Esto es, los datos se almacenan siempre que no se interrumpa la alimentación de energía.

Las memorias en general se identifican especificando el número de palabras, el número de bits por palabra y la función. Por ejemplo, una RAM de 1024 × 16 es una memoria de acceso aleatorio de lectura/escritura que contiene 1024 palabras de 16 bits cada una.

Las *memorias RAM de alta densidad* casi siempre se organizan en arreglos de n palabras de 1 bit cada una. Sólo se necesita una terminal de entrada/salida además de las terminales de dirección, lo cual optimiza la utilización de terminales.

La dirección (selección de palabra) en una memoria semiconductora consiste en dos operaciones. Primero se debe seleccionar un dispositivo o grupo de dispositivos; luego se debe especificar una localidad dada en un dispositivo o grupo de dispositivos. La selección del dispositivo se puede llevar a cabo proporcionando una entrada a la función CHIP SELECT de cada dispositivo. La entrada es BAJO para todos los dispositivos, excepto el que se ha seleccionado. La entrada se puede derivar de un descodificador binario a n. Se alimenta la dirección binaria del dispositivo, y sólo la salida seleccionada para ese dispositivo está en ALTO.

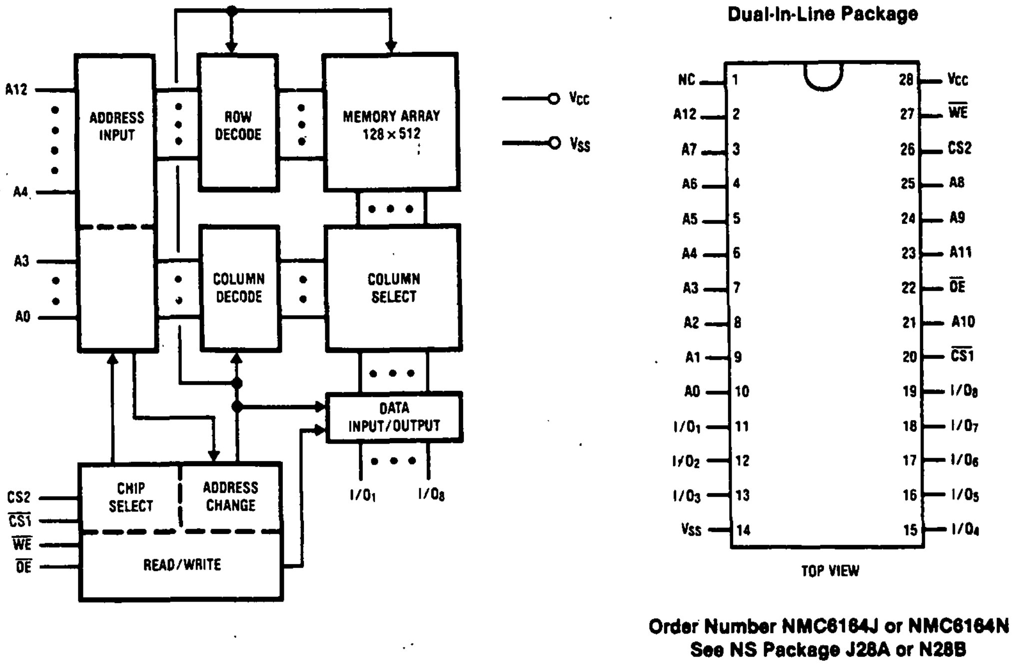


Figura 16.37 RAM estática 74C920 de 8192 × 8 bits.

En la figura 16.37 se muestran los diagramas de bloques y las conexiones para la RAM estática NMC6164 de 8192 × 8 bits. Esta es una memoria de acceso aleatorio de lectura/escritura de 8192 palabras por 8 bits, que utiliza tecnología CMOS. La dirección se especifica mediante una fila y una columna. Nueve de los bits de dirección especifican una de 512 filas posibles, mientras que cuatro de dichos bits se utilizan para especificar una de 16 columnas posibles.

La palabra específica de 8 bits se alimenta o se lee de las terminales 11-13 y 15-19. Los datos se pueden leer cuando las entradas de habilitación de escritura ($\overline{WE}$) y de selector 2 del chip (CS2) están en ALTO y $\overline{CS1}$ y $\overline{OE}$ están en BAJO. Este CI tiene un tiempo de acceso del orden de 100 ns.

16.7.3 ROM y PROM

La *memoria de lectura exclusiva* (ROM, *read only memory*) es una memoria de acceso aleatorio en la cual la información almacenada se encuentra fija y no es volátil. La ROM semiconductora es un circuito cuya información almacenada se fija durante la fabricación, mientras que la *ROM programable* (PROM, *programable ROM*) es una memoria que se puede programar después de su fabricación. La ROM es más adecuada para sistemas que se producen en grandes cantidades. Aquí el gasto de maquinaria debido a una *máscara* única es relativamente pequeño sobre una base unitaria, y con frecuencia está balanceado por la economía de un proceso

en serie. Las PROM son la mejor elección en producciones de pequeñas cantidades o en sistemas que tienen una vida útil limitada, en situaciones de pequeños ciclos de prueba para aplicaciones en las que se requiera algún grado de adaptación del sistema para cada instalación, y donde exista una probabilidad alta de que la información almacenada se cambie en el futuro.

16.7.4 EPROM

Las PROM se pueden programar con cualquier arreglo deseado de números binarios. El proceso de programación a veces se denomina *quema* de la PROM, ya que la programación se puede pensar como la *quema* de fusibles apropiados. Una vez que se realiza este proceso, la PROM ya no se puede reprogramar, aunque es posible llevar algunas salidas adicionales a un nivel alto quemando fusibles adicionales. Esto es, ninguna de las salidas en 1 se puede cambiar a 0, pero lo inverso es posible.

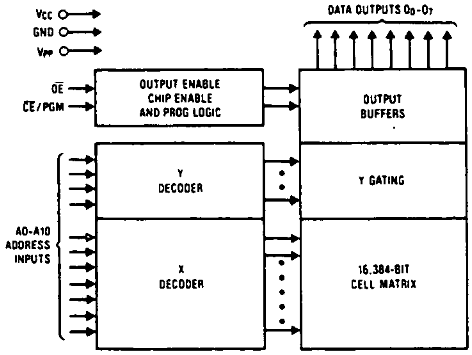
Existe un tipo de PROM en el que los datos programados se pueden borrar y reprogramar con nuevos datos. Las PROM *borrables* (EPROM, *erasable PROM*) se encuentran disponibles en tecnología MOS. Una EPROM permite que la información programada se borre por exposición a la luz ultravioleta de la intensidad y longitud de onda correctas. En la figura 16.38 se presenta la información para una EPROM de 2048 x 8. Esta PROM de 16K se borra aplicando luz ultravioleta a la ventana del CI. Esta memoria se reprograma en forma eléctrica. La memoria está empaquetada en un DIP de 24 terminales con una ventana transparente. Esta ventana permite al usuario exponer el circuito integrado a luz ultravioleta para borrar el patrón de bits. El CI utiliza una sola fuente de alimentación de +5 V. La EPROM opera en cinco modos, los cuales se muestran en la figura 16.41(b) y se resumen en seguida:

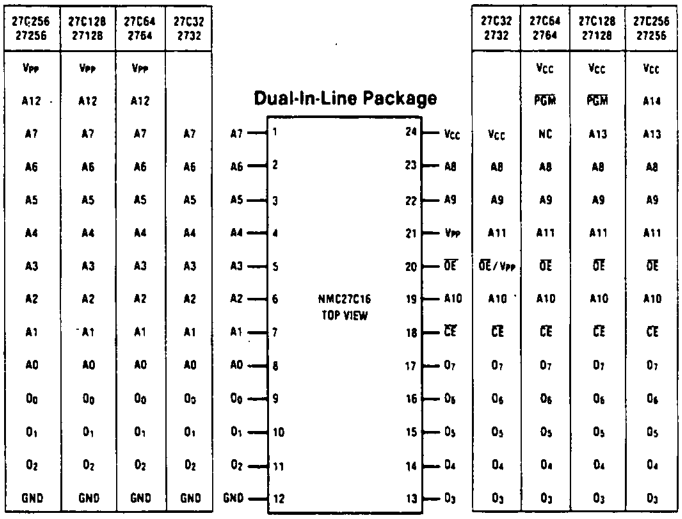
1. *Modo READ* Se requieren dos funciones de control: habilitación de circuito ($\overline{\text{CE}}$) y habilitación de salida ($\overline{\text{OE}}$) para llevar los datos dirigidos a la salida.
2. *Modo STANDBY* En este modo, las salidas se encuentran en estado de alta impedancia, independientemente de $\overline{\text{OE}}$. Aquí la potencia disipada se reduce en un 98%.
3. *Modo PROGRAM* Después del borrado, todos los bits de la memoria se encuentran en un estado lógico 1. Los datos se introducen programando en forma selectiva ceros lógicos en las localidades de los bits deseados. Sin embargo, para cambiar de 0 a 1 se debe utilizar el borrado por luz ultravioleta. La memoria está en modo de programación cuando la fuente V_{PP} se halla en 25 V y $\overline{\text{OE}}$ se encuentra en un nivel de tensión alto (V_{IH}).
4. *Modo PROGRAM VERIFY* Para estar seguro de que el patrón de bits se programó correctamente, se puede utilizar este modo. La programación se verifica con $V_{PP} = 25$ V y $\overline{\text{CE}}$/PGM y $\overline{\text{OE}}$ en V_{IL}.
5. *Modo PROGRAM INHIBIT* Cuando se programan varias memorias en paralelo, es necesario inhibir las memorias que no se están programando. Un nivel bajo en la entrada $\overline{\text{CE}}$/PGM inhibe la programación de las memorias paralelas.

Figura 16.38
EPROM UV NMC27C16 (2048 × 8). Cortesía de National Semiconductor Corp.

Pin Names

A0-A14	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
O_0-O_7	Outputs
$\overline{PGM}$	Program
NC	No Connect





(a) Diagramas de bloques y de conexión

Mode \ Pins	$\overline{CE}$/PGM (18)	$\overline{OE}$ (20)	V_{PP} (21)	V_{CC} (24)	Outputs (9-11, 13-17)
Read	V_{IL}	V_{IL}	V_{CC}	5	D_{OUT}
Standby	V_{IH}	Don't Care	V_{CC}	5	Hi-Z
Program	Pulsed V_{IL} to V_{IH}	V_{IH}	25	5	D_{IN}
Program Verify	V_{IL}	V_{IL}	25	5	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	25	5	Hi-Z

(b) Selección de modo

Una *PROM borrable eléctricamente* (EEPROM, *electrically erasable PROM*) es útil cuando se desea alterar los datos almacenados. El borrado y la programación se llevan a cabo aplicando señales eléctricas a las entradas del CI apropiadas.

16.8 CIRCUITOS MÁS COMPLEJOS

Se estudiarán ahora algunos de los CI digitales más complejos. La atención se centrará en aquellos que se utilizan para realizar operaciones matemáticas.

16.8.1 Unidad aritmética y lógica (ALU)

La *unidad aritmética y lógica* (ALU, *arithmetic logic unit*), realiza operaciones aritméticas y lógicas. Se examinará como ejemplo típico la serie SN74181. En la figura 16.39 se muestran el diagrama de terminales y la tabla de función para estos chips. La ALU tiene la complejidad de 75 compuertas equivalentes. Estos circuitos realizan 16 operaciones aritméticas binarias con dos palabras de cuatro bits, como se muestra en la tabla de la figura 16.39(b). Estas operaciones se seleccionan por medio de las cuatro líneas de selección de función (S0, S1, S2 y S3). Las 32 posibles configuraciones de las líneas de selección conducen cada una a un tipo de *suma, resta, decremento por uno y transferencia directa*. Estas funciones se proporcionan en varias combinaciones, con y sin bits de acarreo.

Además de su uso como procesador aritmético, la ALU también se puede utilizar como *comparador* colocándola en modo de resta de manera que una entrada se reste de otra. Por tanto, el CI está configurado para verificar si esta diferencia es positiva, negativa o cero.

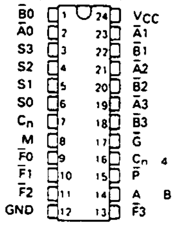
Este circuito se diseñó para incorporar varias de las necesidades que un ingeniero de diseño podría desear en cuanto a operaciones aritméticas y también para proporcionar 16 posibles funciones de dos variables booleanas sin necesidad de circuitos externos. Estas funciones booleanas se muestran en la figura 16.39(b). Las funciones booleanas lógicas se seleccionan utilizando las cuatro entradas de selección de función, y con la entrada de control de modo (M) en alto para deshabilitar la operación de acarreo interno. Las 16 funciones lógicas incluyen AND, OR, NAND, NOR y OR exclusivo.

16.8.2 Sumadores completos

El *sumador completo* es un circuito que realiza la suma aritmética de 3 bits de entrada, como se muestra en el circuito de la figura 16.40. Este circuito tiene tres entradas y dos salidas. Dos de las variables de entrada, denotadas por A_i y B_i, representan los dos bits significativos por sumar. La tercera entrada, C_i, representa el acarreo de la operación de suma de la posición menos significativa anterior. Se necesitan dos salidas porque la suma aritmética de tres dígitos binarios está entre 0 y 3, lo cual requiere 2 bits. Las dos salidas se denominan S (por suma) y C (por *carry*, acarreo).

Figura 16.39
Generadores de funciones de ALU. Cortesía de Texas Instruments Incorporated.

SN54181, SN54LS181, SN54S181 . . . J OR W PACKAGE
SN74181 . . . J OR N PACKAGE
SN74LS181, SN74S181 . . . DW, J OR N PACKAGE
(TOP VIEW)



(a)

SELECTION				ACTIVE-LOW DATA		
				M = H	M = L; ARITHMETIC OPERATIONS	
S3	S2	S1	S0	LOGIC FUNCTIONS	Cn = L (no carry)	Cn = H (with carry)
L	L	L	L	F = $\overline{A}$	F = A MINUS 1	F = A
L	L	L	H	F = $\overline{AB}$	F = AB MINUS 1	F = AB
L	L	H	L	F = $\overline{A}$ + B	F = A$\overline{B}$ MINUS 1	F = A$\overline{B}$
L	L	H	H	F = 1	F = MINUS 1 (2's COMP)	F = ZERO
L	H	L	L	F = $\overline{A + B}$	F = A PLUS (A + $\overline{B}$)	F = A PLUS (A + $\overline{B}$) PLUS 1
L	H	L	H	F = $\overline{B}$	F = AB PLUS (A + $\overline{B}$)	F = AB PLUS (A + $\overline{B}$) PLUS 1
L	H	H	L	F = $\overline{A \oplus B}$	F = A MINUS B MINUS 1	F = A MINUS B
L	H	H	H	F = A + $\overline{B}$	F = A + $\overline{B}$	F = (A + $\overline{B}$) PLUS 1
H	L	L	L	F = $\overline{A}$B	F = A PLUS (A + B)	F = A PLUS (A + B) PLUS 1
H	L	L	H	F = A $\oplus$ B	F = A PLUS B	F = A PLUS B PLUS 1
H	L	H	L	F = B	F = A$\overline{B}$ PLUS (A + B)	F = A$\overline{B}$ PLUS (A + B) PLUS 1
H	L	H	H	F = A + B	F = (A + B)	F = (A + B) PLUS 1
H	H	L	L	F = 0	F = A	F = A PLUS A PLUS 1
H	H	L	H	F = A$\overline{B}$	F = AB PLUS A	F = AB PLUS A PLUS 1
H	H	H	L	F = AB	F = A$\overline{B}$ PLUS A	F = A$\overline{B}$ PLUS A PLUS 1
H	H	H	H	F = A	F = A	F = A PLUS 1

SELECTION				ACTIVE-HIGH DATA		
				M = H	M = L; ARITHMETIC OPERATIONS	
S3	S2	S1	S0	LOGIC FUNCTIONS	$\overline{C_n}$ = H (no carry)	$\overline{C_n}$ = L (with carry)
L	L	L	L	F = $\overline{A}$	F = A	F = A PLUS 1
L	L	L	H	F = $\overline{A + B}$	F = A + B	F = (A + B) PLUS 1
L	L	H	L	F = $\overline{A}$B	F = A + $\overline{B}$	F = (A + $\overline{B}$) PLUS 1
L	L	H	H	F = 0	F = MINUS 1 (2's COMPL)	F = ZERO
L	H	L	L	F = $\overline{AB}$	F = A PLUS A$\overline{B}$	F = A PLUS A$\overline{B}$ PLUS 1
L	H	L	H	F = $\overline{B}$	F = (A + B) PLUS A$\overline{B}$	F = (A + B) PLUS A$\overline{B}$ PLUS 1
L	H	H	L	F = A $\oplus$ B	F = A MINUS B MINUS 1	F = A MINUS B
L	H	H	H	F = A$\overline{B}$	F = A$\overline{B}$ MINUS 1	F = A$\overline{B}$
H	L	L	L	F = $\overline{A}$ + B	F = A PLUS AB	F = A PLUS AB PLUS 1
H	L	L	H	F = $\overline{A \oplus B}$	F = A PLUS B	F = A PLUS B PLUS 1
H	L	H	L	F = B	F = (A + $\overline{B}$) PLUS AB	F = (A + $\overline{B}$) PLUS AB PLUS 1
H	L	H	H	F = AB	F = AB MINUS 1	F = AB
H	H	L	L	F = 1	F = A	F = A PLUS A PLUS 1
H	H	L	H	F = A + $\overline{B}$	F = (A + B) PLUS A	F = (A + B) PLUS A PLUS 1
H	H	H	L	F = A + B	F = (A + $\overline{B}$) PLUS A	F = (A + $\overline{B}$) PLUS A PLUS 1
H	H	H	H	F = A	F = A MINUS 1	F = A

(b)

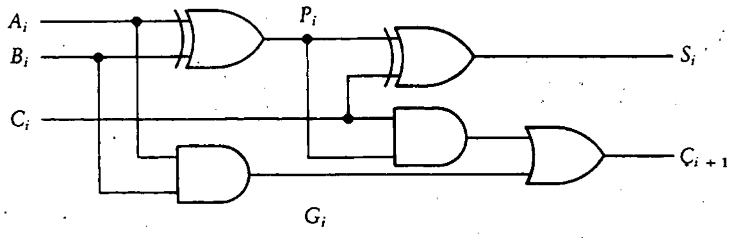


Figura 16.40
Sumador completo.

16.8.3 Generadores de acarreo adelantado

Cuando se suman dos números, se supone que se encuentran disponibles de inmediato para operarse al mismo tiempo. Sin embargo, con circuitos digitales las señales se deben propagar a través de compuertas antes de que el nivel correcto esté disponible en las terminales de salida. En vez de esperar que las señales se propaguen a través de un grupo de sumadores, se consideran dos nuevas variables que se definen como sigue: el *acarreo generado*, G_i, está definido por

$$G_i = A_i B_i$$

El *acarreo propagado*, P_i, está definido por

$$P_i = A_i \oplus B_i$$

La suma, S_i, y el acarreo, C_{i+1}, se pueden escribir como

$$S_i = A_i \oplus B_i \oplus C_i = P_i \oplus C_i$$
$$C_{i+1} = G_i + P_i C_i$$

Los *circuitos generadores de acarreo adelantado* se utilizan para acelerar la operación de un grupo de sumadores. El CI generador de acarreo adelantado 74S182 se ilustra en la figura 16.41. Se trata de un generador de acarreo adelantado de alta velocidad capaz de anticipar el acarreo a través de cuatro sumadores binarios o un grupo de sumadores. El CI toma en cuenta las cuatro operaciones de suma binaria individuales y produce un acarreo generado global, G, y un acarreo propagado, P. Esto es, en vez de esperar a que se completen las cuatro operaciones binarias individuales antes de pasar la información al siguiente CI en una operación aritmética, el CI examina las cuatro operaciones individuales y desarrolla la información del acarreo resultante antes de que se termine la operación aritmética.

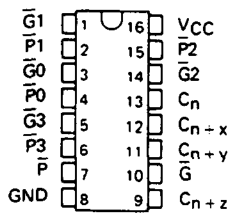
16.8.4 Comparador de magnitudes

La comparación de dos números es una operación que determina si un número es mayor, menor o igual que otro número. El *comparador de magnitudes* es

PIN DESIGNATIONS

ALTERNATIVE	DESIGNATIONS†	PIN NOS.	FUNCTION
$\overline{G0}, \overline{G1}, \overline{G2}, \overline{G3}$	G0, G1, G2, G3	3, 1, 14, 5	CARRY GENERATE INPUTS
$\overline{P0}, \overline{P1}, \overline{P2}, \overline{P3}$	P0, P1, P2, P3	4, 2, 15, 6	CARRY PROPAGATE INPUTS
C_n	$\overline{C}_n$	13	CARRY INPUT
$C_{n+x}, C_{n+y}, C_{n+z}$	$\overline{C}_{n+x}, \overline{C}_{n+y}, \overline{C}_{n+z}$	12, 11, 9	CARRY OUTPUTS
$\overline{G}$	Y	10	CARRY GENERATE OUTPUT
$\overline{P}$	X	7	CARRY PROPAGATE OUTPUT
V_{CC}		16	SUPPLY VOLTAGE
GND		8	GROUND

SN54182, SN54S182 . . . J OR W PACKAGE
SN74182 . . . J OR N PACKAGE
SN74S182 . . . D, J OR N PACKAGE
(TOP VIEW)



FUNCTION TABLE FOR $\overline{G}$ OUTPUT

INPUTS							OUTPUT
$\overline{G3}$	$\overline{G2}$	$\overline{G1}$	$\overline{G0}$	$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	$\overline{G}$
L	X	X	X	X	X	X	L
X	L	X	X	L	X	X	L
X	X	L	X	L	L	X	L
X	X	X	L	L	L	L	L
All other combinations							H

FUNCTION TABLE FOR $\overline{P}$ OUTPUT

INPUTS				OUTPUT
$\overline{P3}$	$\overline{P2}$	$\overline{P1}$	$\overline{P0}$	$\overline{P}$
L	L	L	L	L
All other combinations				H

FUNCTION TABLE FOR C_{n+x} OUTPUT

INPUTS			OUTPUT
$\overline{G0}$	$\overline{P0}$	C_n	C_{n+x}
L	X	X	H
X	L	H	H
All other combinations			L

FUNCTION TABLE FOR C_{n+y} OUTPUT

INPUTS					OUTPUT
$\overline{G1}$	$\overline{G0}$	$\overline{P1}$	$\overline{P0}$	C_n	C_{n+y}
L	X	X	X	X	H
X	L	L	X	X	H
X	X	L	L	H	H
All other combinations					L

FUNCTION TABLE FOR C_{n+z} OUTPUT

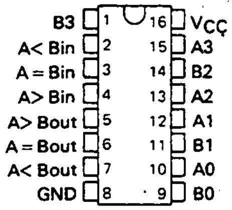
INPUTS							OUTPUT
$\overline{G2}$	$\overline{G1}$	$\overline{G0}$	$\overline{P2}$	$\overline{P1}$	$\overline{P0}$	C_n	C_{n+z}
L	X	X	X	X	X	X	H
X	L	X	L	X	X	X	H
X	X	L	L	L	X	X	H
X	X	X	L	L	L	H	H
All other combinations							L

Figura 16.41 El generador de acarreo adelantado 74182.
Cortesía de Texas Instruments Incorporated.

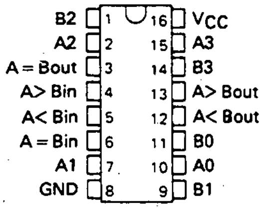
un circuito que compara dos números, A y B, para determinar sus magnitudes relativas. El resultado de la comparación se especifica por medio de tres variables binarias que indican si $A > B$, $A = B$ o $A < B$.

El diagrama del circuito reducido para el comparador sigue un procedimiento bit por bit para comparar los dos números. Supóngase que se trabaja con dos números de 4 bits, denominados $A_3A_2A_1A_0$ y $B_3B_2B_1B_0$. Los dos números son iguales si $A_i = B_i$ para toda i entre 0 y 3. Para ver si $A > B$, primero se examinan los bits más significativos, A_3 y B_3. Si no son iguales (uno es 1 y otro 0), el comparador ya no necesita ver más. Si son iguales, el comparador debe examinar el siguiente conjunto de bits. El 74LS85 es un ejemplo de comparador de magnitudes y se ilustra en la figura 16.42. La tabla de función de la figura se expande más allá de este análisis. Por ejemplo, la primera fila de la tabla indica que si $A_3 > B_3$, ya no es necesario un análisis posterior. La salida $A > B$ se coloca en alto y las otras dos en bajo.

SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE
SN7485 . . . J OR N PACKAGE
SN74LS85, SN74S85 . . . D, J OR N PACKAGE
(TOP VIEW)



SN54L85 . . . J PACKAGE
(TOP VIEW)



FUNCTION TABLES

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B2	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H

'85, 'LS85, 'S85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

'L85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	H	L	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	H	H	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	H	H	H	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	H	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	L	L	L

H = high level, L = low level, X = irrelevant

Figura 16.42 Comparador de magnitudes de 4 bits 74LS85. Cortesía de Texas Instruments Incorporated.

Si se desea comparar palabras de longitud mayor que 4 bits, estos CI se pueden colocar en cascada. Por ejemplo, para comparaciones de 8 bits, se colocan en cascada dos CI. Las entradas al segundo CI (más significativo) incluyen los dos números de cuatro bits más las tres salidas del primer CI. Esto se incluye en la tabla de función. Nótese que si los 4 bits más significativos no son iguales (las primeras 8 filas de la tabla), ya no hay necesidad de observar las salidas del CI anterior. Por tanto, las entradas en cascada se marcan con una X para representar entradas que no importan o son irrelevantes.

16.9 ARREGLO LÓGICO PROGRAMABLE (PAL)

Un conocimiento básico de ingeniería digital combinado con el material práctico presentado hasta aquí debería ser suficiente para diseñar sistemas digitales utilizando los paquetes lógicos básicos. No es raro que un diseño requiera algunos cientos de circuitos lógicos TTL. Por ejemplo, los primeros juegos de vídeo necesitaban cerca de 150 CI para controlar un juego simulado sencillo, como el tenis. Aunque el costo de los CI individuales es bajo, estos sistemas se vuelven caros debido a los costos de fabricación asociados con el alambrado de todos los CI y también debido a que el gran número de circuitos requiere un espacio poco razonable.

Conforme se desarrolló la tecnología de CI, los circuitos se han vuelto más pequeños y versátiles hasta alcanzar la gran novedad de la programación total. Los microprocesadores representan un gran adelanto en versatilidad y reducción de complejidad de fabricación.

Existe un arreglo de compuertas lógicas programables por el usuario que se puede utilizar para reemplazar varios paquetes diferentes con un solo CI. Se conoce como *arreglo lógico programable* (PAL, *programmable array logic*). Utiliza componentes Schottky, por lo cual opera a gran velocidad. Con este CI se pueden realizar registros, biestables y lógica básica. El PAL típico está empaquetado en un solo DIP de 20 terminales y se puede utilizar para reemplazar entre 4 y 12 paquetes SSI y MSI.

La estructura lógica básica del PAL incluye un arreglo AND programable que alimenta un arreglo OR fijo. Los CI se encuentran disponibles en tamaños que van desde 10×8 (10 entradas, 8 salidas) hasta 16×2. La amplia variedad de formatos de entrada/salida permite que un PAL reemplace varios bloques de distinto tamaño de lógica combinatoria con un solo paquete. Se puede obtener información adicional de los manuales de datos de los fabricantes.

PROBLEMAS

16.1 Compárense los descodificadores 4028 y 7442.

16.2 Compárense los selectores de datos/multiplexores 74150 TTL y 74C150 CMOS.

16.3 Dibújese un diagrama que muestre la conexión de un CD4511 para alimentar un despliegue de siete segmentos.

16.4 Diséñese un sistema para alimentar cuatro despliegues de siete segmentos con manejadores 74143.

16.5 Utilícese el circuito de la figura 16.25 para medir la frecuencia de la línea de ca con una precisión de un decimal. Selecciónese que $(t_2 - t_1)$ sea 10 s y utilícense contadores de décadas 74160 y tres despliegues de siete segmentos.

16.6 Utilícese un CD4047 como multivibrador astable para operar a 50 kHz.

16.7 Diséñese un VCO que opere a una frecuencia básica de salida de 10 kHz. Utilícese un 74LS124 y calcúlese la máxima variación que se obtiene en la salida.

16.8 Diséñese un voltímetro digital utilizando el CI ICL7106 (véase la figura 16.32 y el manual de datos del fabricante) para medir tensiones en los siguientes intervalos:

10 mV a 100 mV

100 mV a 1 V

1 V a 10 V

Utilícese una red divisora de tensión, ya que la máxima entrada a un despliegue de 3 1/2 dígitos es 199.9 mV.

16.9 Conviértase el contador binario 7493 en un contador de década.

16.10 Analícese el circuito de la figura P16.1, donde la tensión de entrada, v_i, varía en forma lineal de 2 V a 3 V. Determínese la frecuencia de la tensión de salida como función de v_i. Hágase calculando la frecuencia de salida para los siguientes valores de v_i: 2 V, 2.5 V y 3 V. Este circuito presenta una frecuencia de salida que varía con la tensión de entrada.

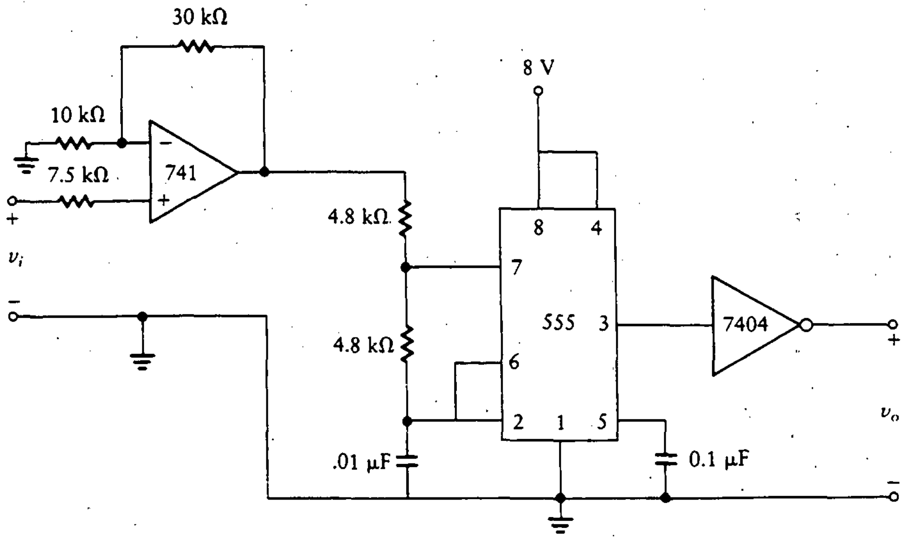


Figura P16.1

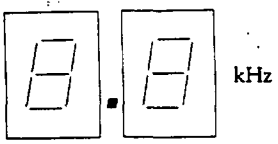


Figura P16.2

16.11 Diséñese un instrumento para medir la frecuencia de una señal senoidal en el intervalo de 1.0 kHz a 9.0 kHz. El nivel de tensión de la señal de entrada es 10 V rms. Muéstrese la salida en dos despliegues de siete segmentos, como se muestra en la figura P16.2.

16.12 Diséñese un generador de tren de pulsos de 0-5 V para obtener los siguientes intervalos continuos de frecuencia variable:
100 Hz a 1 kHz
1 kHz a 10 kHz
10 kHz a 100 kHz

Utilícese un biestable JK para producir una salida que es simétrica; esto es, el tiempo en alto es igual al tiempo en bajo.

16.13 Diséñese un reloj de 1 kHz que tenga relación de actividad variable. Se debe utilizar un potenciómetro para variar el ciclo efectivo de 0.2 a 10. La frecuencia no debe variar de 1 kHz. (Nótese que la relación de actividad se define como el tiempo en alto dividido entre el tiempo en bajo.)

16.14 Diséñese un llavero equipado con un sistema electrónico para ayudar a localizar las llaves si no se les encuentra. El circuito debe emitir un tono de 1 kHz durante 30 s cuando se aplaude en forma vigorosa. Utilícese una relación de actividad de 0.5 para el oscilador de 1 kHz, y proporciónese 0.25 W al altavoz. El micrófono de cristal proporciona una señal de 300 mV pico a pico cuando se aplaude en un radio de 6 m del llavero. Calcúlese el valor de todos los resistores y capacitores y especifíquense los números de los CI utilizados en el diseño.

16.15 Diséñese un sistema electrónico para medir el número total de revoluciones de un motor. Este sistema electrónico utiliza como entrada el tren de pulsos acondicionado del problema 14.20, el cual se muestra en la figura P14.8(b). La salida de este sistema electrónico se muestra en cuatro despliegues de siete segmentos. Este despliegue se incluye en la figura P16.3, y muestra un total de revoluciones por 10^6. Recuérdese que cada pulso corresponde a dos revoluciones del motor. Asegúrese de proporcionar energía por medio de baterías a las partes críticas del sistema para que el número total de revoluciones exhibidas no se pierda durante una falla de alimentación.

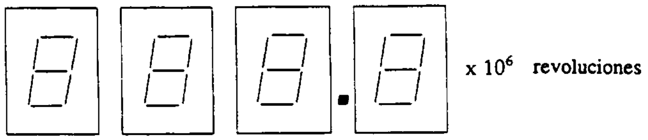


Figura P16.3

16.16 Diséñese un par de dados digitales que utiliza el patrón de LED mostrado en la figura P16.4. Cada vez que se lanzan los dados electrónicos, se presiona un botón y la caja del dado digital muestra un número aleatorio entre 1 y 6, como se observa en la figura.

Figura P16.4

16.17 Diséñese un medidor de revoluciones para visualizar las rpm de un motor, el cual va de 0 a 6000 rpm. La entrada a este sistema es el tren de pulsos del problema 14.20, el cual se muestra en la figura P14.8(b). Este tren de pulsos acondicionado es compatible con TTL y cada pulso corresponde a 2 revoluciones del motor. La salida se muestra en tres despliegues de siete segmentos como se observa en la figura P16.5.

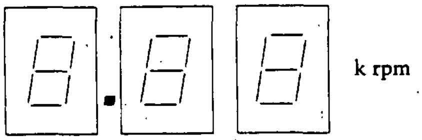


Figura P16.5

16.18 Diséñese un sistema para medir el interés de la audiencia respecto a varios canales de TV. Para obtener una muestra de los canales que observa la audiencia, se instrumenta el selector de canales de TV. Se seleccionan ocho familias para que tengan sus receptores de TV adaptados con potenciómetros. Las señales de cada uno de los ocho receptores instrumentados se envían a una estación central. La tensión en las líneas, en volts, es idéntica al canal seleccionado. Así, por ejemplo, si se está viendo el canal 4, la tensión es 4 V. Si el aparato está apagado, la tensión es 0 V.

Cada uno de los ocho televisores se observa en forma continua durante 8 segundos cada uno; mientras se toma una muestra de un receptor, un despliegue, compuesto de tres despliegues de siete segmentos, muestra el número de la familia, de 0 a 7. Los otros dos despliegues muestran el canal que se está viendo.

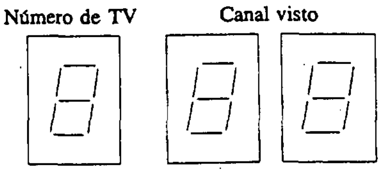


Figura P16.6

PROBLEMAS ADICIONALES

PA16.1 Diseñe un sistema que cuente el número de automóviles en un estacionamiento. La capacidad máxima del estacionamiento es de 99 automóviles. Cada vez que un automóvil entra al estacionamiento, se abre una reja de entrada. Cuando se abre, aparece un pulso en la línea ENT, como se muestra en la figura PA16.1(a). Toda vez que un automóvil sale, se abre una reja de salida y aparece un pulso en la línea SAL, como se ve en la figura PA16.1(b). Estas son dos líneas separadas. Utilice dos despliegues de siete segmentos para mostrar de forma continua el número de autos en

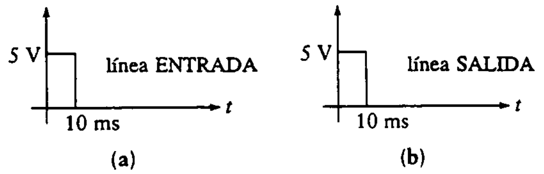


Figura PA16.1

el estacionamiento. Cuando está lleno (99 automóviles), encienda cinco despliegues que muestren la palabra LLENO.

PA16.2 Diseñe un tacómetro para el motor de su automóvil que opera de 0 a 5000 rpm. Un generador de efecto Hall proporciona 10 pulsos por cada revolución del motor. Los pulsos son de 100 mV de magnitud, por lo que debe acondicionarse la señal. La salida de este tacómetro se presenta en dos despliegues de 7 segmentos mostrando los dos dígitos más significativos, como se ve en la figura PA16.2. Divida el diseño en tres partes, como sigue:

a. Diseñe un circuito electrónico que produzca 10 pulsos por revolución del motor, con cada pulso de 0 a 5 V en magnitud.
b. Diseñe una ventana que escale el tacómetro de forma que cuando el motor gire a 5000 rpm, los dos despliegues muestren 50. Los despliegues se muestran en la figura PA16.2.
c. Diseñe un contador y el despliegue para el tacómetro. Haga esto por medio de la AND del tren de pulsos de la parte a con la ventana de la parte b y utilice los contadores, fijadores (*latches*) y decodificadores adecuados para desplegar las rpm con dos dígitos significativos, como se muestra en la figura PA16.2.

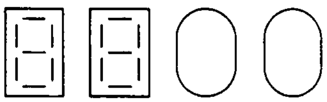


Figura PA16.2

PA16.3 Diseñe un sistema electrónico para medir la frecuencia de un generador de pulsos 0 a 5 V que opera entre 10 y 99 Hz. La salida de este instrumento se presenta en dos despliegues de siete segmentos que muestran la frecuencia del generador con dos dígitos significativos. Realice este diseño en dos partes: en la parte a, diseñe la ventana para obtener el escalamiento y la división por tiempo necesaria para medir hertz (ciclos por segundo), y en la parte b diseñe el contador y el despliegue.

a. Diseñe un circuito de ventana cuya salida deberá estar junto con la señal de entrada (10 a 99 Hz) a las entradas de una AND que excitará al sistema de conteo y despliegue de la parte b. Es necesario escalar la ventana de tiempo de modo que cuando la frecuencia de entrada sea 25 Hz, el despliegue muestre el número 25. También es necesario proporcionar las señales adecuadas para LIMPIAR el despliegue y FIJAR las señales del circuito de la parte b.

b. Diseñe un sistema de conteo y despliegue para mostrar la frecuencia, proporcionada por la parte a, en dos despliegues de siete segmentos. Asegúrese de incluir las señales de LIMPIAR y FIJAR.

17

DISEÑO ELECTRÓNICO DIGITAL

17.0 INTRODUCCIÓN

En los tres últimos capítulos, se estudiaron los bloques fundamentales para construir sistemas electrónicos digitales. Ahora ya se está en posibilidades de unir las piezas en forma ordenada y racional para diseñar sistemas electrónicos digitales. Los problemas que enfrenta el ingeniero electrónico incluyen material de cada capítulo en este texto, por ejemplo componentes discretos, CI lineales y CI digitales. Este capítulo delinea las técnicas necesarias para llevar a cabo el diseño de sistemas electrónicos. A lo largo del capítulo se presentan varios ejemplos que requieren el conocimiento de principios de circuitos discretos, integrados lineales e integrados digitales. El diseño de sistemas electrónicos, por tanto, tiene que ver con una buena parte de los contenidos anteriormente planteados. Esto hace del diseño algo bastante retador; de hecho, tiene la posibilidad de ser decepcionante. Es importante tener en mente que las habilidades para realizar un buen diseño se adquieren luego de mucho tiempo. No se debe esperar ser un experto diseñador de circuitos electrónicos habiendo tomado sólo un primer curso que cubra este material.

17.1 PRINCIPIOS DE DISEÑO

El método ordenado para la solución de un problema consta de cinco pasos principales. Se plantearán en forma breve estos pasos y se ampliará el análisis en las siguientes secciones.

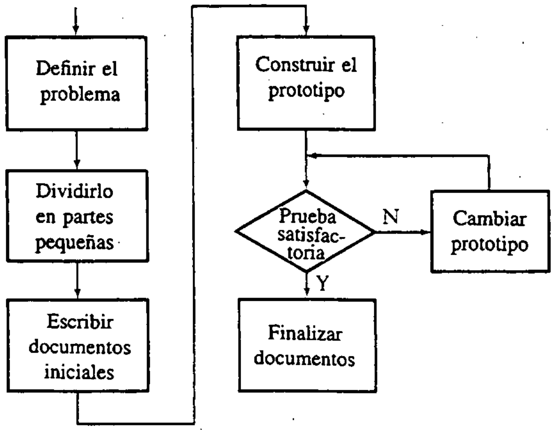
1. *Definir el problema.* Implica establecer lo que se supone que debe realizar el producto, incluyendo especificaciones y necesidades especiales.

2. *Subdividir el problema* Para simplificar y acelerar el proceso de diseño, el problema se divide en problemas más pequeños. Es difícil, aun para el ingeniero más experimentado, resolver un problema grande y complejo en una sola operación.
3. *Crear la documentación* La esencia de la ingeniería es generar dibujos o planos de manera que el sistema se pueda fabricar y las personas lo puedan utilizar. La mejor pieza de un trabajo de diseño en ingeniería es inútil a menos que otros la conozcan. No sería satisfactorio o útil si todo el trabajo tuviese que repetirse cuando el resultado es el mismo.
4. *Construir un prototipo* Es agradable pensar que las teorías y ecuaciones son buenos modelos del comportamiento en la vida real. En la práctica, éste no siempre es el caso. A menos que se construya y pruebe un prototipo, no se puede estar seguro de que hayan sido consideradas todas las contingencias y que se cumplan las especificaciones del diseño.

   Como el prototipo no se construye hasta tener cierta seguridad de que el diseño en "papel" está completo, se incluye una sección denominada "Verificación de diseño". Se sugiere llevar a cabo dicha verificación antes de construir el prototipo.
5. *Finalizar el diseño* Cuando el prototipo trabaja satisfactoriamente, debe probarse en las condiciones en que será utilizado. A continuación, complétese cualquier documentación que se requiera además de los dibujos ya generados.

Esto concluye el ciclo de diseño. En la figura 17.1 se muestra un diagrama de flujo del proceso. Una vez que el proceso de diseño está completo, los documentos terminados se envían a los departamentos apropiados y comienza la construcción del producto. Si el trabajo se hizo en forma apropiada, debió generarse un conjunto claro de planos, instrucciones e información adicional necesarios para construir, mantener y actualizar el diseño.

Figura 17.1
Diagrama de flujo del proceso de diseño.



17.2 DEFINICIÓN DEL PROBLEMA

El primer paso en el proceso de diseño es *definir el problema.* En esta etapa, el ingeniero se enfrenta a dos posibilidades. Puede disponer de un diseño totalmente especificado o el diseño puede ser una idea vaga en la mente del cliente. Con frecuencia el ingeniero se enfrenta a una combinación de ambas, donde una parte del diseño debe realizar ciertas funciones precisas y la otra parte se halla en forma de un bosquejo poco claro.

En el caso de un diseño totalmente especificado, el trabajo del ingeniero es analizar y entender las especificaciones dadas por el cliente. Después de revisar las solicitudes, el ingeniero se debe entrevistar con el cliente para asegurarse de que ambos entienden y están de acuerdo en lo que se supone debe hacer el producto. Es ahora tarea del ingeniero diseñar un producto que cumpla con las especificaciones. Si el producto no está a la medida de los requerimientos, el fabricante se verá forzado a modificar el diseño con el fin de que el producto cumpla los estándares o tendrá que enfrentarse a una pérdida de dinero, reputación y tiempo. Las consecuencias de estos eventos en el ingeniero de diseño están abiertas a la especulación. Es, en el mejor de los casos, una situación poco agradable.

En los casos en que el diseño no se encuentre totalmente especificado, el cliente tal vez tenga sólo una leve idea de lo que debe hacer el producto. Entonces el trabajo del ingeniero será definir el producto para el cliente. Esto generalmente requerirá que el ingeniero y el cliente trabajen juntos hasta que ambas partes lleguen a un acuerdo sobre la definición del producto. Otra vez, el ingeniero debe tener cuidado en determinar las necesidades especiales del cliente. Si el producto no satisface las expectativas, es probable que el cliente decida encargar el trabajo a otra compañía.

17.3 SUBDIVISIÓN DEL PROBLEMA

Una vez que el producto ha sido definido y especificado, es usual que el problema se divida en una serie de pequeños diseños. El número de diseños más pequeños depende de la complejidad del producto.

Como ejemplo, considérese el diseño de un tostador controlado electrónicamente. Un grupo de diseño podría estar trabajando en el mecanismo del tostador, mientras que otro grupo trabajaría en la parte del control electrónico. En este caso, el diseño del producto se divide en dos partes. Incluso con un ejemplo tan simple, existen muchas otras formas de dividir el problema. El ingeniero de proyecto es responsable de dividir el problema en los mejores subconjuntos de manera que el diseño se pueda llevar a cabo en forma rápida y económica. Con frecuencia, el departamento de ingeniería se divide en grupos que se especializan en varias disciplinas, por ejemplo fuentes de poder, circuitos electrónicos y electrónica de control.

17.4 DOCUMENTACIÓN

La responsabilidad primaria de un ingeniero es indicar cómo construir, mantener, utilizar y actualizar el producto diseñado. Esta información *se debe escribir* para que no se pierda. Se utilizan muchos términos y símbolos al especificar el diseño electrónico de hardware. Con el fin de colocar estas palabras y símbolos en el papel, los ingenieros se vieron forzados a crear su propio lenguaje. Como cualquier otro lenguaje, el de la electrónica tiene ciertos símbolos estándar que todos entienden y otros símbolos que poseen un significado distinto para cierto grupo de usuarios.

El lenguaje de la electrónica se puede subdividir en tres partes. La primera es un conjunto de símbolos y palabras reconocidos universalmente: aquellos que utiliza y acepta la mayoría de las industrias. Algunas de estas palabras incluyen los símbolos para resistores y capacitores que se utilizan en diagramas esquemáticos. También se incluyen medidas universales como el ohm, el volt y el henry. El ingeniero puede utilizar estos símbolos para comunicarse con otros acerca de electrónica aun si los lectores no hablan el mismo lenguaje.

La segunda parte del lenguaje consiste en el conjunto de palabras y símbolos que son reconocidos por muchos pero no se han estandarizado. Por ejemplo, existen muchos símbolos diferentes para el transistor de efecto de campo (FET), todos los cuales significan la misma cosa pero se ven diferentes uno de otro. Este subconjunto se reconoce y su significado se entiende, pero la gente involucrada continuará utilizando sus propios símbolos y palabras hasta que se vuelvan obsoletos o no estándar. Varias palabras de la "jerga" como *canal* e *interfaz*, se pueden utilizar de diferentes maneras y significar muchas cosas para personas distintas.

La parte final de este lenguaje está compuesta de formas especiales que cada empresa utiliza para comunicarse de manera interna. Varias de estas formas están concebidas para utilizarse sólo dentro de la compañía en cuestión. Otras son formas semiestándar que constituyen variaciones de los estándares de la industria. Cada vez que un diseñador se traslada a otra compañía, debe aprender un nuevo dialecto de modo que los documentos se puedan generar de manera aceptable. Algunos ejemplos de estas formas lo constituyen las listas de partes, las requisiciones y los pedidos de cambio de productos; esta es información que la compañía debe conocer, pero no las otras.

17.4.1 El diagrama esquemático

El *diagrama esquemático* o *de circuito* es el plano de un dispositivo electrónico que se dibuja utilizando símbolos estándar y no estándar. Este diagrama muestra las interconexiones y los componentes utilizados para construir el circuito. Por lo general, un esquema sólo muestra las conexiones eléctricas necesarias para construir un circuito y no el arreglo físico y la construcción de éste.

El esquema es uno de los documentos más importantes que debe elaborar un ingeniero. La mayoría de los otros documentos necesarios para la producción y el servicio se derivan del dibujo esquemático.

Para obtener un esquema claro y entendible, generalmente es deseable dibujar primero los esquemas individuales para cada uno de los bloques en un sistema subdividido. Luego se dibuja el esquema completo utilizando los más pequeños y combinándolos en forma apropiada.

El esquema principal se organiza colocando los módulos relacionados cercanos entre sí, de modo que las líneas de las señales de interconexión recorran el camino más corto. El esquema principal se dibuja de manera que cada uno de los módulos ocupe una parte separada del plano. Como regla para un buen diseño, los módulos se deben mostrar como un todo y no estar dispersos por el dibujo. Las etapas relacionadas que tienen entradas y salidas en común se deben dibujar cercanas entre sí.

17.4.2 La lista de partes

Cualquiera que haya utilizado una lista para ir de compras al mercado entiende el concepto de lista de partes. Es un compendio de todas las partes necesarias para construir el producto. A menudo esta lista se subdivide en módulos con el fin de facilitar su lectura. Los componentes del mismo tipo se listan juntos para facilidad de referencia. La lista de partes es utilizada tanto por los ingenieros como por los administradores para evaluar costos y verificar la construcción del prototipo. No existe una forma estándar para hacer la lista de partes, ya que cada fabricante tiene sus propias ideas sobre lo que se debe incluir. En la figura 17.2 se muestra una lista con algunas de las posibilidades.

17.4.3 Listas de ejecución y otra documentación

Además del esquema y de la lista de partes, se utilizan otras listas en las etapas de producción de prototipos. Se les han asignado varios nombres y se pueden organizar de diferentes formas. El propósito de estas listas es seguir el alambrado, disponer de una relación de las señales y facilitar la construcción del prototipo. En la figura 17.3 se incluyen listas típicas, que abarcan la ejecución, el alambrado y la lista de señales y alambrado. Estas listas, en combinación con la lista de partes y los dibujos de ensamblado, son utilizadas por los ingenieros para construir y probar el prototipo, y generar la orden de trabajo que requiere el departamento de producción para construir la unidad.

17.4.4 Utilización de documentos

Existen diferentes tipos de documentos y órdenes de trabajo que se utilizan a lo largo del ejercicio de la profesión de ingeniero. Muchos de estos documentos son para uso de la compañía en contabilidad, propaganda o administración. Aquí se han cubierto algunos documentos relacionados con la construcción y planificación de la unidad. Para mantener un seguimiento de las modificaciones que se hacen a la unidad, los esquemas y las listas se deben actualizar y cambiar constantemente.

Figura 17.2
Ejemplo de lista de partes.

Símbolo esquemático	**Valor en unidades apropiadas**	**Información descriptiva adicional**	**Número de parte del fabricante o propia**	**Cantidad requerida**
R_1, R_2	10 k 1/4 w	película de carbón 5%	R10353	2
R_3	12 k 1/4 w	composición de carbón 10%	R123102	1
C_1	0.01 μF	cerámica de disco 50 V	C18201	1

Además, se debe listar lo siguiente:

1. Partes alternas
2. Partes del fabricante
3. Número de serie si es aplicable
4. Otra información que se juzgue necesaria por los departamentos de ingeniería, mercado y producción

Cada lista de partes también se debe identificar como sigue:

	Nombre y número de parte	**Fecha de envío**	**Cambios**
XYZ	Lista de partes de calibrador de motor	Enviado el 6/5/86	Revisión 4

Página 1 de 4

Cantidad	**Parte**	**Descripción**	**Número**
2	R_1, R_2	10 k 1/4 w película de carbón 5%	R10353
1	C_1	0.01 μF cerámica de disco 50 V	C18201
2	C_2, C_3	0.1 μF cerámica de disco 50 V	C17201
1	C_4	10 μF 25 wVdc electrolítico	C15803
1	Q_1	100 μF 15 wVdc electrolítico	C14803

Siempre que se hacen cambios a la unidad, todos los documentos apropiados se deben modificar tan pronto como sea posible. Confiar en la memoria es un camino seguro para crear errores en los documentos y constituye una pérdida de tiempo para cualquiera que deba utilizarlos para probar y construir la unidad.

17.5 VERIFICACIÓN DEL DISEÑO

Se está listo para construir y probar el prototipo. Sin embargo, como la transición del "diseño en papel" a hardware representa un paso importante en el proceso de diseño, se recomienda una pausa en este punto para una segunda verificación del trabajo anterior.

Señal	Ubicación
CE	10C12, 5B6, 3D2, 2D3, 1D12
D1	10C11, 9C11, 8C11
D2	10C9, 9C9, 8C9
D3	10C8, 9C8, 8C8

Nombre de la señal — Ubicación de la señal — Identificador del chip — Número de terminal

OR

Señal	Ubicación	X	Y
CE	10C12	1119	110
CE	5B6	509	90
CE	3D2	330	130
CE	2D3	220	120

X, Y: Sistema reticular para especificar la exacta ubicación de la terminal

Número de alambre	Ubicación	X	Y	Ubicación	X	Y	Longitud	Señal
1	10C12	1119	110	5B6	509	90	Y3	CE
2	3D2	330	130	2D3	220	120	Y3	CE
3	5B6	509	90	3D2	330	130	Y3	CE
4	2D3	220	120	1D12	100	96	Y4	CE

Número de alambre: Orden en que se trenzaron los alambres — X, Y: Ubicación de ambas terminales del alambre — Longitud: Color del alambre y código de longitud

Ubicación	X	Y	Señal	Número de alambre
10C9	1117	110	X	34 36
10C10	1118	110	Y	58
10C11	1119	110	CE	1

Ubicación: Número de chip y terminal — X, Y: Ubicación

Figura 17.3 Listas de ejecución.

Algunos de los problemas que pueden presentarse son los siguientes: salidas que se unen entre sí inadvertidamente y que luego asumen estados diferentes, terminales del CI flotantes, problemas de lazos de tierra, acoplamiento entre circuitos y falsos disparos.

Muchos ingenieros que diseñan circuitos digitales tienen una lista de verificación que llevan en su mente mientras diseñan los circuitos. Por desgracia, es usual que estas listas se desarrollen como resultado de cometer errores de diseño, es decir, representan intentos de evitar la repetición del mismo error.

La versión corta de una lista de verificación típica debe contener los siguientes cuatro pasos:

1. *Entradas y salidas* Asegúrese de que todas las entradas sin utilizar estén conectadas ya sea a una salida, a tierra o a la fuente de alimentación. Las

entradas que se dejan flotando pueden asumir niveles incorrectos y "engañar" al circuito al suponer que se aplicó otro nivel lógico. Otro asunto relacionado con la entrada es verificar que el número de entradas conectadas a una salida no exceda las especificaciones para el dispositivo. Si el número es muy grande, se deben añadir compuertas intermedias (*buffers*) para que el circuito alimente apropiadamente la carga.

2. *Problemas de sincronización* Se presentan muchos problemas en los circuitos cuando se espera que los eventos ocurran en forma simultánea y no sucede así. Estos problemas se pueden deber a retardos de propagación. Ello provoca que un circuito integrado con varias salidas cambie de estado en momentos diferentes, aun cuando el diseño indique que los eventos deben suceder al mismo tiempo. Otro problema que se puede presentar es cuando varias entradas requieren los datos al mismo tiempo y las entradas están retrasadas debido a que atraviesan primero por otros circuitos. Aunque se pueden añadir compensaciones de retardos de tiempo, con frecuencia la única forma segura de solucionar problemas relacionados con la sincronización es rediseñar el circuito.
3. *Solicitudess especiales* Esta categoría incluye cualquier peculiaridad del circuito que se deba tomar en cuenta. Por ejemplo, ciertos CI de memoria provocan picos que aparecen en sus entradas de alimentación. Para que estos pulsos no interfieran con otros dispositivos, se debe colocar un capacitor entre las entradas de alimentación. Además, para una operación adecuada, algunos circuitos integrados TTL deben tener sus salidas conectadas a la fuente de alimentación a través de un resistor.
4. *Necesidades de energía* El diseñador debe estar seguro de que la alimentación puede proporcionar la corriente y la tensión adecuadas. Además, la fuente necesita estar apropiadamente filtrada y debe haber suficientes capacitores entre las terminales de la fuente. Es necesario considerar la forma de eliminar el calor excesivo. Algunas familias lógicas como TTL y ECL se calientan un poco cuando operan con carga máxima.

17.6 ARMADO DE PROTOTIPOS DE CIRCUITOS DIGITALES

Si bien este texto no pretende ser una guía para la construcción de circuitos, son adecuadas algunas palabras sobre el tema. Los ingenieros, los investigadores y los aficionados requieren medios rápidos y económicos para construir circuitos digitales. Ninguna de estas personas necesita construir un gran número de sus diseños. Los métodos de producción para la construcción de circuitos en general no se justifican debido al costo y complejidad. Los circuitos digitales producidos en masa se construyen utilizando láminas de circuito impreso (con frecuencia de dos caras). Estas láminas se metalizan y procesan en una instalación destinada a la construcción de circuitos impresos. Es difícil corregir errores en dichas láminas o hacer cambios si son necesarios. Cuando se requieren estos cambios, las pistas se cortan y quitan de la lámina o se añaden puentes de alambre, o ambas cosas a la

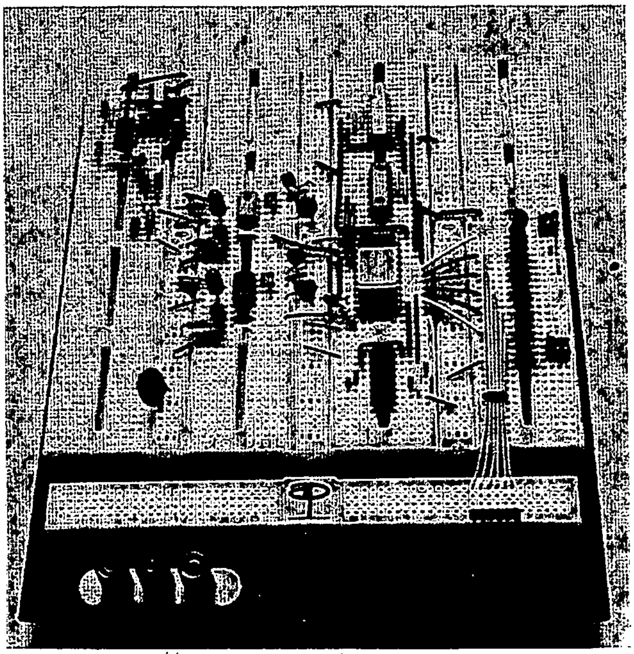


Figura 17.4
Tablilla de prototipos
Cortesía de A P Products.

vez. Para evitar este problema, se han desarrollado varios métodos que permiten una fácil modificación de los circuitos.

Un dispositivo muy común que se utiliza para circuitos simples ha recibido una gran variedad de nombres de fábrica, entre otros *tablilla de prototipos* y *tablilla de circuitos*. En la figura 17.4 se muestra una tablilla representativa. Consiste en una base de plástico con una rejilla de orificios interconectados que se pueden utilizar para conectar los componentes entre sí. Estas tablillas están diseñadas para aceptar circuitos integrados y terminales de componentes estándar de modo que se pueda utilizar cualquier elemento. Son de fácil empleo, y los componentes se pueden usar nuevamente. Existen algunas desventajas asociadas al uso de estas láminas. Debido a su diseño, adolecen de una elevada capacitancia entre terminales y, después de mucho tiempo de uso, aparecen falsos contactos.

Otro método popular de armar prototipos y pequeños volúmenes de producción es el *alambrado con enrollamiento* (*wirewrap*), como se ilustra en la figura 17.5. Las conexiones se realizan utilizando una combinación especial de herramientas y bases que permite hacer interconexiones rápidas y confiables entre circuitos. La base especial tiene una parte superior que permite la inserción de un CI, mientras que la parte inferior consta de terminales cuadradas alrededor de las cuales se enrolla el alambre. La herramienta está diseñada para realizar en forma precisa, embobinados compactos alrededor de las terminales. La persona que arma el circuito lleva estos alambres de terminal a terminal para hacer las interconexiones dentro del circuito. Las láminas de alambrado con enrollamiento tienen varias ventajas: las conexiones son seguras, los circuitos son fáciles de cambiar y las láminas resultan económicas cuando se trata de pequeños volúmenes de producción. Entre

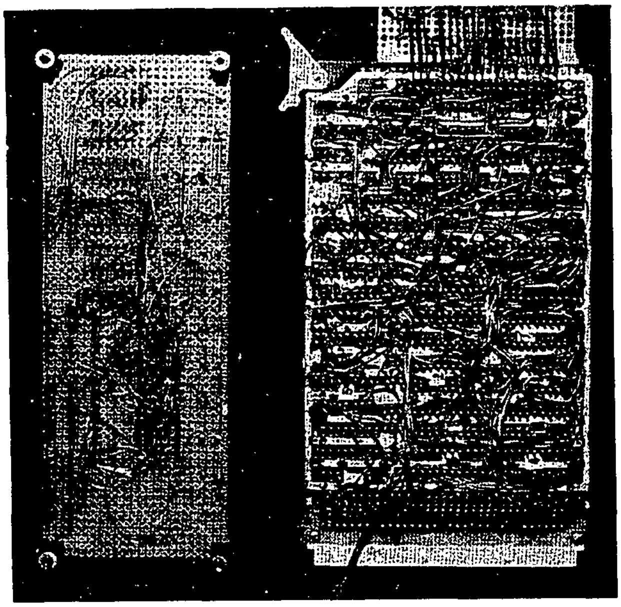


Figura 17.5
Alambrado con enrollamiento.

las desventajas están la susceptibilidad al ruido de otros circuitos y la diafonía. Se pueden alambrar erróneamente y son más voluminosos que una lámina de circuito impreso.

17.7 EJEMPLOS DE DISEÑO

El proceso de diseño sigue una progresión lógica de pasos específicos, pero está lejos de ser simple. Unas décadas atrás, cuando se encargó a los ingenieros el diseño de fuentes de alimentación y otros sistemas bien desarrollados, ellos utilizaron varios manuales que contenían ejemplos y todas las ecuaciones necesarias. Varias de estas personas fueron llamadas cariñosamente "ingenieros de manuales".

La diversidad de aplicaciones de la electrónica y la miríada de desarrollos continuos en el campo han hecho más difícil el diseño. Aunque el estudiante ya tiene las habilidades necesarias para realizar varios diseños, tendrá que trabajar mucho para pulir estas habilidades y ser un buen diseñador. Debe estudiar en forma constante para mantenerse actualizado respecto a los nuevos desarrollos en electrónica.

Como las habilidades de diseño se enriquecen con la práctica, se presentan cinco ejemplos de diseño para su estudio en esta sección. Además, los problemas al final de este capítulo contienen varias situaciones complejas que ayudarán aún más al estudiante a desarrollar sus habilidades.

Ejemplo 17.1 Tacómetro digital

Planteamiento: La fábrica de motores XYZ determinó que los tacómetros mecánicos utilizados en la prueba de sus motores se han vuelto muy caros. Con la esperanza de encontrar una alternativa electrónica más económica, se pusieron en contacto con la compañía de ingeniería ABC y le comunicaron a una persona de ventas lo que deseaban. Usted es el ingeniero de ABC asignado a este proyecto. Siga los pasos en este proceso de diseño.

SOLUCIÓN Usted se pone en contacto con el cliente para definir con precisión el problema y el producto deseado. El cliente y usted discuten y trabajan sobre las necesidades del nuevo tacómetro digital. Usted realiza entonces una lista de las especificaciones para un nuevo tacómetro digital. Suponga que la siguiente es una lista de funciones y especificaciones.

1. Lectura de revoluciones por minuto.
2. Intervalo de 200 a 8000 rev/min.
3. Precisión del 1% y lectura en decenas de revoluciones por minuto.
4. Utilización de la línea de 110-120 V 60 Hz para la alimentación y la sincronización.
5. Utilización de un transductor de sincronización que produce un pulso por cada revolución.

El problema está definido y usted ya entiende lo que desea el cliente. Esto completa el primer paso en el ciclo de diseño.

Se pasa ahora a la subdivisión del problema. Usted estudia el problema y define un diagrama de bloques como el que se muestra en la figura 17.6. El problema se divide en cinco partes. Una parte consiste en la entrada al tacómetro y el procesamiento necesario para que esta entrada sea compatible con el resto del circuito. Como el propósito de este circuito es contar el número de revoluciones de un motor, el circuito necesita un dispositivo contador. El conteo debe durar un periodo determinado debido a que las especificaciones del cliente piden revoluciones por minuto. Por tanto, el circuito necesita un reloj para llevar el control del tiempo. Se deben mostrar las revoluciones por minuto, por lo que se requiere un sistema de despliegue. Por su experiencia pasada, usted sabe que los despliegues no "entienden" la información de salida del contador. Es necesario un descodificador entre el despliegue y los contadores.

Ya se definieron las cinco partes del problema y se dibujó un diagrama de bloques del sistema, que muestra las interconexiones de los módulos separados.

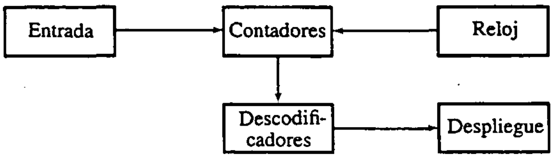


Figura 17.6
Diagrama de bloques para el ejemplo 17.1.

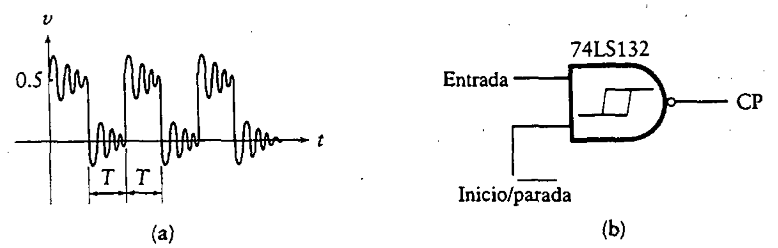


Figura 17.7
Señal de entrada.

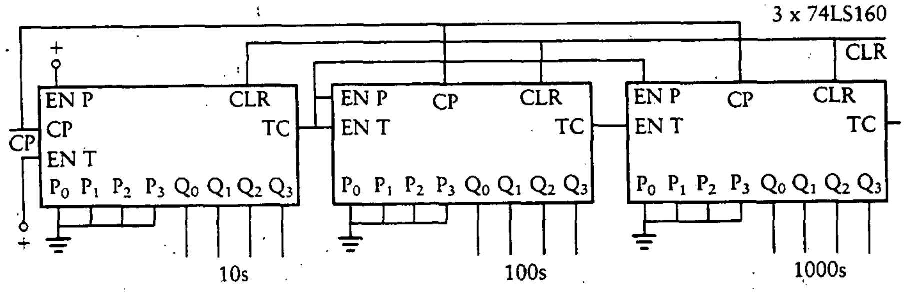


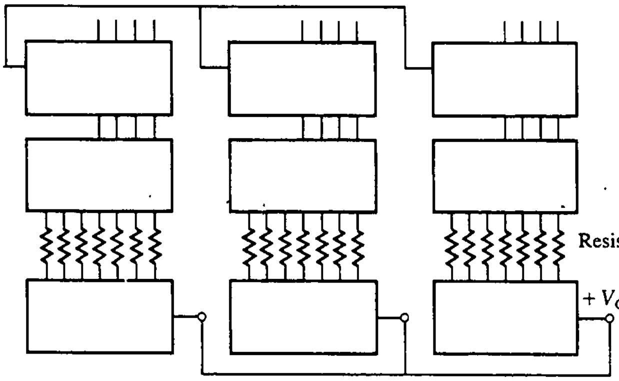
Figura 17.8
Circuito contador.

Esto completa la segunda fase del proceso de diseño. Ahora se puede diseñar cada uno de los módulos.

Primero se considera el módulo de entrada. Se debe determinar el tipo de señal que puede generar el motor como entrada al tacómetro digital. La señal se toma de un pequeño transductor montado en la caja del motor. La señal, mostrada en la figura 17.7(a), está contaminada con ruido y transitorios. Como resultado, la señal se debe limpiar antes de entrar al resto del circuito. Para realizar este "acondicionamiento de señal" o limpieza, usted decide utilizar un disparador Schmitt. Este circuito presenta una alta inmunidad al ruido debido a la forma en que reconoce unos y ceros. La salida del circuito disparador Schmitt es un pulso limpio de 0 a 5 V que resulta útil para el resto del sistema. Como se dispone de una energía amplia, usted decide utilizar la familia económica de CI TTL. Su diseño de los circuitos para el acondicionamiento de la señal de entrada se muestra en la figura 17.7(b).

La siguiente etapa por considerar es el módulo contador. Este módulo es necesario para contar el número de pulsos que ingresan a través del circuito de entrada y enviar este número a los circuitos descodificadores. El contador empieza, para y vuelve a cero por medio del reloj, por lo que se deben proporcionar medios para empezar, parar y volver a cero la entrada. El despliegue se debe leer en números decimales, por lo que es mejor utilizar módulos contadores decimales. Revísese el manual de TTL buscando un contador decádico o divisor por 10 que tenga entrada de reiniciación y entrada de inicio/paro. Selecciona el 74LS160 y conecta el cir-

Figura 17.9
Módulo decodificador y memoria de paso.



cuito contador de la figura 17.8. Los tres CI proporcionan 1000 como dígito más significativo y 10 como el menos significativo.

El módulo descodificador, que se muestra en la figura 17.9, realiza la función de cambiar el formato de los datos de manera que se puedan mostrar en los despliegues. Los datos que vienen del contador se deben procesar.

Las líneas de datos cambian o vuelven a cero constantemente y sólo existe un pequeño tiempo durante el cual se pueden leer. Para utilizar y guardar estos datos, usted coloca una memoria de paso en las líneas de datos. Ésta almacena las señales BCD mientras cambian los datos de entrada. Se selecciona una memoria de paso doble de 4 bits 74LS116.

La señal se debe transformar de BCD a una forma que el despliegue de 7 segmentos pueda manejar. Un CI descodificador realiza esta función, y usted elige el 74LS47, que se describe como un descodificador/excitador BCD a siete segmentos. Cada salida proporciona hasta 24 mA de corriente y, como los despliegues no requieren más de 24 mA para su operación, no se necesita añadir transistores para ganancia de potencia.

Antes de proseguir con el balance del diseño, usted recuerda haber leído acerca de un CI que combina las funciones de contador, memoria de paso y descodificador. Su manual muestra que dicho circuito está disponible; se trata del 74LS143. Este es un contador de 4 bits, memoria de paso y manejador de despliegue de 7 segmentos. La salida es capaz de excitar con 15 mA de corriente constante varios LED de ánodo común. (Este CI se analizó en el Cap. 16.) En la figura 17.10 se muestra el esquema de acoplamiento de tres de estos CI para la presente aplicación. Usted simplificó el circuito en forma considerable.

Préstese atención ahora al circuito de reloj. La línea de entrada de 60 Hz se utiliza para el reloj, como se muestra en la figura 17.11(a). Según se observa en el diagrama, la señal de 60 Hz se rectifica y utiliza para encender y apagar un 2N2222, proporcionando un tren de pulsos de 0 a 5 V a una frecuencia de 60 Hz. Esta señal se utiliza para excitar un contador divisor por seis, el 74LS92, que proporciona una salida de 10 Hz. Usted está interesado en las variaciones de la

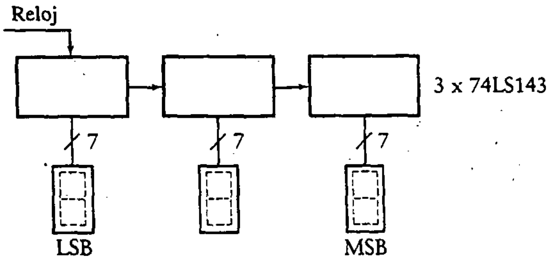


Figura 17.10
Contador/memoria de paso y manejador de siete segmentos.

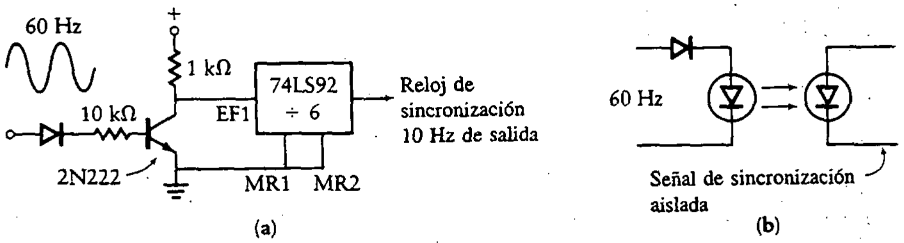


Figura 17.11
Circuito de reloj.

línea de energía y su posible acoplamiento con varios dispositivos que se alimentan de la misma línea. Sería bueno proporcionar aislamiento eléctrico con respecto a la línea de energía. Dicho circuito es un optoaislador y se analiza en los capítulos 1 y 3. Este circuito combina un diodo activado por luz (DAL) con un LED para transmitir sólo la señal de 60 Hz. Estos dispositivos operan por lo general en la región infrarroja para eliminar los efectos debidos a la luz ambiental. El circuito se muestra en la figura 17.11(b).

Se necesitan varias salidas de su circuito de sincronización: una señal de inicio/paro, una señal de sincronización, una señal de reiniciación y una señal de datos listos. Como la salida sólo debe leer decenas de revoluciones por minuto, decide hacer que la duración de la ventana sea de 0.1 min. Durante este tiempo, el circuito contador contará el número de pulsos que entran al sistema. Como éste también corresponde al tiempo que el pulso de sincronización está encendido, se puede utilizar como señal de inicio/paro. Una vez que se detiene el contador, se pueden enviar los datos a los circuitos descodificadores. La señal de inicio/paro negada o invertida se utiliza para controlar las memorias de paso en los tres CI 74LS143. Recuérdese que el 74143 se dispara por nivel.

Ya puede usted pasar al despliegue. Este es importante porque el cliente estará viendo esta parte de su diseño más que el resto de los circuitos. El despliegue debe ser lo suficientemente brillante para poderse ver bajo una gran variedad de condiciones de iluminación, y los números deben ser del tamaño adecuado para poderse leer sin dificultad. Usted decide utilizar despliegues de siete segmentos de 3/4 de pulgada para la salida. Estos se muestran en la figura 17.12.

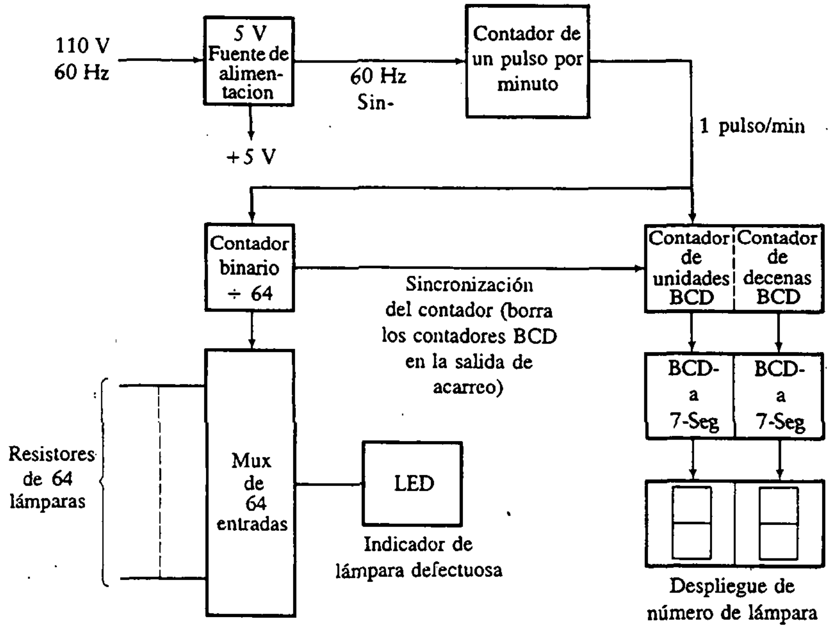


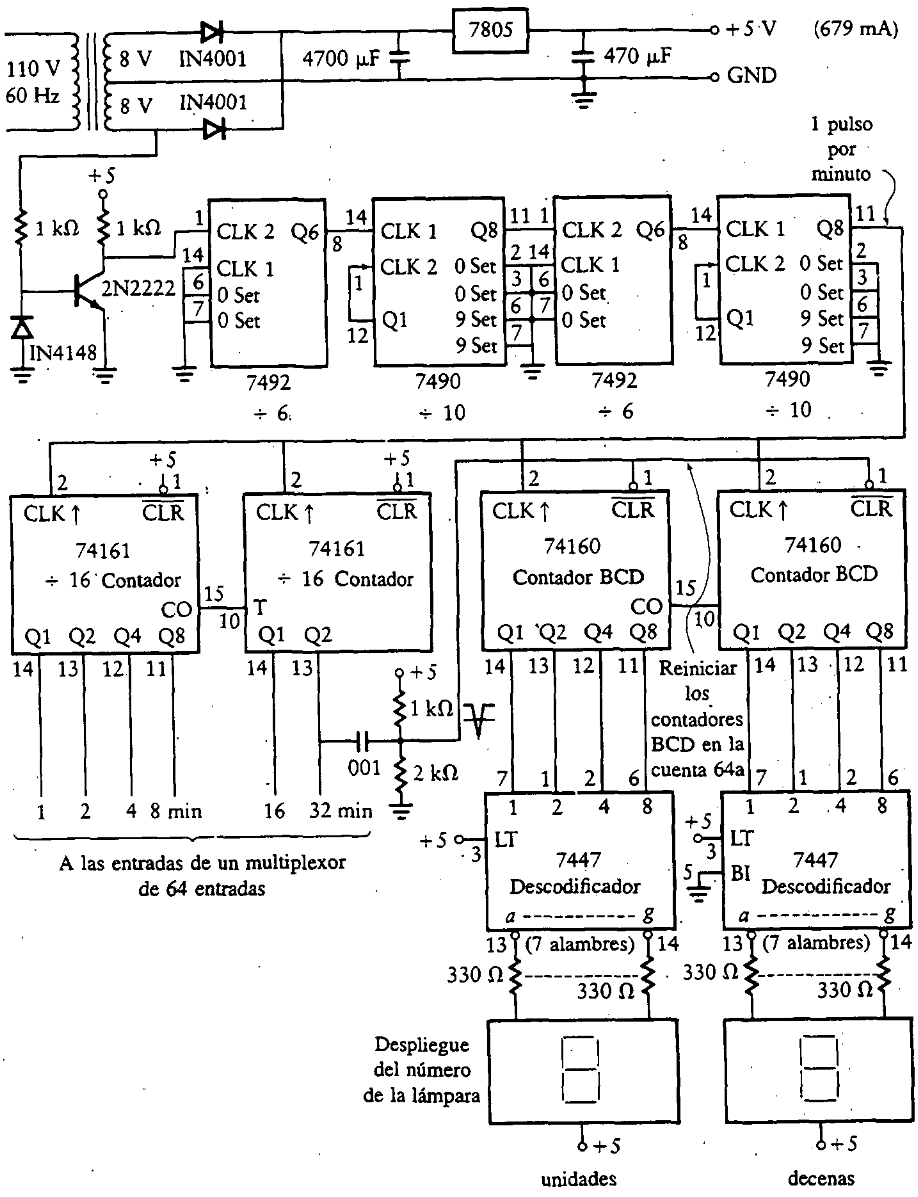
Figura 17.13
Diagrama de bloques para el ejemplo 17.2.

Cada segmento del LED requiere 10 mA, y se debe encender un máximo de 12 segmentos (por ejemplo, para mostrar 28, 38 ó 58).

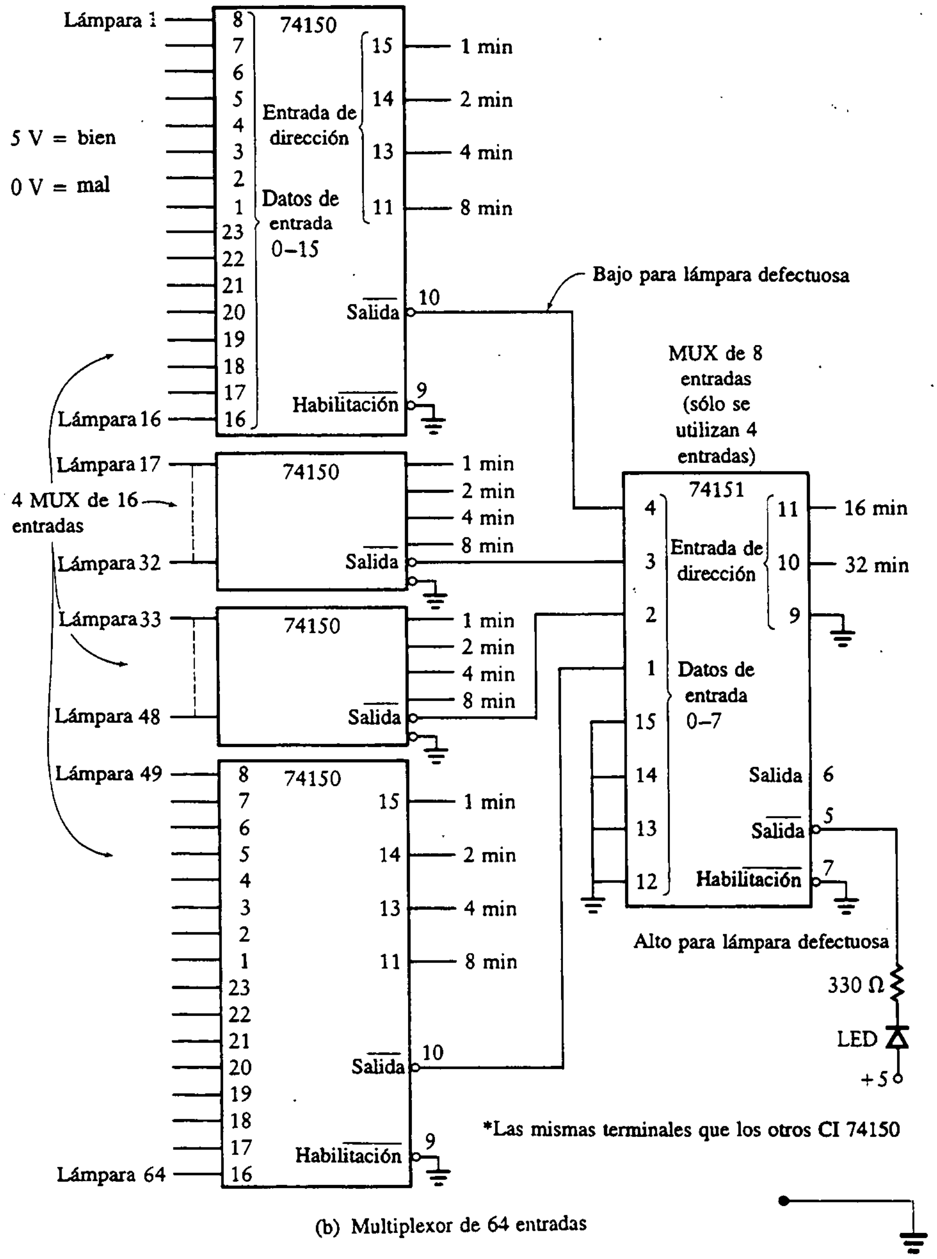
La máxima corriente en el despliegue es	120
El indicador de lámpara con falla necesita	10
El transistor 2N2222 necesita	10
El derivador RC en la línea de reiniciación BCD necesita	2
La corriente total es entonces	679 mA

Esto se halla dentro de los 750 mA que puede proporcionar el 7805. Por tanto, el diseño inicial está completo, y se deben seguir los otros pasos de la sección 17.1.

Figura 17.14
Diagrama esquemático para el ejemplo 17.2.



(a) Fuente de alimentación, reloj, contadores y despliegue del número de lámpara



(b) Multiplexor de 64 entradas

Ejemplo 17.3 Detector de presión en la cámara de un reactor

Planteamiento: Diséñese un sistema para visualizar la presión de la cámara de un reactor. El transductor de presión proporciona una señal de 400 Hz con una amplitud de tensión pico a pico proporcional a la magnitud de la presión, de acuerdo con la ecuación:

$$\text{amplitud} = \frac{100\, mV_{p-p}}{100 \text{ psig}}$$

El transductor de presión tiene un intervalo de 0 a 1000 psig. La salida del sistema se debe mostrar en tres despliegues de siete segmentos, los cuales leen psig de 0 a 999 psig. Derívese la energía de la línea de 110 V, 60 Hz.

SOLUCIÓN La amplitud de la señal de entrada es proporcional a la presión, pero esta señal se halla modulada en amplitud en una portadora de 400 Hz, por lo que primero se debe desmodular. Entonces se tiene una tensión de cd que es proporcional a la presión. En este punto existen varios métodos, incluyendo la simple alimentación de esta señal a un voltímetro digital ($3\frac{1}{2}$ DVM). Después de investigar varias técnicas y comparar costos, se eligió alimentar la tensión a un VCO y utilizar un contador para medir la frecuencia de salida. Como los VCO no operan bien con 0 V de entrada para frecuencia cero, se ha decidido desplazar la entrada de 0 mV a 2 V y una entrada de 1000 mV a 3.4 V.

El diagrama de bloques se muestra en la figura 17.15. El VCO se adecúa para generar una frecuencia entre 1000 y 1999 Hz. Esta frecuencia se cuenta durante una ventana de 1 s, y el resultado se muestra en los LED a través de una memoria de paso. El periodo de 1 s lo proporciona un reloj 555 que opera en modo astable. Sólo se despliegan los últimos tres dígitos (0–999, suprimiendo el dígito de los millares). Es necesario almacenar los datos en el despliegue antes de limpiar los contadores. Por tanto, se activa la memoria de paso aproximadamente 30 ns antes de volver a cero los contadores alimentando la señal de reiniciación a través de una serie de inversores. El diagrama esquemático se muestra en la figura 17.16.

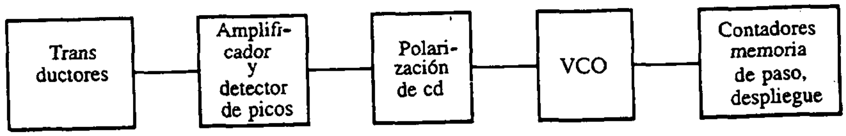


Figura 17.15
Diagrama de bloques para el ejemplo 17.3.

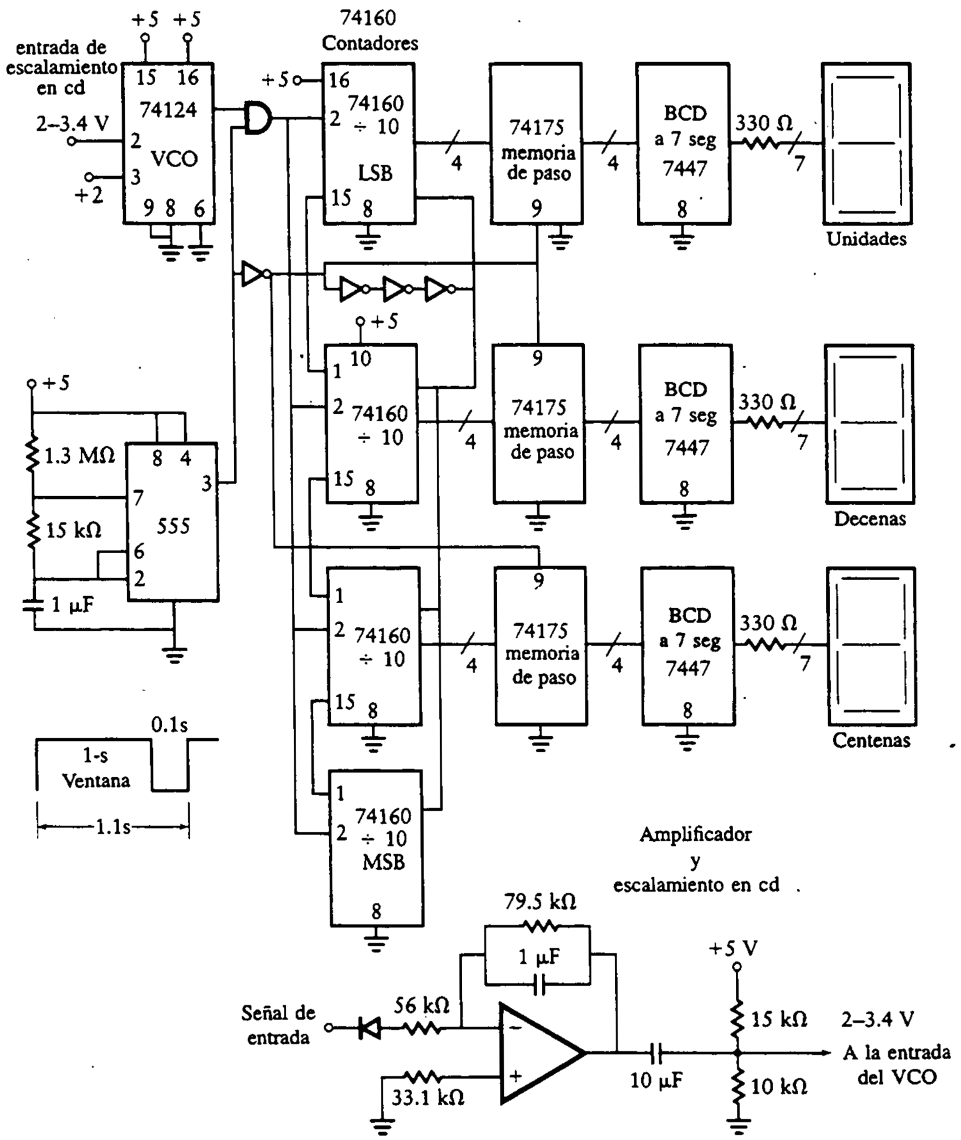


Figura 17.16 Diagrama esquemático para el ejemplo 17.3.

Ejemplo 17.4 Velocímetro de alarma

Planteamiento: Diséñese un velocímetro con alarma para medir la velocidad de un automóvil. La entrada al sistema se toma de una bujía. Cada pulso de la bujía tiene una magnitud de $\frac{1}{2}$ V, y se presenta cada dos revoluciones del motor. Una velocidad del motor de 2500 rev/min equivale a una velocidad de 60 mi/h (en velocidad alta). La velocidad es proporcional a las revoluciones por minuto del motor suponiendo que no existe pérdida de fuerza de la transmisión y que ésta permanece en velocidad alta.

Se requieren dos salidas del tacómetro. Una es el despliegue visual de la velocidad y otra un tono audible que advierte respecto a las velocidades altas.

La lectura de tres despliegues de siete segmentos mostrarán la velocidad del automóvil con precisión de un punto decimal. Un tono audible aumenta su frecuencia conforme la velocidad aumenta por encima de 60 mi/h. El tono se interrumpe a una tasa de 10 Hz. La frecuencia del tono es de 500 Hz entre 60.0 y 69.9 mi/h, de 2 kHz entre 70 y 79.9 mi/h y de 5 kHz por encima de 80 mi/h. Se debe excitar un altavoz de 8 Ω con $\frac{1}{2}$ W de potencia.

SOLUCIÓN El diagrama de bloques de una solución se muestra en la figura 17.17. La señal de entrada de la bujía se acondiciona para ser compatible con TTL mediante un amplificador operacional y un disparador Schmitt. Como se tienen pocos pulsos de entrada, éstos se deben multiplicar y ajustar. (Véase la Sec. 17.8 para mayor información sobre esta técnica.) Los pulsos de salida se generan a una velocidad de 288 pulsos por cada pulso de entrada. A esta tasa, 6000 pulsos por segundo corresponden a 60 mi/h. Por tanto, sólo se necesita dividir el número de pulsos de salida por segundo entre 10 para obtener la velocidad en mi/h con un punto decimal de precisión.

El siguiente paso es contar la velocidad de pulsos. Esto se realiza por medio de una ventana de 0.1 s de duración y contando el número de pulsos que ocurren durante el tiempo que dura la ventana. Mientras la ventana está abierta, se cuentan los pulsos con tres contadores de décadas. Tan pronto como se cierra la ventana, la cuenta se pasa a tres memorias de paso de 4 bits para producir una salida a los descodificadores. Cuando la cuenta se memoriza, los contadores se limpian y la ventana se puede abrir otra vez. En el intermedio, la cuenta memorizada se muestra en tres despliegues de siete segmentos. El dígito más significativo se envía a tres comparadores de magnitud de 4 bits. Estos lo comparan con 6, 7 y 8. Las salidas de los comparadores se utilizan para habilitar la señal de advertencia apropiada. El diagrama esquemático se muestra en la figura 17.18. En la tabla 17.1 se presenta una lista parcial de partes.

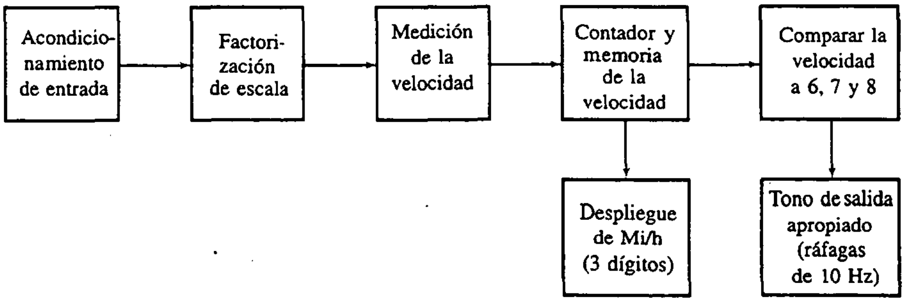


Figura 17.17 Diagrama de bloques para el sistema del ejemplo 17.4.

Tabla 17.1 Lista parcial de partes para el ejemplo 17.4.

Número de parte	Descripción	Cantidad
555	Generador de reloj	7
7447	Decodificador BCD-7 segmentos	3
74175	Biestable D	3
74160	Contador de décadas programable	3
7485	Comparador de 4 bits	3
7492	Contador de docenas	2
7493	Contador de 4 bits	1
74132	Disparador Schmitt	1
7474	Biestable D	1
7402	Compuerta NOR de 2 entradas	1
7404	Inversores	1
7408	Compuerta AND de 2 entradas	1
7417	*Buffers*	1
741C	Amplificador operacional	1
40-262	Altavoz de 8 Ω	1
LRT 173	Despliege de 7 segmentos	3
	Resistores	44
	Capacitores	12

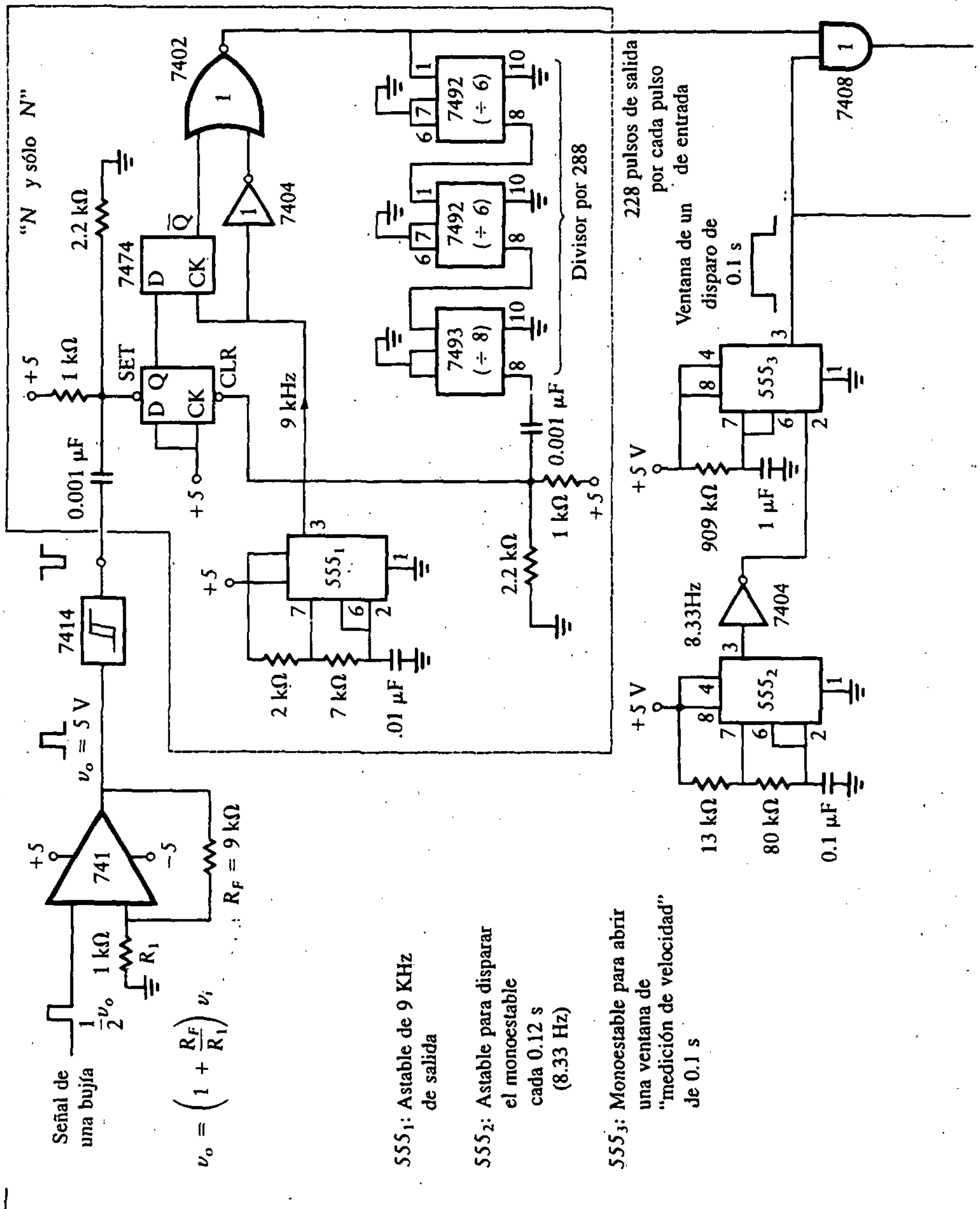
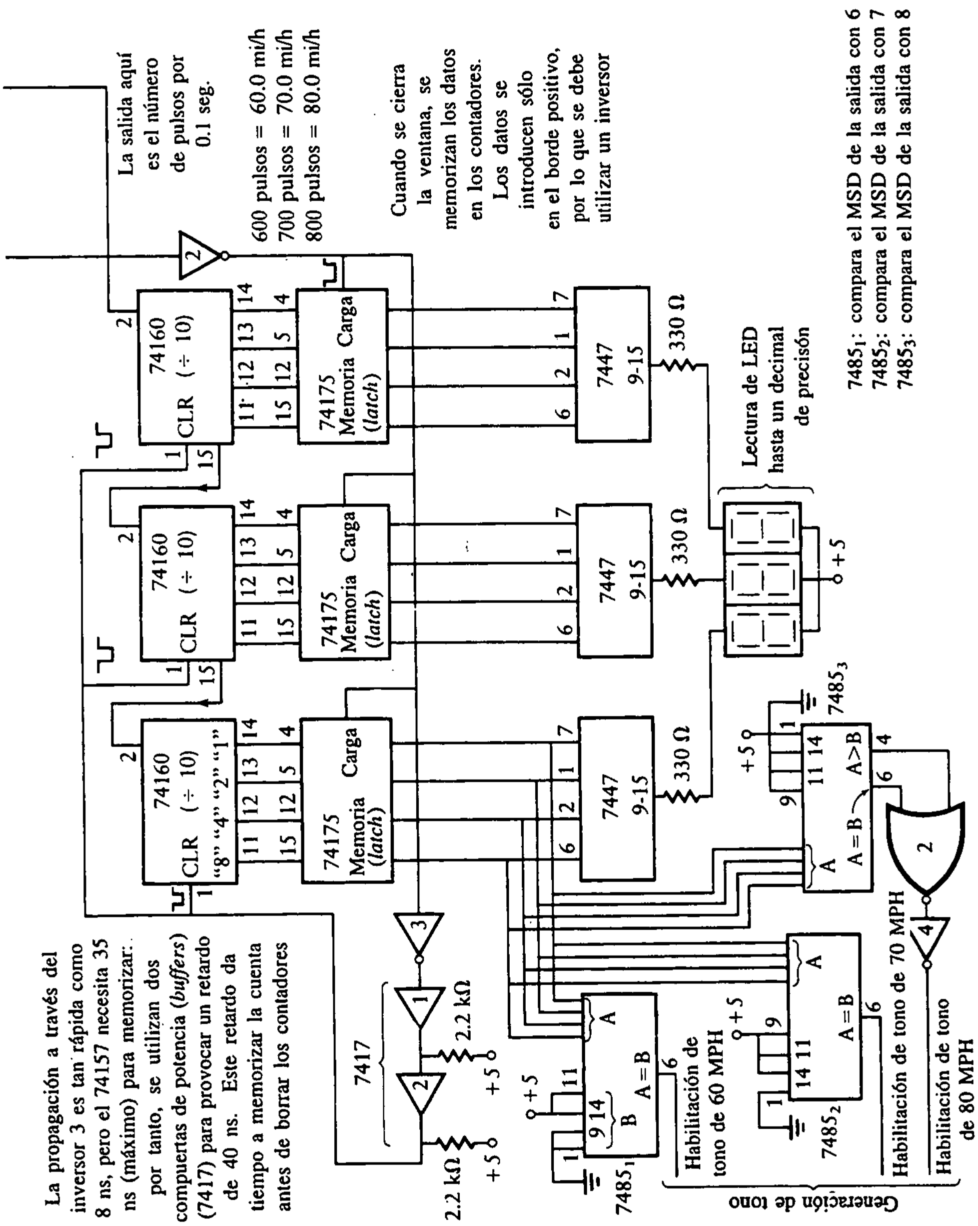
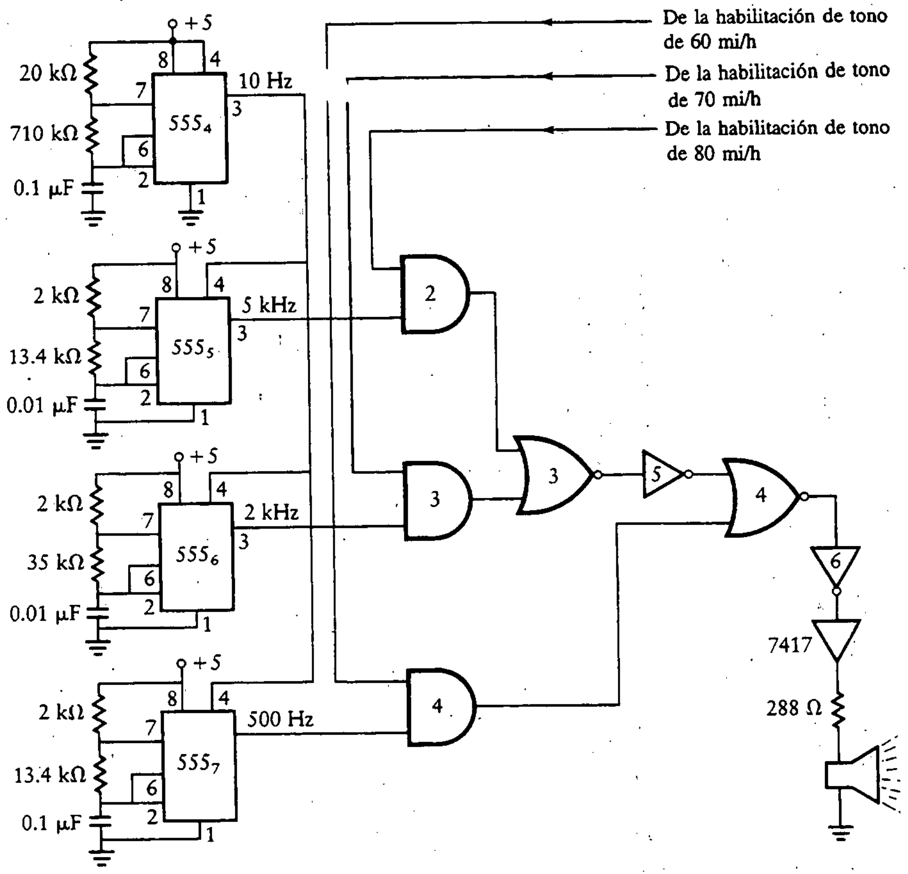


Figura 17.18 Esquema para el ejemplo 17.4.



(a) Diagrama esquemático para el termómetro de alarma

Figura 17.18
(Continuación)



555_4 : Una salida de 10 Hz para crear una ráfaga de tono. La salida del 555_4 borra los otros tres de tal forma que sus salidas estarán en ráfagas de 10 Hz.

555_5 : Crea el tono de alarma de 5 Hz para velocidades mayores que 80 mi/h

555_6 : Crea el tono de alarma de 2 Hz para velocidades entre 70 y 79.9 mi/h

555_7 : Crea el tono de alarma de 500 Hz para velocidades entre 60 y 69.9 mi/h

(b) Módulo de generación de tonos para el ejemplo 17.4

Ejemplo 17.5 Controlador de reproductora de cinta

Planteamiento: Diséñese un controlador digital para reproductor de cinta que tenga las entradas y salidas especificadas en la figura 17.19. No hay límites de tamaño, fuente de energía o tipo de circuitos integrados para utilizar en el problema, pero el circuito debe proporcionar señales de 12 V para los controladores de motores.

Figura 17.19
Especificaciones del control del reproductor.

	Boton presionado			
Estado presente	Parar	*Play*	Adelanto rápido	Rebobinado
Para	NC	Espera 0 s. Activa M1, M2. Activa audio	Espera 0 s. Activa M1.	Espera 0 s. Activa M3.
Play	Espera 0 s. Para M1, M2. Bloquea audio	NC	Espera 0 s. Para M2. Bloquea audio.	Para M1, M2. Bloquea audio. Espera 1 s. Activa M3.
Adelanto rápido	Espera 0 s. Para M1.	Espera 0 s. Activa M2. Activa audio	NC	Para M1. Espera 1 s. Activa M3.
Rebobinado	Espera 0 s. Activa M3.	Para M3. Espera 0 s. Activa M1, M2. Activa audio	Para M3. Espera 1 s. Activa M1.	NC

SOLUCIÓN En primer lugar se subdivide el problema en tres partes: control de motor, control de audio y secciones de conmutación. Como las salidas requieren un nivel de tensión de 12 V, se decide utilizar CI CMOS. Se dibuja un diagrama de bloques con las indicaciones sobre las salidas y entradas que se esperan de cada módulo. Esto se muestra en la figura 17.20. Después de haber dividido el problema, se diseñan los bloques individuales.

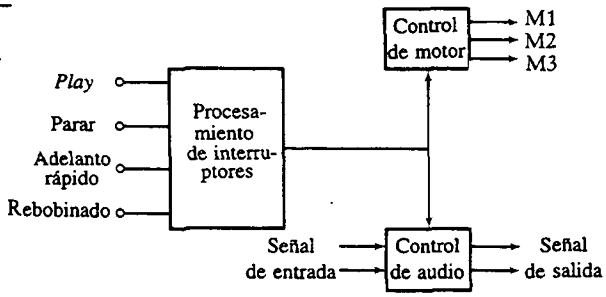


Figura 17.20
Diagrama de bloques para el ejemplo 17.5.

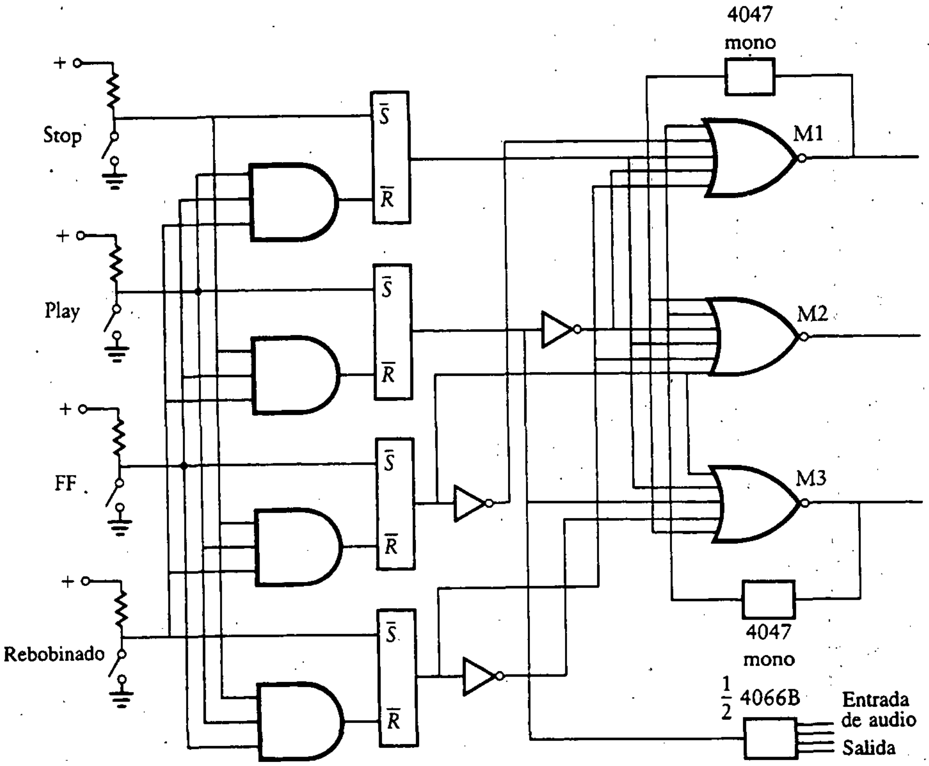


Figura 17.21 Esquema para el ejemplo 17.5.

Los circuitos para control de motor se necesitan para generar los retardos que dependen del orden de las operaciones de conmutación. Como la magnitud del retardo no es crítica (es decir, 1.05 s es tan bueno como 1 s), se utiliza un circuito multivibrador monoestable. Al consultar el manual de CMOS, se encuentra que el 4047B tiene las entradas y salidas necesarias para generar los retardos.

La porción de audio del sistema necesita un circuito especial para conmutar señales de audio de bajo nivel (2 V o menos). La familia CMOS incluye el conmutador bilateral cuádruple 74HC4066, el cual se puede conmutar utilizando señales digitales. Para la parte de conmutación de la unidad, se puede utilizar un dispositivo de memoria, como un biestable de tipo D, para eliminar rebotes y recordar qué interruptor fue presionado la última vez. Después se diseña el resto de la lógica a fin de generar las formas de onda necesarias para la interfaz de señales. Se dibuja un esquema como el de la figura 17.21. Luego se construye y prueba un prototipo. Si la unidad se fuese a poner en producción, se elaboraría una lista de partes, se diseñarían los circuitos impresos y se tendrán que escribir otros documentos necesarios para la producción.

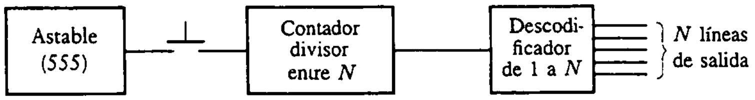


Figura 17.22
Generador de números aleatorios.

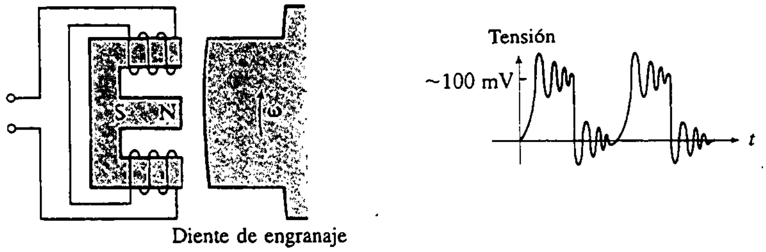


Figura 17.23
Sensor de reluctancia variable.

17.8 INTRODUCCIÓN A LOS PROBLEMAS

Los problemas que concluyen este capítulo son en general desafiantes, y no existen soluciones correctas únicas. De hecho, conforme pasa el tiempo y se desarrollan y perfeccionan nuevos dispositivos, las posibles soluciones a estos problemas mejorarán.

Al formular estos problemas, se han tratado de elegir situaciones para las cuales el estudiante ya tiene las herramientas necesarias, al menos para intentar solucionarlos. Sin embargo, existen algunos cabos sueltos que nos gustaría unir ahora a fin de aumentar el repertorio de herramientas disponibles para el estudiante.

En situaciones relacionadas con juegos, será necesario tener la capacidad de generar *números aleatorios*. Por fortuna, éste es un proceso simple con varios métodos posibles. Una de las formas más sencillas de generar un número aleatorio se muestra en la figura 17.22. Se construye un reloj 555 en alta frecuencia. La salida del 555 se utiliza para seleccionar una línea de salida de un descodificador. Cuando se interrumpe la señal del 555 al descodificador, éste se detiene y una línea de salida se pone en alto. Todas las líneas de salida del descodificador tienen la misma probabilidad de quedar en alto. Como la frecuencia del 555 es alta comparada con las otras frecuencias en el sistema (por ejemplo, el tiempo de reacción si se está presionando un botón), el momento en el cual se detiene el reloj es aleatorio.

En varias situaciones físicas, se necesitarán medios para proporcionar entradas a los sistemas digitales a partir de dispositivos mecánicos. El *sensor de reluctancia variable* es un dispositivo común para proporcionar dicha señal a un sistema digital. En la figura 17.23 se ilustra un ejemplo de uso de este dispositivo sensor junto con un engrane rotatorio. Conforme el diente del engrane, que está hecho de material

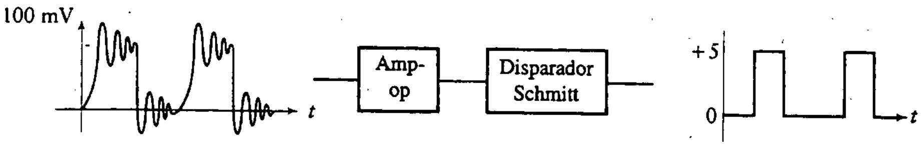


Figura 17.24 Acondicionamiento de señal.

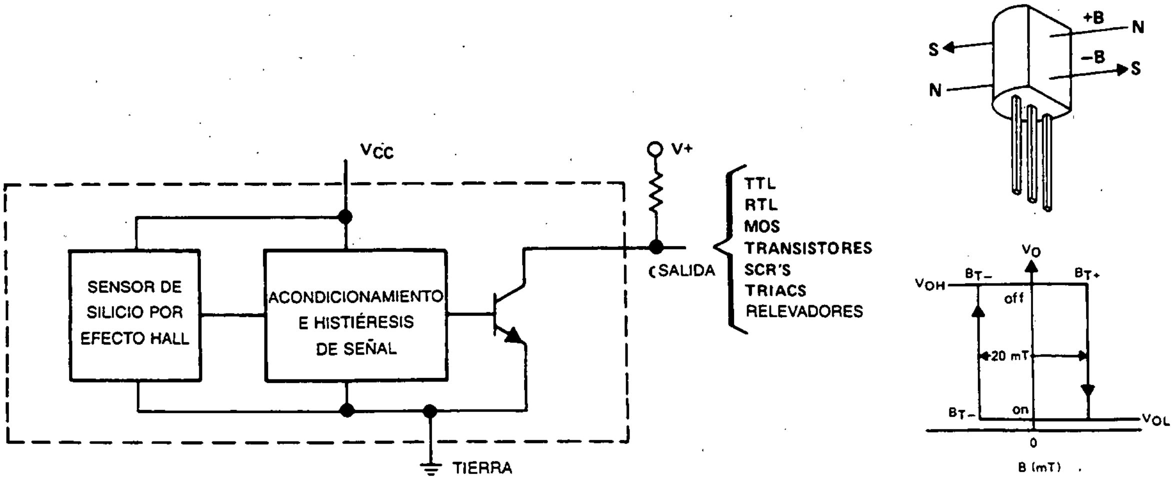
magnético, se mueve a través del magneto, se genera una tensión en la salida de las bobinas, que están enrolladas alrededor del circuito magnético. El tren de pulsos resultante en la salida es ruidoso, y en general el nivel de tensión es incompatible con los circuitos digitales debido a que es muy pequeño. Por tanto, la señal se debe acondicionar.

El acondicionamiento de la señal consiste en amplificarla a un nivel compatible con la lógica digital particular que se utilice y luego aplicarla a un disparador Schmitt, como se muestra en la figura 17.24. La salida es entonces una señal de 0 a 5 V (en el caso de TTL) que es compatible con los circuitos digitales.

A menudo se trabaja con magnetos en el proceso de captar una posición, determinar el espesor, medir pesos, controlar la velocidad y supervisar la presión. El estudiante debe ser capaz de captar un campo magnético. Esto se puede hacer con un *conmutador de silicio por efecto Hall.* El TL170C, que se muestra en la figura 17.25, es un ejemplo de dicho conmutador. Se trata de un interruptor de bajo costo operado magnéticamente y compuesto de un sensor de efecto Hall, funciones de acondicionamiento de señal y de histéresis, y un transistor de salida. En general, las salidas de estos circuitos son compatibles con los CI digitales, de modo que se requiere muy poco, tal vez nada, de acondicionamiento de señal.

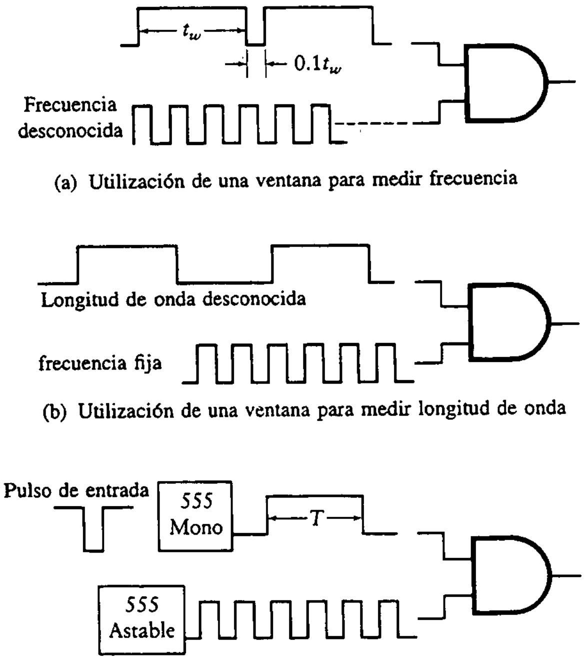
En varios problemas de diseño se utilizó una *ventana.* Antes de llegar a los problemas de diseño al final del capítulo, se presentan tres usos de una ventana para varias aplicaciones en sistemas electrónicos.

Figura 17.25 Generador de efecto Hall.



(a) (b)

Figura 17.26
Utilización de ventanas.



(a) Utilización de una ventana para medir frecuencia

(b) Utilización de una ventana para medir longitud de onda

(c) Multiplicación de frecuencia

1. Utilícese una ventana para medir frecuencia o velocidad. Si se mantiene una ventana en alto por un tiempo fijo, t_w, se contará el número de pulsos en una señal de frecuencia desconocida. Esto se consigue haciendo la AND de la ventana con el tren de pulsos de frecuencia desconocida. El circuito se muestra en la figura 16.25, y se repite en la figura 17.26(a). La salida del circuito AND proporciona el número de pulsos (de la señal de frecuencia desconocida) que se presentan en el periodo, t_w. Como se muestra en la figura 17.26(a), la ventana ideal está en alto durante el tiempo t_w y en bajo por un tiempo pequeño, $0.1t_w$. El flanco de bajada de la ventana se utiliza para activar la memoria de paso y limpiar así el contador para la siguiente vez que la ventana pase a alto. Se desea un tiempo en bajo de $0.1t_w$ de manera que se pierda un mínimo de tiempo antes de actualizar el despliegue.
2. Utilícese una ventana para medir la longitud de onda o $1/f$. Este modo, que se muestra en la figura 17.26(b), utiliza una señal de longitud de onda desconocida como ventana y una señal de alta frecuencia fija como entrada. Estas se pasan por una AND, dando como resultado el número de pulsos de frecuencia fija que es proporcional al tiempo que la ventana se mantiene abierta. Por tanto, el número de pulsos de salida es proporcional a la longitud de onda.
3. Utilícese una ventana para producir una multiplicación de los pulsos de entrada. En aplicaciones en las que el número de pulsos que vienen del sensor

es insuficiente para alimentar el contador, se debe multiplicar el número de pulsos por una constante. Supóngase, por ejemplo, que se requieren 10 pulsos cada vez que se recibe un pulso del instrumento. Se establece una ventana de manera que con un pulso de entrada al sistema se generen 10 pulsos en la salida. Esto se consigue haciendo que los pulsos de entrada disparen el monoestable 555 de la figura 17.26(c) para proporcionar una ventana de duración T. Se diseña un astable 555 de forma tal que durante el tiempo T se produzcan exactamente 10 pulsos en la salida. Se realiza una AND de la ventana de periodo T con el tren de pulsos del astable 555 para producir los 10 pulsos deseados por cada pulso de entrada.

17.9 CONCLUSIONES

Tal vez el proceso de diseño parezca complicado si ésta es la primera vez que se aborda. Es importante darse cuenta de que ésta es un área donde la práctica es muy importante. También debe saberse que hay ayuda disponible en forma de manuales, otros ingenieros que tal vez trabajan en la misma compañía, profesores, notas de aplicación, libros, revistas y publicaciones técnicas. Aunque la habilidad es un importante recurso para diseños efectivos, también es importante estar actualizado con respecto a nuevos desarrollos en el campo. Esto requiere una lectura extensa y la asistencia a encuentros de sociedades profesionales. Si se es organizado en los métodos y se tiene el deseo de buscar información, y escribiendo los pasos seguidos para producir un prototipo, se pueden resolver muchos problemas difíciles.

Este bagaje de herramientas, junto con lo aprendido en este libro, permitirá al estudiante enfrentar el amplio conjunto de desafiantes problemas de diseño de sistemas electrónicos. Después de resolver algunos de estos problemas, esperamos que el estudiante se encuentre motivado para inventar sus propios problemas. Sólo necesita ver a su alrededor para formular una lista casi ilimitada de proyectos.

¡Buena suerte en esta excitante tarea!

PROBLEMAS

Utilícense CI TTL o CMOS y/o elementos discretos en cada uno de los siguientes problemas. El diseño final debe incluir una explicación escrita de la operación del sistema y un diagrama esquemático. Inclúyanse el valor de los componentes utilizados y el número de los CI y elementos discretos. Supóngase que todas las tensiones necesarias se hallan disponibles; por tanto, no debe diseñarse la fuente de alimentación para estos problemas. Utilícese la menor cantidad de componentes posible.

17.1 Diséñe un sistema de observación de pozos petroleros para medir la salida de un campo de 16 pozos. La salida de *cada* pozo se mide con un medidor

de flujo que proporciona un número digital binario correspondiente a una de las siguientes cuatro condiciones de flujo.

00 No existe flujo
01 33.3% de flujo
10 66.6% de flujo
11 100% de flujo

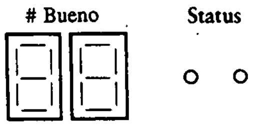


Figura P17.1

La información proveniente de los 16 pozos se transmite a un centro de control, donde se utilizan dos LED y dos despliegues de siete segmentos en el formato mostrado en la figura P17.1. Los dos despliegues de siete segmentos identifican el número del pozo (0 a 15) en observación. Los dos LED simples indican la información de flujo (estados). Cada pozo debe observarse y leerse cada 1.6 min durante 0.1 minuto. Además, cuando el flujo sea 00 para cualquier pozo, se deberá emitir un tono de 1 kHz siempre que aparezca el número del pozo en cuestión.

17.2 Diséñese un indicador de prueba de lámparas para un avión comercial a fin de verificar 16 luces importantes de vuelo y conexión a tierra. Cada lámpara tiene un pequeño resistor entre la luz y tierra, como se muestra en la figura P17.2. Cuando la lámpara se encuentra en operación, la tensión a través del resistor es 5 V. Cuando la lámpara no está en operación, la tensión a través del resistor cae a cero. Pruébese cada una de las lámparas durante 5 s y muéstrese el número de la lámpara (0 a 15) en dos despliegues de siete segmentos. Cada vez que falle una lámpara, deberá activarse un tono de 1 kHz durante los 5 s que se prueba la lámpara. Es suficiente con una potencia de $\frac{1}{4}$ W para excitar el altavoz de 8 Ω.

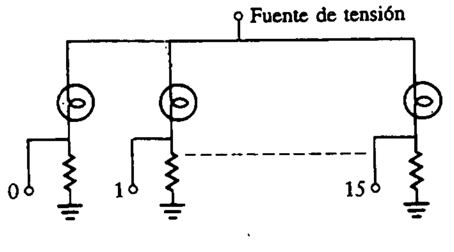


Figura P17.2

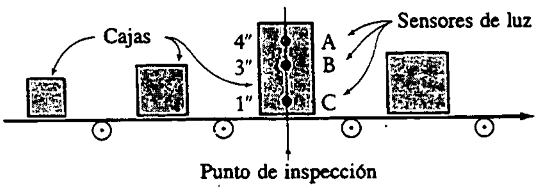


Figura P17.3

17.3 Diséñese un sistema de inspección de ensamble en línea para clasificar cajas de acuerdo con el tamaño de cada una. Las cajas pasan a lo largo de la línea de ensamble, como se muestra en la figura P17.3. Los sensores de luz A y B se utilizan para determinar el tamaño de la caja. El sensor de luz C se emplea para detectar la presencia de una caja. Se desea aceptar todas las cajas que tengan entre 3 y 4 pulgadas de altura. Las cajas que no cumplan este requisito deben ser rechazadas por el sistema de inspección. Cuando una caja pase el sensor de altura, verifíquese su tamaño y, si no se halla

entre 3 y 4 pulgadas, proporciónese un pulso de 5 V para dar energía a un solenoide que saque la caja de la línea (es decir, que la rechace).

Los sensores de altura proporcionan entradas al sistema con la tabla de función de la figura P17.4. El sensor C se halla en alto cuando una caja está presente y en bajo cuando no hay ninguna caja. El nivel alto (1 lógico) es 5 V y el bajo (0 lógico), 0 V.

	Altura		
	A	B	C
Altura de la caja < 3"	0	0	1
3" < Altura de la caja < 4"	0	1	1
4" < Altura de la caja	1	1	1
Ausencia de caja	0	0	0

Figura P17.4

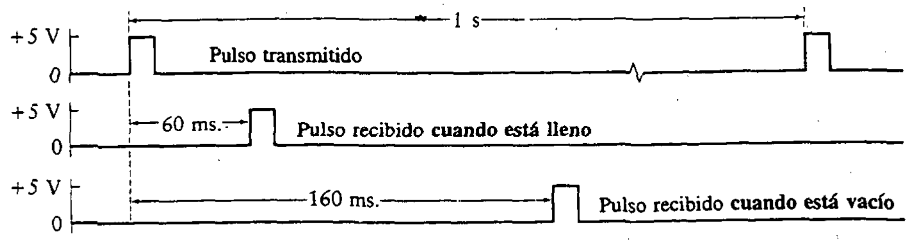
17.4 Utilícense dos despliegues de siete segmentos en el diseño de un circuito medidor de frecuencia que muestre el DMS en un despliegue de siete segmentos y el intervalo "$\times 10^n$" en otro despliegue. La frecuendia del pulso de entrada (0 a 5 V) se halla entre 1 Hz y 9999 Hz. La lectura en este "despliegue n" debe ser como sigue:

Si la frecuencia se halla entre 1 y 9, aparece 0 ya que la frecuencia es $\times 10^0$.
Si la frecuencia se halla entre 10 y 99, aparece 1 ya que la frecuencia es $\times 10^1$.
Si la frecuencia se halla entre 100 y 999, aparece 2 ya que la frecuencia es $\times 10^2$.
Si la frecuencia se halla entre 1000 y 9999, aparece 3 ya que la frecuencia es $\times 10^3$.

Por ejemplo, si la frecuencia es 857, el despliegue del DMS debería indicar 8 y el despliegue $\times 10^n$ debería mostrar 2.

17.5 Diséñese un circuito electrónico que indique la cantidad de líquido de un gran tanque de almacenamiento en un despliegue de siete segmentos. El despliegue muestra la cantidad de líquido en el tanque en porcentajes del 10% al 90% con incrementos de 10%. Debe sonar una alarma si el nivel de líquido cae por debajo de 10% o excede el 90%. El nivel se mide con un dispositivo de sonar que proporciona pulsos, como se muestra en la figura P17.5.

Figura P17.5



17.6 Diséñese un contador descendente para controlar el lanzamiento de un cohete. Se desea contar desde 10 minutos antes del disparo de acuerdo con el siguiente programa:

10.0 minutos	Empieza la cuenta
7.0 minutos	Se transfiere potencia al cohete
6.0 minutos	Se activa el enfriamiento de a bordo
4.0 minutos	Transferencia a la computadora de a bordo
3.0 minutos	Empieza la cuenta de disparo del fusible
2.0 minutos	Se quita el cable externo
0.0 minutos	Disparo

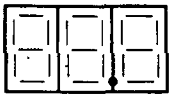


Figura P17.6

Después del disparo, el mismo contador debe llevar la cuenta del tiempo posterior al lanzamiento del cohete y contar al menos hasta 20 minutos. Utilícense tres despliegues de siete segmentos para mostrar los tiempos anterior y posterior al disparo en décimas de minuto, y úsese un conmutador CMOS digital (como el CD4016) para activar cada uno de los eventos en la cuenta regresiva. Los tres despliegues de siete segmentos se deben organizar como se muestra en la figura P17.6. Precárguese un contador de década ascendente/descendente 74190 con 10.0, y en modo descendente pásese a través de los eventos anteriores al lanzamiento. Cuando el contador alcance 00.0, cámbiese para que cuente en forma ascendente. Como sugerencia, utilícense tres contadores de década ascendente/descendente 74190. (Un cero en la terminal 5 hace que se cuente en forma ascendente y un 1 en forma descendente.) Para el reloj, se puede utilizar un astable 555 operando a 100 Hz.

17.7 Diséñense un reloj de 24.0 h y un sistema para controlar las funciones de encendido y apagado necesarias en un complejo de apartamentos.

Si el reloj lee 14.3, esto significa 2:18 p.m., ya que $\frac{3}{10}$ h es $\frac{3}{10}$ de 60 min, lo cual da 18 minutos. Para lograr la mayor precisión del reloj, utilícese la frecuencia de 60 Hz de la línea. Diséñese el sistema para activar lo siguiente:

1. Encender las luces del jardín a las 18.0 h y apagarlas a la 1.0 h proporcionando una señal de 5 V al relevador.
2. Utilizar un distribuidor de datos (74154) para encender 10 posibles conjuntos de aspersores de agua (uno a la vez). Enciéndase el primer conjunto proporcionando una señal de +5 V a la válvula controlada por tensión a las 4.0 horas. Proporciónese una secuencia de riego haciendo que el primer conjunto funcione durante 0.1 h (6 min). Luego apáguese el primer conjunto y enciéndase el segundo, también durante 6 minutos. Continúese esta secuencia hasta que los 10 conjuntos hayan sido encendidos y apagados.
3. Encender el sistema musical (proporcionando una señal de 5 V a un relevador) a las 9.0 h y apáguese a las 21.0 horas.

17.8 Diséñese un controlador para activar un enorme letrero de propaganda, como se muestra en la figura P17.7. Existen 64 luces alrededor del letrero, y se iluminan cuatro a la vez en una secuencia circular como sigue:

	Luces encendidas
1er. segundo	0. 16, 32, 48
2o. segundo	1, 17, 33, 49
3er. segundo	2, 18, 34, 50

.
.
.

Figura P17.7

Cada luz debe permanecer encendida durante un segundo. Las letras se forman por medio de un arreglo de luces que se iluminan en secuencia como sigue:

	Letra encendida
1er. intervalo	C
2o. intervalo	CA
3er. intervalo	CAS
4o. intervalo	CASI
5o. intervalo	CASIN
6o. intervalo	CASINO
7o. intervalo	————
1er. intervalo	Se repite la secuencia

Cada intervalo debe ser de 4 s. En este diseño, no deben tomarse en cuenta las necesidades de potencia de salida sino sólo el diseño electrónico. La salida del diseño electrónico es suficiente para alimentar un LED por cada una de las luces periféricas y un solo LED para alimentar cada una de las letras *C, A, S, I, N* y *O* (es decir, utilícense moldes para las letras).

17.9 Diséñese un sistema para fijar la altura por medio de la presión para un pequeño avión comercial. El sistema debe operar en un intervalo de 0 a 50 000 pies con una resolución de 200 pies. La presión real con la altura, *A*, que se mide en pies, se obtiene de un transductor de presión digital

que proporciona una señal binaria de ocho bits, donde cada número binario equivale a 200 pies. Por tanto, si el transductor de presión proporciona 01101101, la altura es 109 × 200 pies = 21 800 pies.

El piloto calcula en pies la altura deseada, *B*, con un conmutador de tres posiciones en la palanca de control, como se muestra en la figura P17.8. Este conmutador permite al piloto aumentar la altura, presionando hacia adelante el conmutador, o disminuirla, presionando el conmutador hacia atrás.

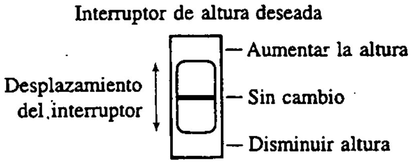


Figura P17.8

Tres despliegues de siete segmentos indican la altura seleccionada (altura deseada) donde el último dígito significativo corresponde a 200 pies. Compárese la altura real con la deseada y proporciónese una señal de 5 V de acuerdo con la siguiente programación:

Terminal	$A > B$	$A = B$	$A < B$
Altitud disminuye	1	0	0
No hay cambio	0	1	0
Altitud aumenta	0	0	1

17.10 Diséñese un sistema de observación de temperatura para el motor de un avión. Es necesario inspeccionar siete puntos a lo largo del motor con el circuito mostrado en la figura P17.9. La tensión V_γ a través del diodo es 0.7 V a 25°C = T_1, y esta tensión se reduce conforme aumenta la temperatura, como sigue:

$$\Delta V_\gamma = -2(T_2 - T_1)\ \text{mV}$$

con T_1 y T_2 en grados Celsius. La temperatura varía de 25°C a 200°C. La salida se muestra en tres despliegues de siete segmentos, como se observa en la figura P17.10. Un LED simple identifica al diodo bajo observación y los tres despliegues de siete segmentos leen la temperatura en el punto en cuestión. Cada temperatura se debe observar de manera secuencial y leerse durante 6 segundos.

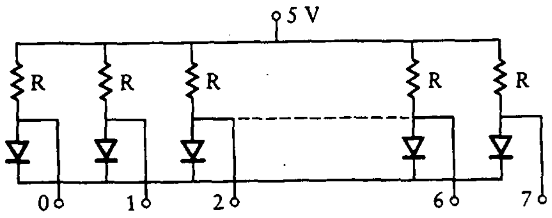


Figura 17.9

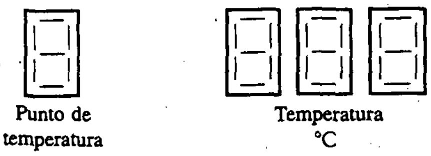


Figura 17.10

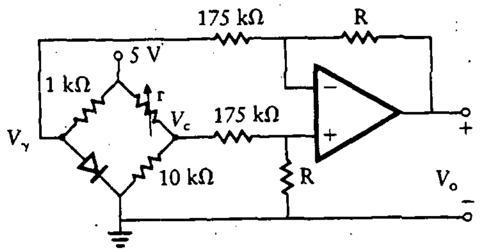


Figura 17.11

Se utiliza un multiplexor analógico (74HC4051) para observar cada uno de los siete valores de tensión. La señal analógica del diodo se debe acondicionar con el circuito con amplificador operacional de la figura P17.11.

La tensión V_γ es

$$V_\gamma = 700 - 2(T - 25) = 750 - 2T \text{ mV}$$

donde T está expresada en grados Celsius. La tensión V_c es

$$V_c = \frac{50}{r + 10} \text{ V}$$

donde r está en kΩ. La tensión de salida, V_o, del amplificador operacional es

$$V_o = \frac{R}{175 \text{ k}\Omega} [V_c - V_\gamma]$$

y sustituyendo, se obtiene

$$V_o = \frac{-R}{175} \left[750 - 2T - \frac{50 \times 10^3}{r + 10}\right] \text{ mV}$$

Se elige r haciendo

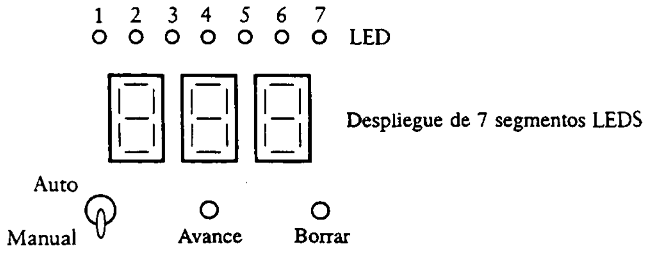
$$\frac{50 \times 10^3}{r + 10} - 750 = 0$$

La ganancia se selecciona con R de la ecuación

$$V_o = \frac{2R}{100\ \text{k}\Omega} T\ \text{mV}$$

Utilícese un DVM de $3\frac{1}{2}$ dígitos para procesar la señal.

17.11 Diséñese un sistema de observación de temperatura que exhiba siete temperaturas distintas en tres despliegues de siete segmentos. Se utilizan siete diodos para medir las siete temperaturas. La tensión de salida de cada diodo, que varía en forma lineal con la temperatura, se alimenta en un amplificador operacional. Cuando la salida del amplificador operacional está calibrada y amplificada adecuadamente, se obtiene una señal de cd que va de 0.25 V para 25°C a 1.25 V para 125°C. El diseño debe inspeccionar cada una de estas salidas, en secuencia, y mostrar la temperatura durante un minuto. Siete LED individuales indican el punto donde se está midiendo la temperatura, como se muestra en la figura P17.12.



Figuras P17.8

Se requieren dos modos de operación, como sigue:

a. Modo automático: cada temperatura se muestra durante un minuto.
b. Modo manual: la temperatura exhibida se mantiene hasta que el usuario presione el botón de avance para ver la siguiente temperatura.

17.12 Se desea ahorrar energía en un gran museo encendiendo y apagando en forma automática las luces de salas visitadas con poca frecuencia, como se muestra en la figura P17.13. Diséñese un circuito electrónico que encienda las luces cuando entre la primera persona y las apague cuando la última persona deje la sala. El sistema electrónico debe ser capaz de detectar hasta 99 personas en la sala al mismo tiempo. Los sensores de entrada y de salida consisten cada uno en un haz de luz paralela como se muestra en la figura. Supóngase

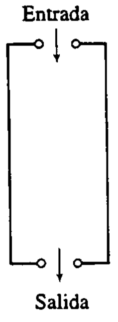


Figura P17.13

que los sensores normalmente proporcionan una salida de 0 V que cambia a 5 V cuando el haz se interrumpe. Proporciónese un interruptor para colocar la cuenta en cero. Supóngase que la entrada es lo bastante angosta como para que pase una sola persona a la vez y que el haz se interrumpe una sola vez por persona.

17.13 Diséñese un control de televisión para un hotel con 14 cuartos por piso. Diséñese el sistema electrónico (sólo para un piso) para detectar si algún televisor está encendido. Si esto sucede, se envía una señal de 5 V a la oficina desde un interruptor instalado en cada televisor. Cuando el televisor está apagado, la señal enviada es cero. Cada televisor se capta durante un minuto antes de pasar al siguiente aparato del piso, y el proceso se repite con la inspección de cada televisor cada 14 minutos.

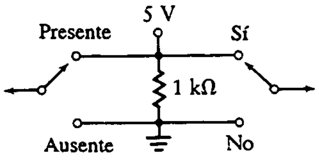
La lectura se presenta en dos despliegues de siete segmentos, que indican los números de cuarto del 0 al 13, y un LED simple que se activa cuando el televisor en el cuarto está encendido y se desactiva en caso contrario.

17.14 Diséñese un sistema de votación electrónico para utilizarse en el Parlamento, el cual consta de 256 miembros. Cada miembro tiene dos conmutadores, como se muestra en la figura P17.14(a). El primero se utiliza para indicar que el miembro está presente en la sesión. Cada miembro de la audiencia enciende este conmutador, enviando 5 V al podio. Cuando el miembro está ausente, la señal en el podio es 0 V. Un voto SI, que se graba con el segundo conmutador, envía 5 V al podio, mientras que un voto NO envía 0 V.

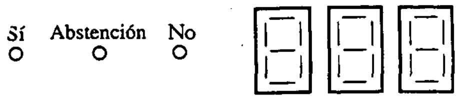
La salida está compuesta de tres LED simples, que indican el resultado de la votación: ya sea SI, ABSTENCION o NO. Además, hay tres despliegues de siete segmentos que indican el número de miembros que votaron. Este despliegue se muestra en la figura P17.14(b).

El Presidente del Parlamento, que se encuentra en el podio, tiene un interruptor que se utiliza para deshabilitar el circuito. Cuando todos los miembros han votado ya sea SI o NO, el Presidente del Parlamento activa el interruptor del podio, el cual memoriza los resultados en el despliegue. Una vez activado este interruptor, ningún voto se puede cambiar.

17.15 Diséñese un sistema de control digital para vigilar la velocidad angular del rotor principal de un helicóptero. El sistema se muestra en la figura P17.15.



(a)



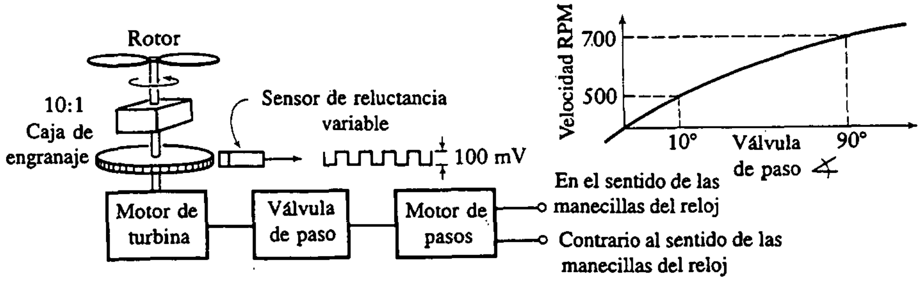
(b)

Figura P17.14

La velocidad real del rotor se indica en dos despliegues de siete segmentos. La velocidad deseada del rotor, que aparece en otros dos despliegues de siete segmentos, se fija en el tablero de control en un intervalo de 50 × 10 a 70 × 10 rev/min. Un conmutador de tres posiciones permite al piloto aumentar (deslizando el interruptor hacia adelante) o disminuir (desplazándolo hacia atrás) las rev/min. Cuando el interruptor está en el centro, no sucede nada.

El rotor, que gira a una velocidad de entre 500 y 700 rev/min, se conecta a través de un tren de engranes al motor de la turbina, el cual gira a una velocidad de entre 5000 y 7000 rev/min. La diferencia entre la velocidad deseada, f_D, y la velocidad real, f_a (en revoluciones por minuto), se utiliza para cambiar el flujo de combustible de una válvula de paso. Al aumentar el flujo aumenta la velocidad de la turbina, lo cual incrementa la velocidad del rotor. Cada pulso en el motor de pasos aumenta (o disminuye) el flujo y, por tanto, aumenta (o disminuye) la velocidad angular del rotor.

La velocidad real, f_a, se genera con un engrane de hierro de 500 dientes colocado en el eje de la turbina. Este engrane se utiliza con un sensor de reluctancia variable, el cual produce un tren de pulsos de 100 mV pico a pico. Cada vez que el rotor completa una revolución, se generan 500 pulsos en la salida.



Figuras P17.15

17.16 Se desea tener vigilado e indicado el número de revoluciones por minuto de las aspas de un molino de viento experimental. El intervalo de operación esperado es de 60 a 240 rev/min. Se coloca un engrane de 100 dientes al eje de las aspas y se capta por medio de un sensor magnético, el cual proporciona un pulso de +100 mV por cada diente que pasa por él.

a. El circuito debe procesar la señal del sensor magnético y mostrar la velocidad del molino en revoluciones por minuto utilizando tres despliegues de siete segmentos.

b. El circuito debe activar una alarma de 400 Hz si la velocidad excede 240 rev/min. Supóngase que la salida del CI puede alimentar directamente un pequeño altavoz.

17.17 Diséñese un sistema de control digital para medir en forma precisa el error de la velocidad angular en una enorme centrifugadora. Esta gira a una velocidad angular precisa y se utiliza para aplicar aceleración a objetos grandes. Este circuito es un indicador de *E-V-A* (error de velocidad angular). La salida

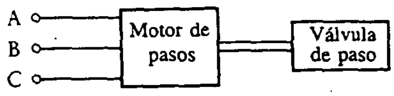
se tiene en cinco despliegues de siete segmentos para leer el error en la velocidad ω_E (en revoluciones por minuto) con tres dígitos decimales. El indicador *E-V-A* se utiliza para detectar el error en la velocidad angular de la centrifugadora. El brazo más largo debe rotar a 60 rev/min, mientras que el motor gira a 6000 rev/min. Una velocidad de referencia precisa, ω_R, se obtiene de un oscilador de cristal (controlado por temperatura) que produce un tren de pulsos de 1 MHz. La velocidad real, ω_a, se genera con un engrane de hierro de 500 dientes colocado en el eje del motor y se vigila con un sensor de reluctancia variable. Este produce un tren de pulsos ruidoso de 100 mV con una frecuencia ω_a. Utilícense un contador ascendente-descendente y dos ventanas idénticas. Primero, auméntese w_R durante el periodo de una ventana; luego disminúyase w_a durante un periodo de ventana idéntico. Suponiendo que $w_R > w_a$, el valor de la cuenta después del final de la segunda ventana es el error en revoluciones por minuto.

17.18 Utilícese un comparador en el diseño de un sistema de control de velocidad para automóvil. La válvula de paso de combustible se fija con un motor de pasos que opera como se muestra en la figura P17.16. La velocidad deseada se fija presionando un botón en el tablero de control. Este botón hace que dos despliegues de siete segmentos avancen para indicar la velocidad elegida. Cuando se libera el botón, una memoria de paso mantiene esta velocidad como la deseada para el automóvil. Cuando el despliegue alcanza 80 mi/h, vuelve a cero.

La velocidad real se toma del distribuidor, el cual produce 8 pulsos por cada 2 revoluciones del motor. En funcionamiento, la relación entre la velocidad del motor y la velocidad del automóvil está dada por la siguiente ecuación:

$$\text{Razón} = \frac{1000 \text{ rev/min}}{25 \text{ mi/h}} = 40 \text{ (rev/min)/(mi/h)}$$

En el diseño, inclúyase la capacidad de deshabilitar el circuito cuando se presiona el pedal de freno, y proporciónese un interruptor de encendido/apagado.



Terminal	A	B	C	
	1	0	0	Aumenta la velocidad del motor
	0	1	0	No existe cambio en la velocidad del motor
	0	0	1	Disminuye la velocidad del motor

Figura P17.16

17.19 Diséñese un sistema electrónico para medir el ritmo cardiaco. El sistema se monta en una bicicleta estacionaria, de manera que se pueda utilizar la línea de energía de 60 Hz para alimentación. El dispositivo debe leer el ritmo cardiaco entre 150 y 250 latidos por minuto.

El ritmo cardiaco se mide con un sensor infrarrojo que produce un pulso de 100 mV por cada latido del corazón. Este sensor se fija al dedo índice de la mano. Estos pulsos no son claros, por lo que la señal se debe acondicionar.

La lectura se lleva a cabo en tres despliegues de siete segmentos, que leen el ritmo cardiaco en latidos por minuto.

17.20 Diséñese un indicador de kilómetros por litro para un automóvil. Están disponibles dos entradas:

a. Señal del odómetro: esta señal produce un pulso de 5 V por cada décimo de kilómetro recorrido.
b. Señal del tanque de gasolina: se implanta al tanque de gasolina de manera que se produzca un pulso de 5 V por cada 0.1 litros de reducción en el combustible.

La salida está compuesta de dos despliegues de siete segmentos, que indican los kilómetros por litro sin decimales.

17.21 Diséñese un medidor de velocidad del viento. Se monta una hélice en un eje con rodamientos, de modo que gire libremente, y se coloca un engranaje de hierro de 100 dientes en el mismo eje. Se utiliza un sensor de reluctancia variable para captar los dientes del engrane; aquél produce una señal de 100 mV cada vez que un diente lo atraviesa. Por tanto, se producen 100 pulsos por cada revolución de la hélice. Cuando la velocidad del viento, V_w, es de 20 mi/h, la velocidad de la hélice, f_p es de 90 rev/min. La relación es lineal:

$$f_p = 4.5\,V_w \text{ rev/min}$$

donde V_w es la velocidad del viento en millas por hora. La salida está compuesta de dos despliegues de siete segmentos que leen la velocidad del viento con cero decimales de precisión.

17.22 Diséñese un tacómetro con alarma para un motor de turbina de gas que opera en el intervalo de 8000 a 9000 rev/min. Se monta un engranaje de hierro de 100 dientes en el eje del motor. Se monta además un sensor de reluctancia variable cerca del engrane; este sensor produce 100 pulsos por cada revolución del motor. Los pulsos son de sólo 100 mV de magnitud, por lo que deben ser acondicionados. El despliegue está compuesto de dos despliegues de siete segmentos, que muestran las letras BA cuando la velocidad es de 8000 rev/min o menos y las letras AL cuando la velocidad es de 9000 rev/min o más. En el intervalo entre 8000 y 9000 rev/min, los despliegues están en blanco. Cuando aparece BA, debe sonar un tono de 500 Hz y cuando aparece AL, debe sonar un tono de 1 kHz. Se necesita un cuarto de watt de potencia para cada tono.

17.23 Diséñese un despliegue electrónico para medir la longitud de onda de una señal transmisora de baja frecuencia. La longitud de onda, λ, está dada por

$$\lambda = \frac{3 \times 10^5}{f} \text{ km}$$

La frecuencia varía de 54 kHz a 160 kHz, mientras que la longitud de onda correspondiente va de

5.56 km a 54 kHz

a

1.87 km a 160 kHz

Indíquese la longitud de onda en tres despliegues de siete segmentos con precisión de un decimal. Constrúyase una ventana como se describió en la sección 17.8 para encontrar λ.

17.24 Diséñese un sistema electrónico para determinar el número de automóviles en un estacionamiento con 300 lugares. Cada vez que un automóvil entra al estacionamiento, se levanta una barra y se genera un pulso de ancho variable. El pulso es de ancho variable debido a la diferencia de tiempo necesaria para que la barra regrese a su posición normal por las diferentes longitudes de los automóviles y las velocidades a las que atraviesan. Cada vez que un automóvil abandona el estacionamiento, la barra de salida, en otro lugar, se levanta, generándose otro pulso de ancho variable. Estos pulsos se muestran en la figura P17.17. Proporciónese una entrada de *BORRADO* para el sistema de modo que el contador se pueda llevar a cero. La salida visual está compuesta de lo siguiente:

1. Tres despliegues de siete segmentos, que muestran el número de automóviles en el estacionamiento en cualquier momento.
2. Cinco despliegues de siete segmentos, que muestran la palabra LLENO cuando el estacionamiento contiene 300 automóviles.

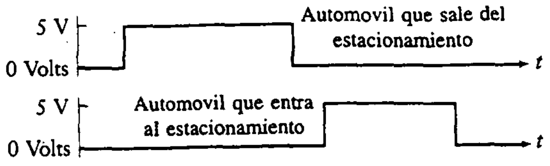


Figura P17.17

17.25 Diséñese un termómetro digital utilizando un puente de termistor como sensor de temperatura y un oscilador controlado por tensión (VCO). Tal vez se desee utilizar un VCO 74124. La salida del termistor es como sigue:

Con 110°F, la salida es 50 mV
Con 90°F, la salida es 34.4 mV.

La lectura se debe mostrar en tres despliegues de siete segmentos que dan la lectura en grados Fahrenheit con cero decimales de aproximación. Calcúlese el factor de escala demostrando que el sistema diseñado proporciona las lecturas de temperaturas precisas entre 90° y 110°.

17.26 Repítase el problema 17.25 utilizando un convertidor A/D de 3 1/2 dígitos (ICL7106).

17.27 Diséñese una balanza digital utilizando celdas de carga medidoras de esfuerzo como dispositivo sensor del peso. La celda de carga produce una tensión de salida que es proporcional al peso. El sistema se muestra en la figura P17.18, donde las ecuaciones para V_1 y V_2 se escriben como:

$$V_1 = \frac{(R - \Delta R)V}{R - \Delta R + R + \Delta R} = \frac{V(R - \Delta R)}{2R}$$

y

$$V_2 = \frac{R}{2R}V = \frac{V}{2}$$

La ecuación para la salida del amplificador operacional es

$$V_o = \frac{R_F}{R_A}(V_2 - V_1) = \frac{R_F}{R_A}\left[\frac{V}{2} - \frac{V(R - \Delta R)}{2R}\right] = \frac{R_F V}{2R_A R}\Delta R$$

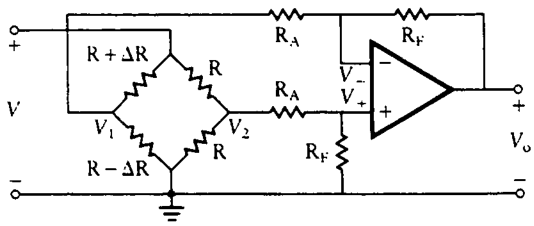


Figura P17.18

Selecciónese $R = 1$ kΩ y $V = 9$ V. El cambio en la resistencia, ΔR, es proporcional al peso. En la figura P17.19(a) se muestra un esquema del sistema mecánico. Los medidores de esfuerzo se colocan en las partes superior e inferior de la barra. Esta se dobla hacia abajo debido a la aplicación del peso. Como resultado, la resistencia del medidor superior aumenta ($R + \Delta R$) y la del medidor inferior disminuye ($R - \Delta R$). Esto proporciona la entrada al puente de la figura P17.18. Dos medidores adicionales, que no se muestran

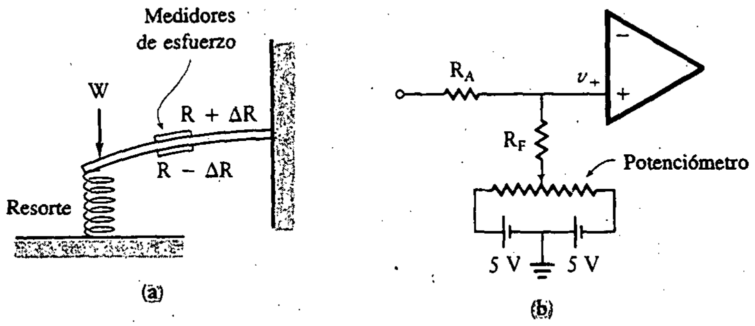


Figura 17.19

en el diagrama de la figura 17.19(a), se adhieren a la barra en una dirección que no provoca cambios en la resistencia, R, al aplicarse el peso. Estos medidores forman las otras dos ramas del puente y se muestran como R en la figura P17.18. Como la resistencia es función de la temperatura, el puente permanecerá balanceado al cambiar la temperatura y sólo proporcionará tensión de salida para un cambio en el peso.

La balanza debe responder a cambios de peso entre 0 y 399 lb. La celda de carga es lineal, y cuando el peso es 399 lb,

$$V_o = \frac{R_F}{R_A}(34 \text{ mV})$$

Por tanto, entre 0 y 399 lb la tensión de salida del sistema de la figura P17.18 varía de 0 a

$$\frac{R_F}{R_A}(34 \text{ mV})$$

Cuando alguien se para en la balanza, se cierra un circuito normalmente abierto y, por tanto, aplica energía al dispositivo. Tres despliegues de siete segmentos leen el peso en libras. Calcúlese el factor de escala, R_F/R_A, y proporciónese un ajuste de cero, el cual se debe llevar a cabo con el circuito mostrado en la figura P17.19(b). La resistencia del potenciómetro debe ser aproximadamente del 10% del valor de R_F.

17.28 Diséñese un odómetro para bicicleta. Se monta un generador de efecto Hall cerca de la rueda trasera y un magneto en uno de los rayos de la misma rueda. Conforme el magneto pasa por el generador, se genera un pulso de 5 V. Por tanto, cada vez que la rueda complete una vuelta, el dispositivo de efecto Hall generará un pulso de 5 V. Con una rueda nominal de 26 pulgadas (incluyendo la llanta), la bicicleta recorre siete pies por cada vuelta de la rueda. Por tanto, cada pulso corresponde a 7 pies de recorrido de la bicicleta. Como el generador de efecto Hall genera pocos pulsos, utilícese la multiplicación de pulsos como se analizó en la sección 17.8.

La lectura se debe mostrar en tres despliegues de siete segmentos de manera que el dígito menos significativo lea incrementos de 100 pies y el más significativo lea incrementos de 10 000 pies.

Considérese los cambios en el diseño necesarios para lograr las siguientes mejoras:

a. Cambiar la salida para leer de 00.0 a 99.9 millas en vez de pies.
b. Cambiar el odómetro para que opere con diámetros de rueda variables.

17.29 Diséñese un odómetro local para ejercitarse corriendo en un solo lugar dentro del hogar. Un interruptor normalmente abierto se cierra cada vez que cualquiera de los pies hace contacto con la banda. El interruptor dentro de la banda es un dispositivo mecánico, por lo que se debe desamortiguar. El control consiste en un botón de inicio para activar el dispositivo y un potenciómetro para fijar la longitud de cada paso individual en pies. La salida se muestra en tres despliegues de siete segmentos con el dígito más significativo igual a 10^4 pies y el menos significativo igual a 10^2 pies. Utilícese un monoestable 555 para desamortiguar el interruptor, y empléese la técnica de multiplicación de pulsos analizada en la sección 17.8 para aumentar el número de pulsos. El número de pulsos que se generan por cada pulso del interruptor mecánico debe estar relacionado con el paso. El potenciómetro de paso fija la frecuencia del astable 555.

Por ejemplo, si una persona al correr atraviesa 2.8 pies cada vez que cualquiera de sus pies hace contacto con el suelo, el paso es 2.8 pies. En este caso, la frecuencia del astable 555, en el circuito de multiplicación de pulsos, se debe fijar en 28. Por tanto, cada vez que cualquiera de los pies hace contacto con el suelo, se deben generar 28 pulsos para el contador.

PROBLEMAS ADICIONALES

PA17.1 Diseñe un contador que despliegue el número de revoluciones por minuto (rpm) de un eje. El sistema mecánico, mostrado en la figura PA17.1, se utiliza para determinar las rpm del eje. Montado en el eje se tiene un disco que tiene 60 orificios alrededor. Un sensor de luz se interrumpe 60 veces por cada revolución del disco. La salida del sensor de luz es un tren de pulsos, como se muestra en la figura PA17.1, con una amplitud de 100 mV y 60 pulsos por cada revolución. La velocidad del eje está en el intervalo de −999 a +999 rpm. Montado en el mismo eje se encuentra un tacómetro analógico que produce una señal de +5 V para rotación en el sentido en que giran las manecillas del reloj y una de −5 V para el caso contrario. Para mostrar la salida se emplean cinco despliegues de siete segmentos, como se ve en la figura PA17.2; los primeros tres muestran el valor de las rpm, y el segundo muestra la letra C (*clockwise*) si la rotación es en

el sentido en que giran las manecillas del reloj y CC (*counterclockwise*) en caso contrario.

a. Diseñe un sistema electrónico que cuente las rpm y muestre en el despliegue la velocidad en el intervalo de −999 a +999 rpm con los primeros tres despliegues de siete segmentos, como se muestra en la figura PA17.2. Asegúrese de acondicionar la entrada de 100 mV.
b. Utilice el tacómetro analógico para alimentar los dos despliegues de siete segmentos que muestran la dirección de giro.

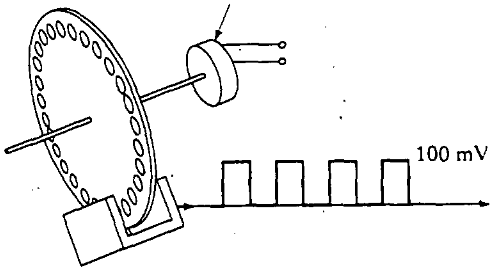


Figura PA17.1

Figura PA17.2

PA17.2 Diseñe un sistema para vigilar las puertas en los ocho vagones de un tren subterráneo. Cada vagón tiene una puerta que debe estar cerrada para que el tren pueda avanzar. Ocho alambres, de los interruptores de efecto Hall montados en las puertas de los ocho vagones, se envían al compartimiento del operador. Cuando una puerta está abierta, la tensión en el alambre es 0 V, y cuando está cerrada, la tensión es 5 V.

Energice un LED verde cuando todas las puertas están cerradas, energice un LED verde durante 1 s cuando la puerta está abierta. Indique, con un despliegue de siete segmentos, el número del vagón que tiene la puerta abierta. Las puertas se vigilan continuamente, durante 1 s cada una, y se muestran los números 0, 1, 2, 3, 4, 5, 6 y 7 en forma constante en el despliegue. Si alguna puerta se abre, el LED rojo se enciende durante 1 s mientras se depliega el número del vagón. Cuando todas las puertas están cerradas, se enciende el LED verde, pero se mantienen desplegados los números de vagón conforme se vigilan todas las puertas.

PA17.3 Diseñe un sistema de cronometraje para medir el tiempo de atletas que corren los 100 metros planos. Al momento de partir, los atletas interrumpen un haz luminoso, y el primer corredor que alcanza la marca final de 100 m, interrumpe otro haz. El sistema se muestra en la figura PA17.3. Se envían dos cables al circuito: la línea a del punto de partida y la línea b del punto final. La tensión en cada línea es normalmente +5 V. Cuando se interrumpe el haz, la tensión cae a 0 V. Muestre el tiempo en tres despliegues de siete segmentos donde el último dígito significativo representa 0.1 s.

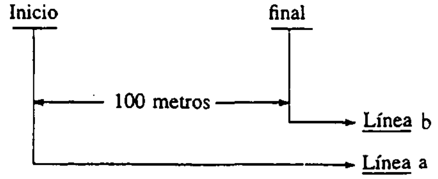


Figura PA17.3

PA17.4 Diseñe un generador de pulsos que opere en el intervalo de 0 a 99 Hz. Los pulsos generados deben tener un ciclo de trabajo (tiempo en alto/tiempo en bajo) cercano a 1. Muestre la frecuencia del generador en dos despliegues de siete segmentos.

PA17.5 Diseñe un sistema de control de temperatura para un aparato de aire acondicionado. El sistema de control enciende la unidad de refrigeración cuando la temperatura ambiente, T_a, es mayor que la temperatura deseada, T_d. La unidad de refrigeración se apaga cuando $T_a < T_d$. El sistema de control debe operar de 0° a 60°C. Un sensor de temperatura, que no es necesario diseñar, proporciona la temperatura ambiente en dos salidas BCD de 4 líneas para los dígitos más significativo (MSD) y menos significativo (LSD), como se muestra en la figura PA17.4. La temperatura deseada se elige por medio de un interruptor de tres posiciones, que se muestra en la figura PA17.5. Para aumentar la temperatura deseada se coloca una señal de 1 Hz en la posición ARRIBA; para disminuirla, se coloca en la posición ABAJO. (El tren de pulsos de 1 Hz tiene un ciclo de trabajo cercano a la unidad.) La temperatura deseada se presenta en dos despliegues de siete segmentos. La salida deseada es una tensión de control que se envía al sistema de refrigeración. El sistema se enciende cuando se envía una señal de +5 V y se apaga cuando se envían 0 V.

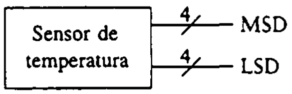


Figura PA17.4

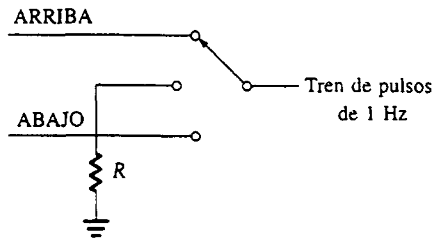


Figura PA17.5

APÉNDICE

A SPICE

A.0 INTRODUCCIÓN

SPICE es el acrónimo de *Simulation Program with Integrated Circuit Emphasis* desarrollado por el Laboratorio de investigación en electrónica de la Universidad de California y puesto a disposición del público en julio de 1975. El programa de simulación está escrito en varios lenguajes de programación. A lo largo de una investigación continua y sugerencias de los usuarios, el programa ha sido modificado y actualizado para expandir sus capacidades de simulación. El programa SPICE lee datos de entrada, procesa los datos por lotes en un computador central y presenta los resultados en forma tabular o gráfica en una impresora común. También está disponible un programa SPICE para PC compatibles o equivalentes.

SPICE es un programa de simulación apoyado por computador; esto es, el ingeniero diseña el circuito y luego lo proporciona a SPICE para simulación. Desde luego, esto constituye una gran ayuda para el diseñador, ya que los resultados del programa ilustran la respuesta del circuito ante ciertas entradas. Con la simulación por computador, no es necesario construir y probar un circuito antes de completar el diseño. Se pueden cambiar los componentes del circuito y observar los resultados de los cambios en el desempeño del circuito. Se pueden utilizar aproximaciones adicionales para acelerar el proceso de diseño y luego dejar que el programa SPICE determine cuáles son los efectos de las aproximaciones en la salida deseada.

El programa SPICE fue diseñado para determinar los parámetros desconocidos utilizando las ecuaciones de corriente de Kirchhoff (análisis nodal). El desempeño

de este tipo de análisis requiere que los transistores y diodos sean caracterizados por un circuito equivalente. Los demás modelos para transistores y diodos utilizan funciones exponenciales no lineales. Por ejemplo, el modelo del BJT utilizado en SPICE se basa en el modelo de inyección de Ebers-Moll con varios efectos de alta inyección definidos por Gummell y Poon. El tipo de circuito equivalente por utilizar se construye en el programa y se determina por el tipo de transistor o diodo especificado en las directrices del programa. Una vez completado, se puede ejecutar el programa.

La primera operación que efectúa el programa SPICE es determinar el punto de operación en cd, o punto *Q*, utilizando el método Newton-Raphson de solución matricial. Una vez realizado esto, el programa toma en consideración la entrada de ca y lleva a cabo los cálculos necesarios para una sola frecuencia. Si se requiere la solución para más de una frecuencia, el programa prosigue con cada frecuencia especificada en las directrices del programa. El análisis se repite hasta que se hayan evaluado todos los puntos en frecuencia. La solución determinada en el análisis de cd proporciona las condiciones iniciales para el análisis transitorio, el cual hace uso de técnicas de integración numérica implícitas para su solución. (Estas técnicas se analizan normalmente como parte de un estudio de análisis numérico. La comprensión de los métodos no es necesaria para el usuario de SPICE.) Como SPICE utiliza análisis nodal como método de solución, posee algunas limitaciones:

1. Sólo se pueden utilizar fuentes de corriente controladas por tensión. Las demás fuentes se deben convertir a fuentes controladas por tensión, ya sea interna o externamente.
2. Como el análisis de SPICE se basa en operaciones sobre matrices utilizando las funciones de admitancia, no se pueden incluir resistencias de valor cero, o la matriz tendrá determinante cero y no se podrán encontrar soluciones.
3. Los elementos multiterminales que no tienen una representación de matriz de admitancia (por ejemplo un transformador ideal) se deben convertir para permitir que exista una matriz de admitancia.
4. Sólo se pueden incluir en el circuito resistores no lineales controlados por tensión; los elementos como lámparas de neón y SCR no se pueden evaluar utilizando análisis nodal.

El comportamiento del circuito se puede simular con respecto al tiempo, la frecuencia y las variaciones de tensión. Esto se puede realizar especificando la forma en que SPICE analizará el circuito por medio de *proposiciones de análisis.* SPICE permite las siguientes formas de análisis: cd no lineal, transitorio no lineal y ca lineal de pequeña señal. Estos análisis se pueden llevar a cabo a varias temperaturas especificadas.

El análisis de cd determina las tensiones de nodo en el circuito con los inductores en cortocircuito y los capacitores abiertos. Este análisis se realiza sólo con la aplicación de energía de cd. El análisis de cd se realiza antes del análisis transitorio o de ca, y determina las condiciones iniciales necesarias para el análisis transitorio. El análisis de cd determina los modelos de pequeña señal linealizados de los dispositivos no lineales que se usarán en el análisis de ca. También se puede utilizar un análisis de cd para determinar el valor en pequeña señal de la

función de transferencia, las curvas de transferencia de cd y las sensibilidades en pequeña señal de variables de salida específicas. Las opciones de análisis de cd se especifican por medio de las proposiciones de control .DC, .TF, .OP y .SENS.

Las variables de tensión y corriente de salida se computan como función del tiempo sobre un intervalo de tiempo especificado utilizando un análisis transitorio. Todas las fuentes que no dependen del tiempo se colocan en sus valores de cd. Se puede especificar un análisis de Fourier de la onda de salida para obtener los coeficientes de Fourier en el dominio de la frecuencia para simulaciones senoidales a señal grande. Las opciones para el intervalo transitorio y el análisis de Fourier se definen por medio de las proposiciones de control .TRAN y .FOURIER.

Las variables de tensión y de corriente como función de la frecuencia se computan utilizando análisis de ca a pequeña señal. El diseñador especifica el intervalo de frecuencias para el cual se debe llevar a cabo este análisis. La salida del análisis de ca es una función de transferencia (por ejemplo, ganancia de tensión, transimpedancia). Si el circuito sólo tiene una entrada de ca, es conveniente fijar la entrada a una magnitud unitaria y fase cero. De esta forma, las variables de salida tienen el mismo valor como función de transferencia de la variable de salida con respecto a la entrada. El análisis de ca también se puede utilizar para analizar el ruido generado por los resistores y dispositivos semiconductores y las distorsiones características del circuito en el modelo a pequeña señal. Las opciones de ca, ruido y distorsión se especifican por medio de las proposiciones de control .AC, .NOISE y .DISTO.

Una vez creado el archivo del circuito por proposiciones que describen el circuito, y definido el tipo de análisis, se puede llevar a cabo la simulación del circuito. Los resultados de la simulación pueden aparecer ya sea en forma tabular o gráfica.

A.1 INFORMACIÓN SOBRE PROGRAMACIÓN

Cada computador tiene un conjunto único de instrucciones para editar programas. Estas instrucciones deben conocerse antes de intentar simulaciones con el programa. En este apéndice, se describen circuitos que contienen resistores, capacitores, inductores, fuentes independientes de tensión y corriente, cuatro tipos de fuentes dependientes, y los cuatro dispositivos semiconductores más comunes: diodos, BJT, JFET y MOSFET.

Muchos de los parámetros del modelo de Gummel-Poon para transistores no son necesarios en la sencilla evaluación del desempeño del circuito. El programa SPICE fija los valores para los parámetros no definidos por el usuario en las proposiciones del modelo del transistor. Estos valores por omisión deben estar disponibles para su revisión en las instrucciones de la versión particular del programa SPICE que

se esté utilizando. Las cinco áreas de programación se introducen en la siguiente secuencia:

1. Descripción de elementos
2. Descripción de fuente
3. Subcircuitos
4. Análisis requerido
5. Salida requerida

A.1.1 Formato

SPICE utiliza formato libre para las entradas. Los campos de datos se encuentran separados por uno o más delimitadores (un bloque, una coma, un signo igual o un paréntesis izquierdo o derecho). Una proposición se puede continuar si se coloca un signo más (+) en la columna 1 de la siguiente línea de la proposición. Un campo de nombre debe iniciar con una letra y no debe contener delimitadores. Sólo se toman en cuenta las primeras ocho letras del nombre para la identificación. Todo campo de número puede contener un entero (por ejemplo 2, −35, 77), un número en punto flotante (por ejemplo 3.1416, 5.3), un entero o un número en punto flotante seguido por un exponencial entero (1E3, 3.2E-4), o un entero o un número en punto flotante seguido por uno de los factores de escala siguientes.

Factores de escala

MIL = 2.54E-6	M = 1E-3
K = 1E3	U = 1E-6
MEG = 1E6	N = 1E-9
G = 1E9	P = 1E-12
T = 1E12	F = 1E-15

Se ignoran las letras inmediatas a un número (que no sean factores de escala) y las letras inmediatas a un factor de escala. Por tanto, 10, 10V, 10 VOLTS y 10 HZ representan el mismo número. Además, M, MA, MSEC y MMHOS representan el mismo factor de escala, 10^{-3}. Una proposición de comentario se debe indicar colocando un asterisco en la primera columna.

A.1.2 Descripción del circuito

Cada elemento en el circuito por analizar debe estar definido por números de nodo. Todos los nodos del circuito se numeran. Los números de nodo no necesitan ser consecutivos. El nodo 0 es tierra o nodo de referencia. El circuito es descrito a SPICE por un archivo de proposiciones de elementos, el cual define la topología del circuito y los valores de los elementos, así como un conjunto de proposiciones de control que definen los parámetros de modelos y los controles de ejecución. La primera proposición en el archivo debe ser de título, mientras que la última

debe ser una proposición de fin (.END). Las proposiciones intermedias, excepto las de continuación, pueden estar en cualquier orden. Cada elemento del circuito es especificado por una proposición de elemento que contiene el nombre del elemento, los nodos del circuito a los cuales se conecta éste, y el valor de los parámetros que determinan las características eléctricas del elemento. La primera letra en el nombre del elemento especifica el tipo de éste. Las cadenas xxxxxxx e yyyyyyy denotan un nombre de referencia alfanumérico especificado por el usuario para el elemento correspondiente. Por ejemplo, un resistor, un capacitor y un inductor se pueden definir como RLOAD, C3ST1 y L3ST2, respectivamente. Los campos de datos encerrados entre ⟨ ⟩ son opcionales. Los nodos de elementos deben ser enteros no negativos, que no necesitan ser numerados en forma secuencial, y el nodo de tierra siempre debe numerarse con 0. Cada nodo debe tener al menos dos conexiones y una trayectoria de cd hacia tierra cuando los capacitores se abren y los inductores se llevan a cortocircuito. Con respecto a las tensiones y corrientes de ramas, SPICE utiliza los sumideros como referencia (es decir, los flujos de corriente en dirección de la caída de tensión).

A.2 DATOS DE ENTRADA

En esta sección, se define la manera como se forman los datos de entrada para que los acepte el programa SPICE.

A.2.1 Descripción de elementos

Cada elemento requiere una definición de las características del dispositivo de modo que SPICE pueda analizar el circuito en forma apropiada.

A.2.1.1 Elementos pasivos Las descripciones de los elementos y los formatos asociados se muestran en la siguiente tabla:

Tipo	**Formato**			
Resistor	Rxxxxxxx	n1	n2	valor
Capacitor	Cxxxxxxx	n+	n−	valor
Inductor	Lxxxxxxx	n+	n−	valor
Diodo	Dxxxxxxx	n+	n−	valor

Las designaciones de los elementos se muestran en la figura A.1. La dependencia de la resistencia respecto a la temperatura se proporciona añadiendo TC1 y TC2 al valor. (TC = 0.001, 0.013.) Los valores del potencial de unión del diodo, de la tensión de ruptura en inversa, y de la resistencia óhmica se colocan hacia los valores aplicables utilizando la proposición de modelo. El nombre de modelo

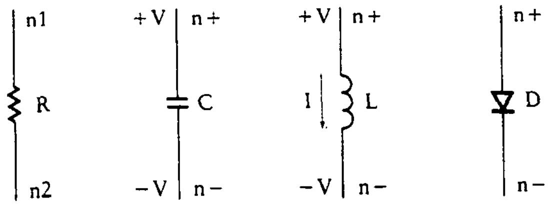


Figura A.1
Designaciones de los elementos.

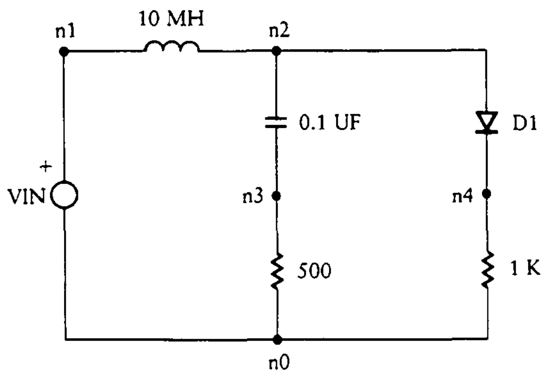


Figura A.2
Ejemplo de circuito con componentes pasivos.

(NOMMOD) se introduce para referirse a la proposición MODEL correspondiente. (Remítase a la subsección A.2.1.3 para las proposiciones MODEL y los valores por omisión típicos del diodo.)

Se ilustra el procedimiento para el ejemplo de un circuito pasivo, como se muestra en la figura A.2. Nótese que los nodos han sido numerados de n0 a n4. El formato utilizado en la introducción de las descripciones de los elementos para una evaluación por SPICE se muestra en seguida (se imprimen los nombres de los elementos sin subíndices ya que así es como aparecen en los computadores, por ejemplo, L_{en} se lista como LEN):

```
RCL SET UP
*DESCRIPCIÓN DE LOS ELEMENTOS
R1          3      0      500
RD          4      0      1K
LEN         1      2      10MH
CBATERIA    2      3      .1UF
D1          2      4      MOD1
.MODEL      MOD1   D      (VJ = 0.7)
*DESCRIPCIÓN DE LA FUENTE
VEN         1      0 DC   5
.END
```

A.2.1.2 Componentes activos La identificación del transistor en el formato para dispositivos activos es como sigue: el colector (o drenaje) va en primer lugar,

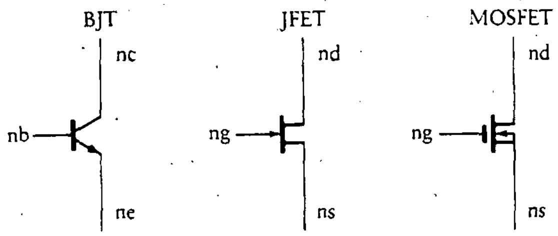


Figura A.3
Designaciones de los elementos activos.

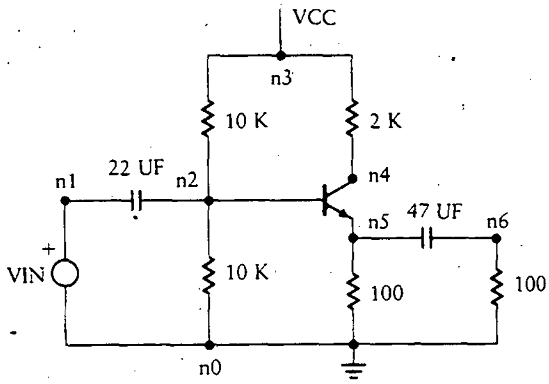


Figura A.4
Ejemplo de amplificador con transistor.

la base (o compuerta) en segundo y el emisor (o fuente) al final. Esto se ilustra como sigue:

Tipo	**Formato**				
BJT	Qxxxxxxx	nc	nb	ne	nommod
JFET	Jxxxxxxx	nd	ng	ns	nommod
MOSFET	Mxxxxxxx	nd	ng	ns	nommod

Las designaciones de los elementos activos se muestran en la figura A.3. El nombre de un modelo se introduce junto con la correspondiente proposición MODEL para especificar el tipo de transistor (*npn*, *pnp*, canal *n* o canal *p*). La proposición MODEL también se puede utilizar para establecer el máximo valor de beta, de la tensión de inversa de Early o de la tensión de ruptura base-emisor en el BJT, y para establecer la tensión de umbral o la transconductancia de los dispositivos FET. Existen otros parámetros que se pueden establecer, dependiendo del análisis por realizar. (Remítase a la subsección A.2.1.3 para las proposiciones MODEL y los valores por omisión típicos del transistor.)

En la figura A.4 se presenta un ejemplo de amplificador con transistor. Nótese que los nodos han sido numerados de n0 a n6. El formato para introducir las descripciones de los elementos para la evaluación por SPICE se muestra en seguida:

```
EMITTER FOLLOWER SET UP
*DESCRIPCIÓN DE ELEMENTOS
R1     2  0  10K
R2     2  3  10K
RC     3  4  2K
RE     5  0  100
RL     6  0  100
CEN    2  1  22UF
C0     5  6  47UF
Q1     4  2  5 EFAM1
.MODEL EFAM1 NPN (BF = 75)
*DESCRIPCIÓN DE FUENTE
VCC    3  0  DC 12
VEN    1  0  AC
.END
```

A.2.1.3 Dispositivos semiconductores Existen muchos parámetros que se pueden definir en las proposiciones MODEL de SPICE: aproximadamente 40 parámetros para BJT, 12 para JFET y 38 para MOSFET. La versión particular de las instrucciones del programa SPICE identifica los parámetros que se pueden utilizar y los valores de omisión típicos asignados por el programa. Las abreviaturas de la proposición MODEL se muestran en seguida.

FORMATO DE MODELO

.MODEL nommod tipo ⟨pnom1 = pval1 pnom2 = pval2 pnom3 = pval3⟩

Tipo	Dispositivo de aplicación
NPN	BJT *npn*
PNP	BJT *pnp*
D	Diodo
NJF	JFET canal *n*
PJF	JFET canal *p*
NMOS	MOSFET canal *n*
PMOS	MOSFET canal *p*

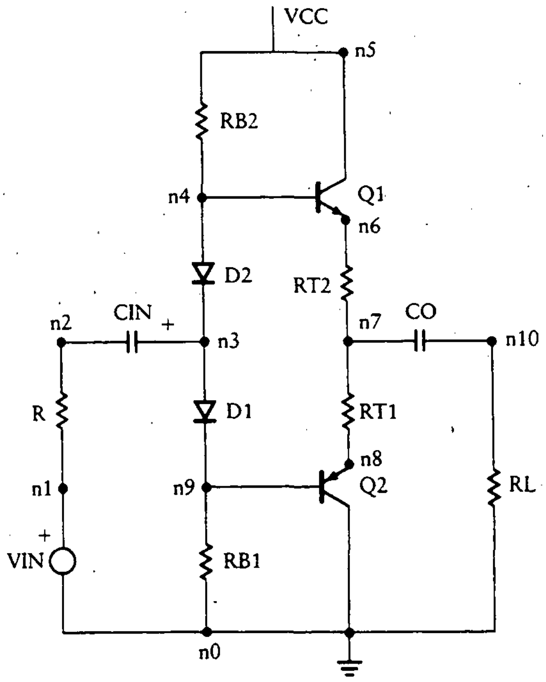
LISTA DE OPCIONES DE PARÁMETROS DE MODELO
(parámetros principales)

Parámetro	pnom	MODELO	pval por omisión
Potencial de unión	VJ	Diodo	1V
Tensión de ruptura inversa	BV	Diodo	Infinito
Resistencia óhmica	RS	Diodo	0 ohms
Inversa de tensión de Early	VAR	BJT	Infinita
Beta directa máxima	BF	BJT	100

Parámetro	**pnom**	**MODELO**	**pval por omisión**
Tensión base-emisor	VJE	BJT	.75 V
Capacitancia colector-base	CJC	BJT	0
Capacitancia base-emisor	CJE	BJT	0
Tiempo de tránsito directo	TF	BJT	0
Tensión de umbral	VTO	JFET	−2
Transconductancia	BETA	JFET	1E-4 A/V^2
Capacitancia de unión G-S	CGS	JFET	0
Capacitancia de unión G-D	CGD	JFET	0
Tensión de umbral	VTO	MOSFET	0
Transconductancia	KP	MOSFET	2 A/V^2
Capacitancia de unión Sust-DJ	CBD	MOSFET	0
Capacitancia de unión Sust-SJ	CBS	MOSFET	0

El nombre de modelo (nommod) incluido en la proposición MODEL corresponde al nombre de modelo especificado en las proposiciones de componentes activos y de descripción del diodo. Se puede utilizar una proposición MODEL para referirse a todos los dispositivos con el mismo nombre de modelo siempre que las especificaciones del dispositivo sean idénticas. Como ejemplo, las proposiciones MODEL para el circuito mostrado en la figura A.5 se presentan a continuación.

Figura A.5
Utilización de las proposiciones MODEL.



```
CSDC SET UP
*DESCRIPCIÓN DE ELEMENTOS
RI       2   1    50
RT1      7   8    1
RT2      6   7    1
RB1      9   0    700
RB2      4   5    700
CEN      3   2    327U
C0       7   10   995U
D1       3   9    MOD1
D2       4   3    MOD1
Q1       5   4    6 MODTOP
Q2       0   9    8 MODBOT
.MODEL   MOD1     D(VJ = .7 RS = 10)
.MODEL   MODTOP   NPN(BF = 75 VJE = .7)
.MODEL   MODBOT   PNP(BF = 75 VJE = .7)
*DESCRIPCIÓN DE FUENTE
VCC      5   0    DC 12
VEN      1   0    AC .1M 90 DEGREES
.END
```

A.2.2 Descripción de fuente

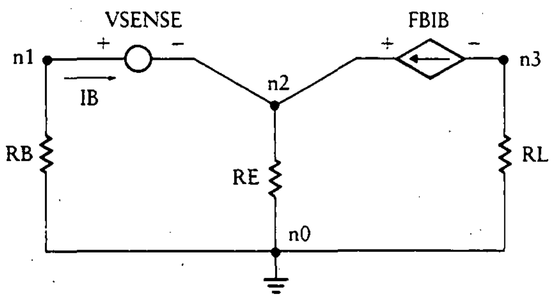
Las fuentes que se encuentran en circuitos electrónicos son de tensión y de corriente. Se analiza ahora cómo se introducen en el programa SPICE las fuentes de tensión y de corriente lineales tanto independientes como dependientes.

A.2.2.1 Fuentes lineales dependientes Los cuatro tipos de fuentes dependientes de tensión y de corriente se listan en seguida.

Tipo de fuente	Formato
De corriente cont. por tensión	Gxxxxxxx n+ n− nc+ nc− valor
De tension cont. por tensión	Exxxxxxx n+ n− nc+ nc− valor
De corriente cont. por corriente	Fxxxxxxx n+ n− vnom valor
De tensión cont. por corriente	Hxxxxxxx n+ n− vnom valor

La fuente de control es definida por las tensiones en los nodos de control (nc+ y nc−) o el nombre de las fuentes de tensión a través de las cuales fluye la corriente de control (vnom). Si ninguna fuente de tensión está contenida en el lazo de corriente, se puede utilizar una fuente de cd de valor cero para medir la corriente de control. La dirección positiva para el flujo de corriente de control va del nodo positivo, a través de la fuente, al nodo negativo de la fuente de tensión aplicable. Una fuente de corriente de valor positivo fuerza a la corriente a fluir del nodo positivo al negativo a través de la fuente. Los valores de salida se refieren a la transconductancia, la ganancia de tensión, la ganancia de corriente o la transresistencia, respectivamente.

Figura A.6
Ejemplo de fuente de corriente dependiente.



El circuito de la figura A.6 constituye un ejemplo de cómo se forma una fuente de corriente dependiente para introducirla a SPICE. El formato de entrada se muestra en seguida:

```
DEPENDENT SOURCE SET UP
RB        1    0    20K
RE        2    0    100
RL        3    0    2K
FBIB      3    2    VSENSE 100
VSENSE    1    2
.END
```

A.2.2.2 Fuentes lineales independientes Existen dos fuentes lineales, de tensión y de corriente, las cuales son de cd o de ca. El formato para estas fuentes se muestra en seguida:

Tipo de fuente	Entrada de la fuente	
Tensión	Vxxxxxxx n+ n−	⟨⟨DC⟩d/t⟩⟨AC mag⟨fase⟩⟩
Corriente	Ixxxxxxx n+ n−	⟨⟨DC⟩d/t⟩⟨AC mag⟨fase⟩⟩

A una fuente independiente se le asignan una magnitud de ca y una fase (mag, fase), que se excita sólo durante el análisis en ca, un valor de cd (d/t) para determinar la solución de polarización a pequeña señal para análisis en ca y transitorio, o una función dependiente del tiempo (d/t) para el análisis transitorio y de cd (utilizando un valor de tiempo cero), o todos estos simultáneamente. Si se omite la magnitud de ca luego de la palabra clave AC, se supone un valor uno. Si se omite la fase de ca, se supone un valor cero. Las funciones dependientes del tiempo pueden ser senoidales o trenes de pulsos. Se supone que fluye corriente positiva del nodo positivo hacia el negativo a través de la fuente. Una fuente de corriente de valor positivo fuerza a la corriente a salir del nodo positivo, y entrar al nodo negativo a través de la fuente. Las fuentes de tensión, además de excitar el circuito, se pueden utilizar como amperímetros en SPICE. Esto es, se puede insertar una fuente de tensión de valor cero con el fin de medir corriente.

En seguida se presentan ejemplos del formato para fuentes dependientes del tiempo y fuentes de pulso.

FORMATO SENOIDAL

SIN (vo va fre td theta)

Parámetro	**Valores por omisión**
vo (desplazamiento)	0
va (amplitud)	1
frec (frecuencia)	1/tstop
td (tiempo de retardo)	0
theta (factor de amortiguamiento)	0

FORMATO DE PULSO

PULSE (v1 v2 td tr tf pw periodo)

Parámetro	**Valores por omisión**
v1 (valor inicial)	—
v2 (valor del pulso)	—
td (tiempo de retardo)	0
tr (tiempo de subida)	tstep
tf (tiempo de bajada)	tstep
pw (ancho de pulso)	tstop
periodo	tstop

El término *tstep* se define como el incremento de impresión y *tstop* como el tiempo final de impresión. Para una explicación más detallada de *tstep* y *tstop*, consúltese la subsección A.2.4.3.

A.2.3 Subcircuitos

Los circuitos complicados se pueden reducir definiendo subcircuitos e interconectándolos con el circuito principal en tantas ubicaciones como sean necesarias. La descripción del subcircuito se debe colocar entre una proposición SUBCKT y una ENDS. Los subcircuitos se pueden anidar en otros subcircuitos. Todos los nodos de los elementos del subcircuito no incluidos en la proposición SUBCKT son estrictamente locales a aquel subcircuito, excepto el nodo 0 (tierra), que es global. Todos los modelos de dispositivos también son locales al subcircuito en cuestión. Los nodos de los elementos definidos en las proposiciones SUBCKT y CALL no deben etiquetarse como cero (tierra). Las proposiciones de control (aquellas definidas en las secciones de análisis requerido y salida requerida) no deben aparecer en la descripción del subcircuito. Los formatos de definición y de llamada son como sigue:

FORMATO DE DEFINICIÓN

```
.SUBCKT    subnom n1    ⟨n2  n3...⟩
                        descripción del subcircuito
.ENDS      ⟨subnom⟩
```

El nombre del subcircuito (subnom) sólo se requiere para la proposición ENDS cuando hay subcircuitos anidados dentro de otros subcircuitos.

FORMATO DE LLAMADA

Xyyyyyyy n1 ⟨n2 n3...⟩ subnom

Los nodos externos (n1 ⟨n2 n3...⟩) son los nodos del circuito principal, que corresponden directamente a los nodos del subcircuito especificado. Remítase al ejemplo de la sección A.3.4, que incluye una demostración del uso de subcircuitos.

A.2.4 Análisis requerido

Después de presentar las técnicas para describir el circuito, ya es posible hacer uso del programa para realizar el análisis; éste puede ser de tres tipos: análisis en cd, análisis en ca y análisis transitorio. Cada uno de ellos se analiza por separado.

A.2.4.1 Análisis en cd La proposición de análisis en cd define un intervalo de tensión o de corriente de cd a una fuente de tensión o corriente INDEPENDIENTE, de ca o cd, en el circuito (nomfuen). Luego se analiza el circuito para cada incremento (incr) dentro del intervalo de tensión o de corriente de cd especificado (inicio fin). Existe la opción de especificar una segunda fuente (fuen2), con sus parámetros de barrido asociados. En este caso, la primera fuente se barre sobre todo su intervalo para cada valor de la segunda fuente. Este análisis es útil para obtener las características de la salida de un dispositivo semiconductor. La proposición, .OP, debe insertarse sólo si se va a realizar análisis de cd. Este tipo de análisis requerido fuerza a SPICE a determinar el punto de operación de cd para la tensión de entrada en cd especificada con los capacitores abiertos y los inductores en cortocircuito. Antes del análisis transitorio, se realiza en forma automática el análisis del punto de operación en cd para determinar las condiciones iniciales. El análisis en cd también se realiza antes del análisis a pequeña señal en ca para determinar los modelos linealizados a pequeña señal para dispositivos no lineales. Para obtener el valor de cd a pequeña señal de la función de transferencia (salida/entrada, resistencia de entrada, y resistencia de salida), se utiliza el análisis .TF. Esto se resume en seguida:

FORMATO DE CD

.DC	nomfuen inicio fin inc ⟨fuen2 inic2 fin2 inc2⟩
.OP	
.TF	V(n1,n2) VIN
.TF	I(VCARGA) VIN

A.2.4.2 Análisis en ca La proposición ca se utiliza para realizar un análisis de circuito sobre un intervalo de frecuencia dado. La proposición de salida PLOT produce un diagrama de Bode. La escala de frecuencia puede calibrarse en décadas (DEC), en octavas (OCT) o en forma lineal (LIN). Antes de realizarse el análisis

de ca, se encuentra automáticamente una solución de polarización a pequeña señal con el fin de determinar los modelos lineales a pequeña señal para dispositivos no lineales. Para que este análisis tenga sentido, se debe especificar al menos una fuente independiente con un valor de ca. No es necesario definir los puntos de inicio y fin para este análisis. Después se analiza el circuito resultante en cierto número de puntos por década (nd), octava (no) o lineal (nl) sobre el intervalo de frecuencia especificado (finicio ffin). El análisis de ca es insensible a las fuentes de alimentación. Por tanto, para simplificar el trabajo, se utiliza una fuente unitaria de tensión o de corriente de modo que la salida sea igual a la función de transferencia. Esto es,

H(S) = SALIDA(S)/ENTRADA(S) = SALIDA(S)/1
H(S) = SALIDA(S)

FORMATO DE CA

```
.AC  DEC  nd  finicio  ffin
.AC  OCT  no  finicio  ffin
.AC  LIN  np  finicio  ffin
```

A.2.4.3 Análisis transitorio La parte de análisis transitorio de SPICE se utiliza para calcular las variables de salida transitorias como función del tiempo sobre un intervalo de tiempo específico (tinicio ⟨tfin⟩). Primero se realiza en forma automática una solución de polarización a pequeña señal, utilizando el valor de tiempo cero para las fuentes dependientes del tiempo. Luego se analiza el circuito en cada incremento (tpaso) dentro del intervalo especificado. Cuando se omite tinicio, se supone que es cero. El análisis transitorio es sensible a las fuentes de alimentación, y se presenta un recorte cuando se exceden las tensiones de alimentación. Los símbolos para el análisis transitorio son los siguientes:

ANÁLISIS TRANSITORIO

```
.TRAN   tpaso   tfin   ⟨tinicio⟩
```

A.2.5 Salida requerida

Luego de que SPICE realiza el análisis, los datos se graban para analizarse o se guardan para utilizarse en el futuro. Esto se lleva a cabo haciendo que SPICE imprima o grafique en una impresora, por medio de la proposición PRINT o PLOT.

A.2.5.1 Impresión La proposición PRINT produce una lista tabular impresa de las variables de salida especificadas (0V1 ⟨0V2 ... 0V8⟩), de una corriente que fluye a través de una fuente de tensión INDEPENDIENTE, o de una tensión específica. El tipo de análisis por imprimir (tipimp) (ca, cd, ruido, distorsión o transitorio) también se debe definir así:

FORMATO DE IMPRESIÓN

```
.PRINT   tipimp   ov1 ⟨ov2...ov8⟩
```

FORMATO DE LA VARIABLE DE SALIDA

Parámetro	**Formato**
Tensión	V (n+ ⟨,n–⟩)
Corriente	I (vnom)

Si no se indica el nodo negativo de la tensión de salida, se supone que es tierra. La dirección del flujo de corriente positiva va del nodo positivo al nodo negativo de la fuente de tensión (vnom), a través de la fuente. Se puede definir un máximo de ocho variables de salida en una proposición PRINT, pero no existe límite en el número de proposiciones PRINT para cada tipo de análisis.

Los diferentes parámetros de las variables de salida en ca que se pueden definir son los siguientes:

FORMATO DE LAS VARIABLES DE SALIDA EN CA

Parámetro	**Tensión**	**Corriente**
Parte real	VR (n+ ⟨,n–⟩)	IR (vnom)
Parte imaginaria	VI (n+ ⟨,n–⟩)	II (vnom)
Magnitud	VM(n+ ⟨,n–⟩)	IM (vnom)
Fase	VP(n+ ⟨,n–⟩)	IP (vnom)
Decibeles	VDB(N+ ⟨, n–⟩)	IDB (vnom)

Ejemplos de formatos

```
.PRINT AC VM(1) VP(1)
.PRINT TRAN I(VIN) V(3,4)
.PRINT DC V(1,2)
```

En los ejemplos de formatos, la primera proposición PRINT de ejemplo imprime los valores de la magnitud y la fase en ca de la tensión en el nodo 1 con respecto a tierra. La siguiente proposición imprime los valores transitorios de la corriente a través de la fuente de tensión INDEPENDIENTE VIN y la tensión entre los nodos 3 y 4. La última proposición imprime los valores de cd para la tensión entre los nodos 1 y 2.

A.2.5.2 Graficación La proposición PLOT hace que se grafiquen los valores de las variables de salida definidas (0V1, 0V2 ... 0V8). El tipo de gráfica (tipgrf) puede ser ca, cd o transitorio. La sintaxis de las variables de salida en una proposición PLOT y las convenciones de signos son iguales que las de las proposiciones PRINT, excepto de los límites superior e inferior opcionales (sup, inf). Todas las variables de salida a la izquierda de los límites se grafican utilizando la escala especificada. Sin los límites opcionales, SPICE determina en forma automática los valores mínimo y máximo de todas las variables de salida y ajusta la gráfica para que quepan todas. Cuando es necesario, se producen gráficas escaladas múltiples y un letrero. Cuando aparece más de una variable de salida en la misma gráfica, se imprimen y grafican las primeras variables de salida. En la gráfica, se indican con una X dos o más variables de salida con el mismo valor aproximado. El formato de graficación es como sigue:

FORMATO DE GRAFICACIÓN

.PLOT tipgrf ov1 ⟨(inf1,sup1)⟩ ⟨ov2⟨(inf2,sup2)⟩. . . ov8⟩

A.2.5.3 Proposición de opciones Los parámetros de modelo definidos por el usuario se pueden suprimir (NOMOD) o se puede imprimir el nodo (NODE), o ambas cosas a la vez, utilizando proposiciones OPTIONS, como sigue:

FORMATO DE OPCIONES

.OPTIONS ⟨NOMOD⟩ ⟨NODE⟩

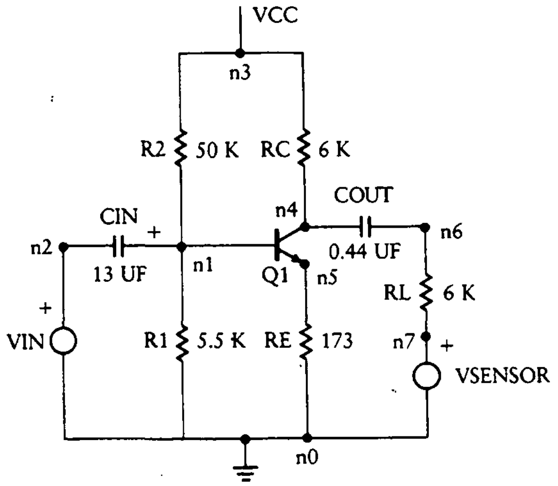
A.3 EJEMPLOS DE PROGRAMAS

En esta sección, se proporcionan ejemplos de circuitos que muestran la lista de datos de entrada y la salida para cada ejemplo.

A.3.1 Amplificador EC

Como se muestra en la figura A.7, el amplificador EC, se analiza sobre un intervalo de frecuencia de 1 kHz a 100 kHz. La fuente de tensión, VSENSOR, se utiliza como amperímetro para medir la tensión de salida. Estúdiese la salida impresa y verifíquese los siguientes resultados:

Figura A.7
Amplificador EC.



A_v = 24 dB
A_i = 10.5
f(ruptura) = 30 Hz
R_{en} = 4 kΩ

El listado se muestra en seguida.

```
 FFIND,SPICE,PROJ1
1******* 86/04/30. *******  SPICE 2G.5 (10AUG81)  ******* 18.40.37.*****

0*  COMMON EMITTER

0****     INPUT LISTING                    TEMPERATURE =   27.000 DEG C

0***********************************************************************



 *  ELEMENT DESCRIPTION

 RC   3   4   6K
 RL   6   7   6K
 RE   5   0   173
 R1   1   0   5.5K
 R2   3   1   50K
 CIN  2   1   13U
 COUT 6   4   .44U
 Q1  4   1   5  M2N2222A
 .MODEL M2N2222A NPN (VJE=.7,CJE=25PF,CJC=8PF,TF=2.5NS,RB=100,RC=10,BF=100)

 *  SOURCE DESCRIPTION

 VCC   3   0   12
 VIN   2   0   AC
 VSENSOR  7   0

 *  ANALYSIS REQUEST

 .AC  DEC    5   1   100MEGHZ

 .OPTIONS NODE

 *  OUTPUT REQUESTS

 .PLOT  AC  I(VSENSOR)   I(VIN)
 .PLOT  AC  VDB(6)

 .END
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 18.40.37.**************

0*  COMMON EMITTER
0****                 ELEMENT NODE TABLE                              TEMPERATURE =   27.000 DEG C

0**************************************************************************************************************
```

```
0     0   RE      R1      VCC     VIN     VSENSOR  Q1
0     1   R1      R2      CIN     Q1
0     2   CIN     VIN
0     3   RC      R2      VCC
0     4   RC      COUT    Q1
0     5   RE      Q1
0     6   RL      COUT
0     7   RL      VSENSOR
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) *********************** 18.40.37.***************

0* COMMON EMITTER
0****              BJT MODEL PARAMETERS                             TEMPERATURE =   27.000 DEG C

0***************************************************************************************************************************

             M2N2222A
0TYPE        NPN
0IS          1.00E-16
0BF          100.000
0NF            1.000
0BR            1.000
0NR            1.000
0RB          100.000
0RC           10.000
0CJE         2.50E-11
0VJE            .700
0TF          2.50E-09
0CJC         8.00E-12
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) *********************** 18.40.37.***************

0* COMMON EMITTER
0****              SMALL SIGNAL BIAS SOLUTION                       TEMPERATURE =   27.000 DEG C

0***************************************************************************************************************************


 NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE

 (  1)   1.1012     (  2)   0.0000     (  3)  12.0000     (  4)   1.3433     (  5)    .3103     (  6)   0.0000     (  7)   0.0000


    VOLTAGE SOURCE CURRENTS

    NAME       CURRENT


    VCC      -1.994E-03

    VIN       0.

    VSENSOR   0.


     TOTAL POWER DISSIPATION   2.39E-02  WATTS
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) *********************** 18.40.37.***************

0* COMMON EMITTER
0****              OPERATING POINT INFORMATION                      TEMPERATURE =   27.000 DEG C

0***************************************************************************************************************************
```

```
0
0**** BIPOLAR JUNCTION TRANSISTORS


0           Q1
0MODEL      M2N2222A
 IB        1.78E-05
 IC        1.78E-03
 VBE           .791
 VBC          -.242
 VCE          1.033
 BETADC     100.000
 GM        6.87E-02
 RPI       1.46E+03
 RX        1.00E+02
 RO        1.00E+12
 CPI       2.16E-10
 CMU       7.33E-12
 CBX       0.
 CCS       0.
 BETAAC     100.000
 FT        4.89E+07
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 18.40.37.***************

0*  COMMON EMITTER
0****                  AC ANALYSIS                                        TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************


0LEGEND:

 *: I(VSENSOR)
 +: I(VIN)

     FREQ       I(VSENSOR)

 (*+)----------------  1.000E-05           1.000E-04           1.000E-03           1.000E-02           1.000E-01
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
  1.000E+00    2.664E-05 .         *       +  .                    .                   .                   .
  1.585E+00    6.258E-05 .               *    .+                   .                   .                   .
  2.512E+00    1.370E-04 .                    . * +                .                   .                   .
  3.981E+00    2.710E-04 .                    .     + *            .                   .                   .
  6.310E+00    4.827E-04 .                    .      +    *        .                   .                   .
  1.000E+01    7.899E-04 .                    .       +       *    .                   .                   .
  1.585E+01    1.200E-03 .                    .       +            .*                  .                   .
  2.512E+01    1.669E-03 .                    .       +            .    *              .                   .
  3.981E+01    2.088E-03 .                    .       +            .      *            .                   .
  6.310E+01    2.368E-03 .                    .       +            .       *           .                   .
  1.000E+02    2.514E-03 .                    .       +            .        *          .                   .
  1.585E+02    2.581E-03 .                    .       +            .        *          .                   .
  2.512E+02    2.609E-03 .                    .       +            .        *          .                   .
  3.981E+02    2.620E-03 .                    .       +            .        *          .                   .
  6.310E+02    2.624E-03 .                    .       +            .        *          .                   .
  1.000E+03    2.626E-03 .                    .       +            .        *          .                   .
  1.585E+03    2.627E-03 .                    .       +            .        *          .                   .
  2.512E+03    2.627E-03 .                    .       +            .        *          .                   .
  3.981E+03    2.627E-03 .                    .       +            .        *          .                   .
  6.310E+03    2.627E-03 .                    .       +            .        *          .                   .
  1.000E+04    2.627E-03 .                    .       +            .        *          .                   .
```

```
 1.585E+04    2.627E-03  .                          .         +              .         *              .                        .
 2.512E+04    2.627E-03  .                          .         +              .         *              .                        .
 3.981E+04    2.627E-03  .                          .         +              .         *              .                        .
 6.310E+04    2.627E-03  .                          .         +              .         *              .                        .
 1.000E+05    2.627E-03  .                          .          +             .         *              .                        .
 1.585E+05    2.626E-03  .                          .           +            .         *              .                        .
 2.512E+05    2.623E-03  .                          .            +           .         *              .                        .
 3.981E+05    2.617E-03  .                          .               +        .         *              .                        .
 6.310E+05    2.601E-03  .                          .                   +    .         *              .                        .
 1.000E+06    2.563E-03  .                          .                      +.          *              .                        .
 1.585E+06    2.473E-03  .                          .                        .    +    *              .                        .
 2.512E+06    2.284E-03  .                          .                        .       +*               .                        .
 3.981E+06    1.951E-03  .                          .                        .       *  +             .                        .
 6.310E+06    1.507E-03  .                          .                        .   *        +           .                        .
 1.000E+07    1.064E-03  .                          .                        .*            +          .                        .
 1.585E+07    7.110E-04  .                          .                    *   .              +         .                        .
 2.512E+07    4.653E-04  .                          .                *       .              +         .                        .
 3.981E+07    3.066E-04  .                          .           *            .              +         .                        .
 6.310E+07    2.098E-04  .                          .       *                .              +         .                        .
 1.000E+08    1.548E-04  .                          .    *                   .              +         .                        .
                         - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
```

```
Y
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) ********************** 18.40.37.***************

0* COMMON EMITTER
0****                AC ANALYSIS                                     TEMPERATURE =   27.000 DEG C

0*******************************************************************************************************************

     FREQ        VDB(6)

                     -2.000E+01           0.                 2.000E+01           4.000E+01           6.000E+01
                         - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
 1.000E+00   -1.593E+01  .   *                  .                    .                    .                    .
 1.585E+00   -8.509E+00  .           *          .                    .                    .                    .
 2.512E+00   -1.703E+00  .                 *    .                    .                    .                    .
 3.981E+00    4.222E+00  .                      .    *               .                    .                    .
 6.310E+00    9.237E+00  .                      .          *         .                    .                    .
 1.000E+01    1.351E+01  .                      .              *     .                    .                    .
 1.585E+01    1.715E+01  .                      .                 *  .                    .                    .
 2.512E+01    2.001E+01  .                      .                    *                    .                    .
 3.981E+01    2.196E+01  .                      .                    . *                  .                    .
 6.310E+01    2.305E+01  .                      .                    .   *                .                    .
 1.000E+02    2.357E+01  .                      .                    .   *                .                    .
 1.585E+02    2.380E+01  .                      .                    .    *               .                    .
 2.512E+02    2.389E+01  .                      .                    .    *               .                    .
 3.981E+02    2.393E+01  .                      .                    .    *               .                    .
 6.310E+02    2.394E+01  .                      .                    .    *               .                    .
 1.000E+03    2.395E+01  .                      .                    .    *               .                    .
 1.585E+03    2.395E+01  .                      .                    .    *               .                    .
 2.512E+03    2.395E+01  .                      .                    .    *               .                    .
 3.981E+03    2.395E+01  .                      .                    .    *               .                    .
 6.310E+03    2.395E+01  .                      .                    .    *               .                    .
 1.000E+04    2.395E+01  .                      .                    .    *               .                    .
 1.585E+04    2.395E+01  .                      .                    .    *               .                    .
 2.512E+04    2.395E+01  .                      .                    .    *               .                    .
 3.981E+04    2.395E+01  .                      .                    .    *               .                    .
 6.310E+04    2.395E+01  .                      .                    .    *               .                    .
 1.000E+05    2.395E+01  .                      .                    .    *               .                    .
 1.585E+05    2.395E+01  .                      .                    .    *               .                    .
```

```
 2.512E+05    2.394E+01  .                   .                 .   *          .              .
 3.981E+05    2.392E+01  .                   .                 .   *          .              .
 6.310E+05    2.387E+01  .                   .                 .   *          .              .
 1.000E+06    2.374E+01  .                   .                 .   *          .              .
 1.585E+06    2.343E+01  .                   .                 .  *           .              .
 2.512E+06    2.274E+01  .                   .                 . *            .              .
 3.981E+06    2.137E+01  .                   .                 .*             .              .
 6.310E+06    1.913E+01  .                   .                 *.             .              .
 1.000E+07    1.610E+01  .                   .              *  .              .              .
 1.585E+07    1.260E+01  .                   .           *     .              .              .
 2.512E+07    8.917E+00  .                   .        *        .              .              .
 3.981E+07    5.295E+00  .                   .   *             .              .              .
 6.310E+07    2.000E+00  .                   . *               .              .              .
 1.000E+08   -6.438E-01  .                  *.                 .              .              .
                         - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -

Y
0
        JOB CONCLUDED
0       TOTAL JOB TIME            1.63
$REVERT, SPICE COMPLETED
/
```

A.3.2 Amplificador FC

Se utiliza un JFET de canal n como amplificador FC, según se aprecia en la figura A.8. La impedancia de entrada se calcula dividiendo la tensión de entrada, VM(2), entre uno. Verifíquese que la ganancia de corriente sea aproximadamente 70 y la frecuencia de paso, 1 Hz. Los listados de las entradas y salidas del computador se muestran en seguida.

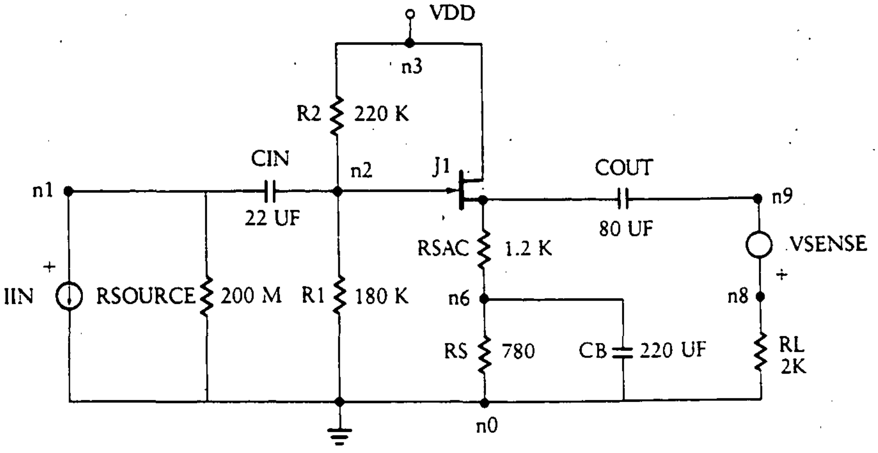
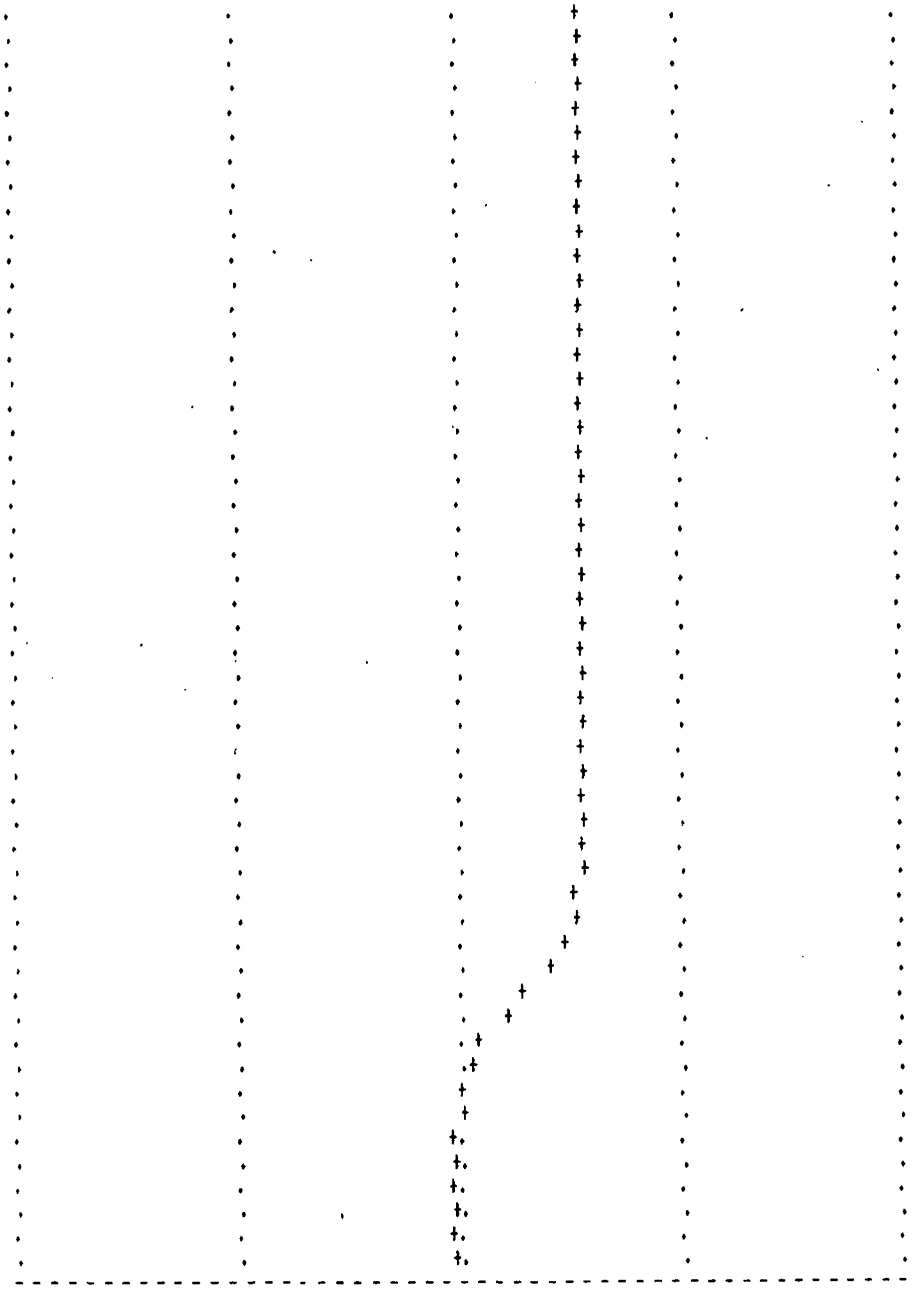


Figura A.8 Amplificador FC.

```
 FFIND.SPICE,PROJ2
1******* 86/04/30. ******* SPICE 2G.5 (10AUG81) ******* 19.25.47.*****

0* COMMON SOURCE

0****     INPUT LISTING                    TEMPERATURE =   27.000 DEG C

0*********************************************************************

 * ELEMENT DESCRIPTION

 R1   2   0   180K
 R2   2   3   220K
 RSOURCE   1  0   200MEG
 RS   6   0   780
 RSAC 5   6   1.2K
 RL   8   0   2K
 CIN  1   2   22U
 COUT 5   9   80U
 CB   6   0   220U
 J1   3  2  5  M2N5951
 .MODEL  M2N5951  NJF  (VTO=3, BETA=4.75M, RD=250, CGS=6PF, CGD=2PF)

 * SOURCE DESCRIPTION

 VDD  3   0   20
 IIN  1   0   AC
 VSENSE  8   9

 * ANALYSIS REQUESTS

 .AC  DEC   5   .01  1.0E11

 * OUTPUT REQUESTS

 .PLOT  AC  VM(2)   (98940, 98955)  IM(VSENSE)
 .PLOT  AC  VM(8)
 .END
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 19.25.47.***************

0* COMMON SOURCE
0****               JFET MODEL PARAMETERS                        TEMPERATURE =   27.000 DEG C

0***************************************************************************************************************


            M2N5951
0TYPE        NJF
0VTO           3.000
0BETA        4.75E-03
0RD          250.000
0CGS        6.00E-12
0CGD        2.00E-12
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 19.25.47.***************

0* COMMON SOURCE
0****               SMALL SIGNAL BIAS SOLUTION                   TEMPERATURE =   27.000 DEG C

0***************************************************************************************************************

  NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE

  (  1)   0.0000   (  2)    .7557   (  3)   20.0000   (  5)    .1649   (  6)    .0650   (  8)   0.0000   (  9)   0.0000
```

```
    VOLTAGE SOURCE CURRENTS
    NAME        CURRENT

    VDD       -8.747E-05
    VSENSE     0.

    TOTAL POWER DISSIPATION   1.75E-03  WATTS
1*************** 86/04/30. **********************  SPICE 2G.5 (10AUG81)  ********************** 19.25.47.***************

0* COMMON SOURCE
0****                 OPERATING POINT INFORMATION                       TEMPERATURE =   27.000 DEG C

0*******************************************************************************************************************

0
0**** JFETS

0              J1
0MODEL       M2N5951
 ID        3.85E-11
 VGS            .591
 VDS          19.835
 GM         0.
 GDS        0.
 CGS        9.26E-12
 CGD        4.45E-13
1*************** 86/04/30. **********************  SPICE 2G.5 (10AUG81)  ********************** 19.25.47.***************

0* COMMON SOURCE
0****                 AC ANALYSIS                                       TEMPERATURE =   27.000 DEG C

0*******************************************************************************************************************


0LEGEND:

 *: VM(2)
 +: IM(VSENSE)

    FREQ        VM(2)

 (*)------------------  9.894E+04             9.895E+04             9.895E+04             9.896E+04             9.896E+04
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -

 (+)------------------  1.000E-03             1.000E-02             1.000E-01             1.000E+00             1.000E+01
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
  1.000E-02    2.238E+03  .                     +                     .                     .                     .
  1.585E-02    2.238E+03  .                     .    +                .                     .                     .
  2.512E-02    2.236E+03  .                     .        +            .                     .                     .
  3.981E-02    2.232E+03  .                     .             +       .                     .                     .
  6.310E-02    2.221E+03  .                     .                 +   .                     .                     .
  1.000E-01    2.195E+03  .                     .                    +.                     .                     .
  1.585E-01    2.136E+03  .                     .                     .   +                 .                     .
  2.512E-01    2.013E+03  .                     .                     .       +             .                     .
  3.981E-01    1.806E+03  .                     .                     .         +           .                     .
  6.310E-01    1.551E+03  .                     .                     .           +         .                     .
  1.000E+00    1.330E+03  .                     .                     .            +        .                     .
  1.585E+00    1.187E+03  .                     .                     .            +        .                     .
  2.512E+00    1.111E+03  .                     .                     .            +        .                     .
  3.981E+00    1.075E+03  .                     .                     .            +        .                     .
```

6.310E+00	1.060E+03
1.000E+01	1.054E+03
1.585E+01	1.051E+03
2.512E+01	1.050E+03
3.981E+01	1.050E+03
6.310E+01	1.049E+03
1.000E+02	1.049E+03
1.585E+02	1.049E+03
2.512E+02	1.049E+03
3.981E+02	1.049E+03
6.310E+02	1.049E+03
1.000E+03	1.049E+03
1.585E+03	1.049E+03
2.512E+03	1.049E+03
3.981E+03	1.049E+03
6.310E+03	1.049E+03
1.000E+04	1.049E+03
1.585E+04	1.049E+03
2.512E+04	1.049E+03
3.981E+04	1.049E+03
6.310E+04	1.049E+03
1.000E+05	1.049E+03
1.585E+05	1.049E+03
2.512E+05	1.049E+03
3.981E+05	1.049E+03
6.310E+05	1.049E+03
1.000E+06	1.049E+03
1.585E+06	1.049E+03
2.512E+06	1.049E+03
3.981E+06	1.048E+03
6.310E+06	1.045E+03
1.000E+07	1.039E+03
1.585E+07	1.024E+03
2.512E+07	9.925E+02
3.981E+07	9.341E+02
6.310E+07	8.523E+02
1.000E+08	7.684E+02
1.585E+08	6.933E+02
2.512E+08	6.124E+02
3.981E+08	5.107E+02
6.310E+08	3.993E+02
1.000E+09	3.061E+02
1.585E+09	2.454E+02
2.512E+09	2.131E+02
3.981E+09	1.980E+02
6.310E+09	1.916E+02
1.000E+10	1.889E+02
1.585E+10	1.879E+02
2.512E+10	1.874E+02
3.981E+10	1.873E+02
6.310E+10	1.872E+02
1.000E+11	1.872E+02



```
Y
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) *********************** 19.25.47.***************

0* COMMON SOURCE
0****            AC ANALYSIS                                        TEMPERATURE =   27.000 DEG C

0*******************************************************************************************************************
```

1.000E+01 3.162E+01 1.000E+02 3.162E+02 1.000E+03

FREQ	VM(8)
1.000E-02	1.945E+01
1.585E-02	3.081E+01
2.512E-02	4.878E+01
3.981E-02	7.712E+01
6.310E-02	1.214E+02
1.000E-01	1.894E+02
1.585E-01	2.891E+02
2.512E-01	4.211E+02
3.981E-01	5.650E+02
6.310E-01	6.805E+02
1.000E+00	7.417E+02
1.585E+00	7.580E+02
2.512E+00	7.545E+02
3.981E+00	7.486E+02
6.310E+00	7.450E+02
1.000E+01	7.433E+02
1.585E+01	7.425E+02
2.512E+01	7.422E+02
3.981E+01	7.421E+02
6.310E+01	7.421E+02
1.000E+02	7.421E+02
1.585E+02	7.421E+02
2.512E+02	7.420E+02
3.981E+02	7.420E+02
6.310E+02	7.420E+02
1.000E+03	7.420E+02
1.585E+03	7.420E+02
2.512E+03	7.420E+02
3.981E+03	7.420E+02
6.310E+03	7.420E+02
1.000E+04	7.420E+02
1.585E+04	7.420E+02
2.512E+04	7.420E+02
3.981E+04	7.420E+02
6.310E+04	7.420E+02
1.000E+05	7.420E+02
1.585E+05	7.420E+02
2.512E+05	7.420E+02
3.981E+05	7.420E+02
6.310E+05	7.420E+02
1.000E+06	7.420E+02
1.585E+06	7.420E+02
2.512E+06	7.420E+02
3.981E+06	7.418E+02
6.310E+06	7.414E+02
1.000E+07	7.406E+02
1.585E+07	7.385E+02
2.512E+07	7.339E+02
3.981E+07	7.252E+02
6.310E+07	7.116E+02
1.000E+08	6.916E+02
1.585E+08	6.584E+02
2.512E+08	5.987E+02
3.981E+08	5.059E+02
6.310E+08	3.978E+02
1.000E+09	3.056E+02

```
 1.585E+09   2.453E+02  .                    .                    .       *     .               .
 2.512E+09   2.130E+02  .                    .                    .     *       .               .
 3.981E+09   1.980E+02  .                    .                    .    *        .               .
 6.310E+09   1.916E+02  .                    .                    .    *        .               .
 1.000E+10   1.889E+02  .                    .                    .    *        .               .
 1.585E+10   1.879E+02  .                    .                    .    *        .               .
 2.512E+10   1.874E+02  .                    .                    .    *        .               .
 3.981E+10   1.873E+02  .                    .                    .    *        .               .
 6.310E+10   1.872E+02  .                    .                    .    *        .               .
 1.000E+11   1.872E+02  .                    .                    .    *        .               .
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
Y
0
         JOB CONCLUDED
0        TOTAL JOB TIME            1.94
$REVERT. SPICE COMPLETED
/
```

A.3.3 Rectificador de onda completa

Se diseña un rectificador de onda completa, como el que se muestra en la figura A.9, utilizando un subcircuito amplificador operacional. Este subcircuito, que se ilustra en la figura A.10, tiene una fuente de tensión dependiente que es función de la tensión diferencial de entrada, VIN. Se utilizan dos resistores de alto valor, RCM1 y RCM2, para mantener una trayectoria de cd hacia tierra. El circuito se analiza para obtener una curva de transferencia dentro del intervalo definido de -5 a $+5$ V cd. Luego se grafica la forma de onda transitoria durante un periodo. En seguida se muestran las entradas y salidas del computador.

Figura A.9
Rectificador de onda completa.

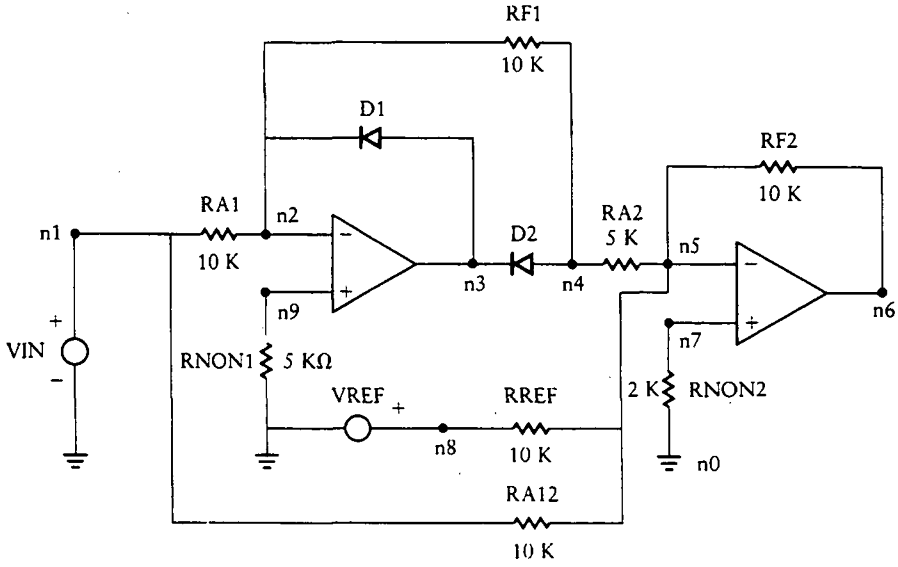
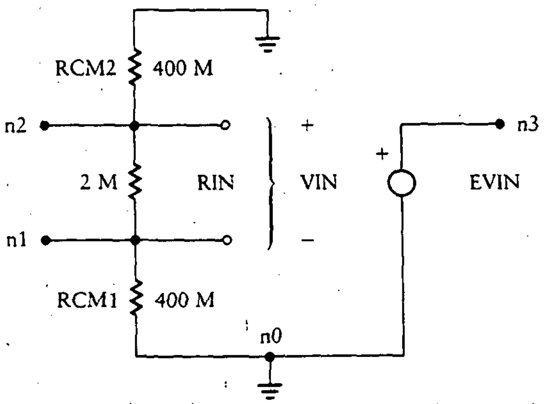


Figura A.10
Subcircuito amplificador operacional.




```
FFIND.SPICE.PROJ4
1******* 86/04/30. ******* SPICE 2G.5 (10AUG81) ******* 18.56.41.*****

0* FULLWAVE RECTIFIER

0****     INPUT LISTING                    TEMPERATURE =   27.000 DEG C

0*****************************************************************************

 * SUBCIRCUIT DESCRIPTION
 .SUBCKT  OPAMP  1  2  3
 RIN   1  2  2MEG
 RCM1  1  0  400MEG
 RCM2  2  0  400MEG
 EVIN  3  0  2  1  10E5
 .ENDS  OPAMP
 *  MAIN CIRCUIT ELEMENT DESCRIPTION
 RA1    1  2  10K
 RF1    4  2  10K
 D1     3  2  MOD1
 D2     4  3  MOD1
 RA12   1  5  10K
 RA2    4  5   5K
 RF2    6  5  10K
 RREF   8  5  10K
 RNON1  9  0   5K
 RNON2  7  0   2K
 .MODEL  MOD1  D  (VJ=.7)
 *  MAIN CIRCUIT SOURCE DESCRIPTION
 VREF    8   0   2
 VIN     1   0   SIN (0  10  60)
 *  CALL SUBCIRCUIT OPAMP
 X1  2  9  3  OPAMP
 X2  5  7  6  OPAMP
 *  ANALYSIS REQUESTS
 .TRAN  .5M  16.5M
 .DC  VIN  -5  5  .5
 *  OUTPUT REQUESTS
 .PLOT  TRAN  V(6)
 .PLOT  DC    V(6)
 .END
```

```
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 18.56.41.***************

0* FULLWAVE RECTIFIER
0****              DIODE MODEL PARAMETERS                         TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************


            MOD1
0IS        1.00E-14
0VJ           .700
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 18.56.41.***************

0* FULLWAVE RECTIFIER
0****              DC TRANSFER CURVES                             TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************


  VIN         V(6)

                    -2.000E+00          0.          2.000E+00           4.000E+00           6.000E+00
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
 -5.000E+00  3.000E+00  .                   .                   .         *         .                   .
 -4.500E+00  2.500E+00  .                   .                   .    *              .                   .
 -4.000E+00  2.000E+00  .                   .                   *                   .                   .
 -3.500E+00  1.500E+00  .                   .              *    .                   .                   .
 -3.000E+00  1.000E+00  .                   .         *         .                   .                   .
 -2.500E+00  5.000E-01  .                   .    *              .                   .                   .
 -2.000E+00  4.058E-07  .                   *                   .                   .                   .
 -1.500E+00 -5.000E-01  .              *    .                   .                   .                   .
 -1.000E+00 -1.000E+00  .         *         .                   .                   .                   .
 -5.000E-01 -1.500E+00  .    *              .                   .                   .                   .
 -2.842E-14 -2.000E+00  *                   .                   .                   .                   .
  5.000E-01 -1.500E+00  .    *              .                   .                   .                   .
  1.000E+00 -1.000E+00  .         *         .                   .                   .                   .
  1.500E+00 -5.000E-01  .              *    .                   .                   .                   .
  2.000E+00 -1.067E-05  .                   *                   .                   .                   .
  2.500E+00  5.000E-01  .                   .    *              .                   .                   .
  3.000E+00  1.000E+00  .                   .         *         .                   .                   .
  3.500E+00  1.500E+00  .                   .              *    .                   .                   .
  4.000E+00  2.000E+00  .                   .                   *                   .                   .
  4.500E+00  2.500E+00  .                   .                   .    *              .                   .
  5.000E+00  3.000E+00  .                   .                   .         *         .                   .
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -

Y
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 18.56.41.***************

0* FULLWAVE RECTIFIER
0****              INITIAL TRANSIENT SOLUTION                     TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************


 NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE


 (  1)   0.0000    (  2)    .0000    (  3)   -.2636    (  4)    .0000    (  5)    .0000    (  6)  -2.0000    (  7)    .0000

 (  8)   2.0000    (  9)    .0000
```

```
     VOLTAGE SOURCE CURRENTS

     NAME       CURRENT


     VREF     -2.000E-04

     VIN       2.266E-10


     TOTAL POWER DISSIPATION   4.00E-04  WATTS
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 18.56.41.***************

0* FULLWAVE RECTIFIER
0****                  OPERATING POINT INFORMATION                      TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************


0
0**** VOLTAGE-CONTROLLED VOLTAGE SOURCES


0            EVIN.X1   EVIN.X2
 V-SOURCE     -.264    -2.000
 I-SOURCE  2.67E-10  2.00E-04
0
0**** DIODES


0            D1         D2
0MODEL       MOD1       MOD1
 ID       -2.74E-13  2.68E-10
 VD          -.264      .264
1*************** 86/04/30. ********************** SPICE 2G.5 (10AUG81) ********************** 18.56.41.***************

0* FULLWAVE RECTIFIER
0****                  TRANSIENT ANALYSIS                               TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************



     TIME        V(6)

                        -5.000E+00           0.                 5.000E+00          1.000E+01          1.500E+01
                         - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
  0.          -2.000E+00   .            *     .                  .                  .                  .
  5.000E-04   -1.291E-01   .                  *.                 .                  .                  .
  1.000E-03    1.676E+00   .                  .      *           .                  .                  .
  1.500E-03    3.350E+00   .                  .             *    .                  .                  .
  2.000E-03    4.837E+00   .                  .                 *.                  .                  .
  2.500E-03    6.077E+00   .                  .                  .   *              .                  .
  3.000E-03    7.038E+00   .                  .                  .       *          .                  .
  3.500E-03    7.669E+00   .                  .                  .         *        .                  .
  4.000E-03    7.970E+00   .                  .                  .          *       .                  .
  4.500E-03    7.903E+00   .                  .                  .          *       .                  .
  5.000E-03    7.502E+00   .                  .                  .         *        .                  .
  5.500E-03    6.747E+00   .                  .                  .      *           .                  .
  6.000E-03    5.700E+00   .                  .                  . *                .                  .
```

```
 6.500E-03   4.362E+00  .         .        *.         .         .
 7.000E-03   2.815E+00  .         .    *    .         .         .
 7.500E-03   1.084E+00  .         . *       .         .         .
 8.000E-03  -7.471E-01  .       * .         .         .         .
 8.500E-03  -1.277E+00  .      *  .         .         .         .
 9.000E-03   4.847E-01  .         .*        .         .         .
 9.500E-03   2.250E+00  .         .   *     .         .         .
 1.000E-02   3.872E+00  .         .      *  .         .         .
 1.050E-02   5.277E+00  .         .         .*        .         .
 1.100E-02   6.434E+00  .         .         .  *      .         .
 1.150E-02   7.283E+00  .         .         .   *     .         .
 1.200E-02   7.810E+00  .         .         .    *    .         .
 1.250E-02   7.985E+00  .         .         .     *   .         .
 1.300E-02   7.809E+00  .         .         .    *    .         .
 1.350E-02   7.284E+00  .         .         .   *     .         .
 1.400E-02   6.431E+00  .         .         .  *      .         .
 1.450E-02   5.280E+00  .         .         .*        .         .
 1.500E-02   3.869E+00  .         .       * .         .         .
 1.550E-02   2.253E+00  .         .   *     .         .         .
 1.600E-02   4.829E-01  .         .*        .         .         .
 1.650E-02  -1.372E+00  .      *  .         .         .         .
                        - - - - - - - - - - - - - - - - - - - - -

Y
0
         JOB CONCLUDED
0         TOTAL JOB TIME            4.52
$REVERT. SPICE COMPLETED
/
```

A.3.4 Filtro pasa-bajas Chebyshev de cuarto orden

El filtro mostrado en la figura A.11 está diseñado para contar con un rizo de 3 dB en la banda de paso, 3 dB a la frecuencia de paso de 1 kHz y una ganancia máxima de 1 en la banda de paso. Los resultados impresos de las entradas y salidas del computador se muestran en seguida.

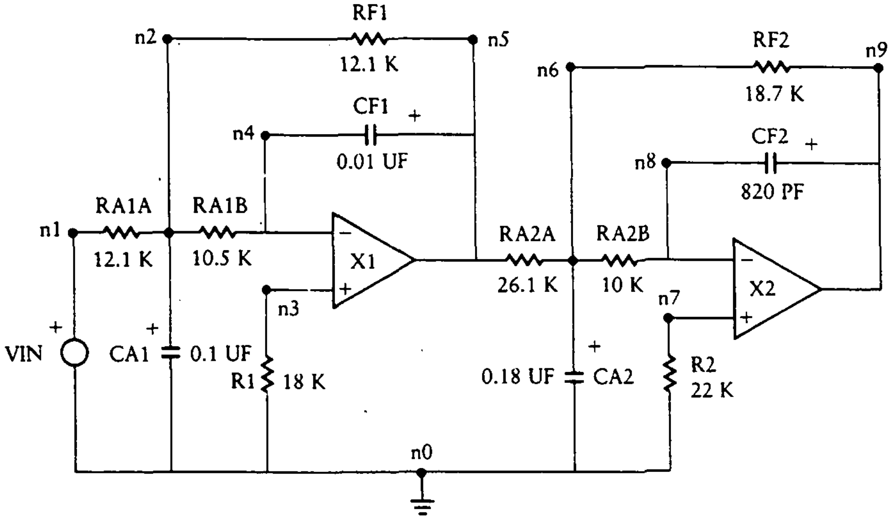


Figura A.11
Filtro pasa-bajas Chebyshev.

```
  PPROJ5
1******* 86/04/30. ******* SPICE 2G.5 (10AUG81) ******* 18.54.35.*****

0* FOURTH ORDER CHEBYSHEV LPF

0****     INPUT LISTING                  TEMPERATURE =  27.000 DEG C

0***********************************************************************


 * SUBCIRCUIT OPAMP DESCRIPTION
 .SUBCKT  OPAMP  1  2  3
 RIN   1   2   2MEG
 RCM1  1   0   400MEG
 RCM2  2   0   400MEG
 EVIN  3   0   2   1   10E5
 .ENDS OPAMP

 * MAIN CIRCUIT ELEMENT DESCRIPTION
 RA1A   1   2   12.1K
 RA1B   2   4   10.5K
 RF1    2   5   12.1K
 R1     3   0   18.0K
 CA1    2   0     .1U
 CF1    5   4     .01U
 RA2A   5   6   26.1K
 RA2B   6   8   10.0K
 RF2    6   9   18.7K
 R2     7   0   22.0K
 CA2    6   0     .18U
 CF2    9   8   820P

 * CALL SUBCIRCUIT OPAMP
 X1   4   3   5   OPAMP
 X2   8   7   9   OPAMP

 * SOURCE DESCRIPTION

 VIN  1   0   AC

 * ANALYSIS REQUESTS

 .AC   DEC   15   100   2K

 * OUTPUT REQUEST
 .PLOT  AC  VDB(9)  VDB(5)  VDB(9,5)
 .END
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) ********************** 18.54.35.***************

0* FOURTH ORDER CHEBYSHEV LPF
0****                SMALL SIGNAL BIAS SOLUTION                  TEMPERATURE =   27.000 DEG C

0*******************************************************************************************************************


  NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE

 (  1)    0.0000    (  2)    0.0000    (  3)    0.0000    (  4)    0.0000    (  5)    0.0000    (  6)    0.0000    (  7)    0.0000

 (  8)    0.0000    (  9)    0.0000
```

```
   VOLTAGE SOURCE CURRENTS

   NAME       CURRENT

   VIN        0.

   TOTAL POWER DISSIPATION   0.        WATTS
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) *********************** 18.54.35.***************

0* FOURTH ORDER CHEBYSHEV LPF
0****                 OPERATING POINT INFORMATION                     TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************


0
0**** VOLTAGE-CONTROLLED VOLTAGE SOURCES


0            EVIN.X1   EVIN.X2
 V-SOURCE     0.000     0.000
 I-SOURCE  0.        0.
1*************** 86/04/30. *********************** SPICE 2G.5 (10AUG81) *********************** 18.54.35.***************

0* FOURTH ORDER CHEBYSHEV LPF
0****                 AC ANALYSIS                                     TEMPERATURE =   27.000 DEG C

0*****************************************************************************************************************

OLEGEND:

 *: VDB(9)
 +: VDB(5)
 =: VDB(9,5)

    FREQ       VDB(9)

 (*)----------------- -6.000E+01           -4.000E+01           -2.000E+01           0.                   2.000E+01
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -

 (+=)---------------- -3.000E+01           -2.000E+01           -1.000E+01           0.                   1.000E+01
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
  1.000E+02  -2.559E+00 .                   .                   .                *  .+       =          .
  1.166E+02  -2.440E+00 .                   .                   .                *  .+        =         .
  1.359E+02  -2.280E+00 .                   .                   .                *  .+        =         .
  1.585E+02  -2.067E+00 .                   .                   .                 * .+        =         .
  1.848E+02  -1.786E+00 .                   .                   .                 * . +        =        .
  2.154E+02  -1.426E+00 .                   .                   .                 * . +         =       .
  2.512E+02  -9.811E-01 .                   .                   .                  *. +         =       .
  2.929E+02  -4.832E-01 .                   .                   .                  *.  +         =      .
  3.415E+02  -4.241E-02 .                   .                   .                   *  +         =      .
  3.981E+02   9.777E-02 .                   .                   .                   * +           =     .
  4.642E+02  -3.499E-01 .                   .                   .                   *+          =       .
  5.412E+02  -1.372E+00 .                   .                   .               + * .        =          .
  6.310E+02  -2.474E+00 .                   .                   .          +     *  .    =              .
  7.356E+02  -2.837E+00 .                   .                   .    +           *  .  =                .
  8.577E+02  -1.168E+00 .                   .                   +                  *. =                 .
  1.000E+03  -2.255E+00 .                   .             +     .             =   * .                   .
  1.166E+03  -1.333E+01 .                  =.       +           .     *             .                   .
  1.359E+03  -2.210E+01 .    =              . +               * .                   .                   .
  1.585E+03  -2.944E+01 .       =        +  .         *         .                   .                   .
  1.848E+03  -3.605E+01 .     =    +        .   *               .                   .                   .
  2.154E+03  -4.223E+01 . =   +           * .                   .                   .                   .
                        - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
```

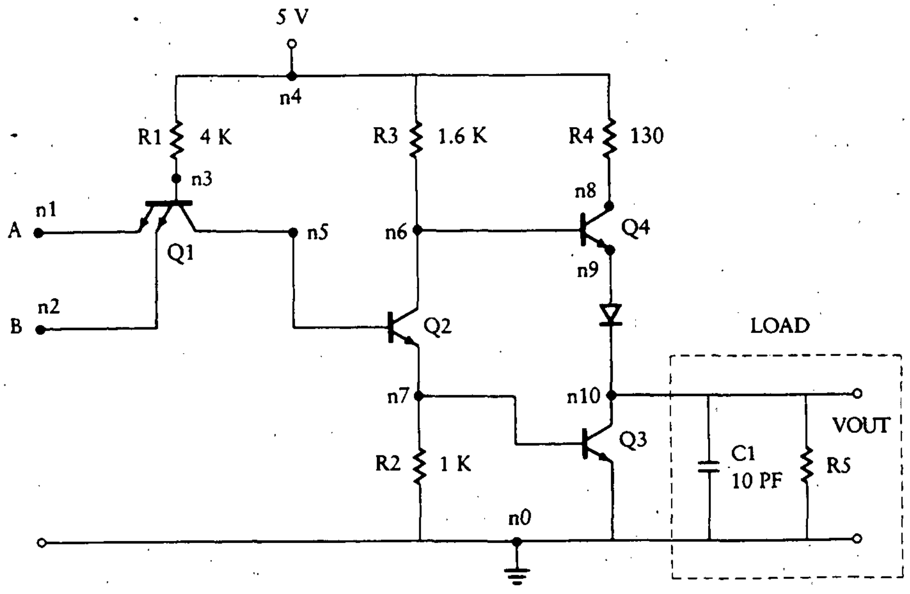
```
Y
0
        JOB CONCLUDED
0        TOTAL JOB TIME              1.51
$REVERT. SPICE COMPLETED
/
```

A.3.5 Compuerta NAND de dos entradas

En la figura A.12 se ilustra una compuerta NAND de dos entradas. El circuito está diseñado para proporcionar altas corrientes de salida, con el fin de proporcionar más corriente para cargar y descargar cualquier capacitancia parásita asociada con la carga.

Esta operación de alta corriente disminuye el tiempo de transición necesario para encender y apagar el dispositivo. El listado de las entradas y salidas del computador se muestra más abajo.

Figura A.12
Compuerta NAND de dos entradas.




```
  1.700E-02    3.778E-02   .*                  REWIND,*
  9 FILES PROCESSED,
/FIND,SPICE,TEST
******** 86/07/78, ******* SPICE 26.5 (10AUG81) ******* 16.53.57.*****

0NAND GATE

0****     INPUT LISTING                 TEMPERATURE =   27.000 DEG C

0*****************************************************************************

 C1 10  0 10P
 R5 10  0 2000
 R1 2 4 4K
 R2 0 7 1K
```

```
R3 4 6 1.6K
R4 4 8 130
Q1 5 3 1 MOD1
Q1A 5 3 2 MOD1
Q2 6 5 7 MOD1
Q3 10 7 0 MOD1
Q4 8 6 9 MOD1
D1 9 10 MOD2
VA 1 0 PULSE (0 5 10M 5M 5M 20M 50M)
VB 2 0 DC 5
VCC 4 0 DC 5
.MODEL MOD1 NPN (VJE=.7 BF=30 BR=.3)
.MODEL MOD2 D (VJ=.7)
*ANALYSIS REQUEST
.TRAN 1M 50M
*OUTPUT REQUEST
.PLOT TRAN V(10)
.END
1*************** 86/07/28, ********************** SPICE 26.5 (10AUG81) ********************** 16.53.57.**************

0NAND GATE
0****               DIODE MODEL PARAMETERS                         TEMPERATURE =  27.000 DEG C

0*****************************************************************************************************


            MOD2
0IS       1.00E-14
0VJ           .700
1*************** 86/07/28, ********************** SPICE 26.5 (10AUG81) ********************** 16.53.57.**************

0NAND GATE
0****               BJT MODEL PARAMETERS                           TEMPERATURE =  27.000 DEG C

0*****************************************************************************************************


            MOD1
0TYPE        NPN
0IS       1.00E-16
0BF         30.000
0NF          1.000
0BR           .300
0NR          1.000
0VJE          .700
1*************** 86/07/28, ********************** SPICE 26.5 (10AUG81) ********************** 16.53.57.**************

0NAND GATE
0****               INITIAL TRANSIENT SOLUTION                     TEMPERATURE =  27.000 DEG C

0 ****************************************************************************************************


  NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE    NODE   VOLTAGE


 (  1)    0.0000   (  2)    5.0000   (  3)     .7813   (  4)    5.0000   (  5)     .0559   (  6)    4.9109   (  7)     .0000

 (  8)    4.7827   (  9)    4.1234   ( 10)    3.4541
```

```
     VOLTAGE SOURCE CURRENTS

     NAME        CURRENT


     VA         1.206E-03

     VB        -1.516E-04

     VCC       -2.782E=-03


      TOTAL POWER DISSIPATION   1.47E-02  WATTS
1*************** 86/07/28. ***********************  SPICE 26.5 (10AUG81)  *********************** 16.53.57.***************

0NAND GATE
0****                OPERATING POINT INFORMATION                      TEMPERATURE =  27.000 DEG C

0 ***************************************************************************************************************


0
0**** DIODES



0              D1
0MODEL        MOD2
 ID        1.73E-03
 VO            .669
0
0**** BIPOLAR JUNCTION TRANSISTORS


0              Q1         Q1A        Q2         Q3         Q4
0MODEL        MOD1       MOD1       MOD1       MOD1       MOD1
 IB        5.49E-04  5.05E-04 -1.62E-11 -1,15E-11  5.57E-05
 IC        6.57E-04 -6.56E-04  2.11E-11  1.50E-11  1.67E-03
 V3E           .781    -4.219       .056      .000       .737
 VBC           .725      .725     -4.855    -3.454       .128
 VCE           .056    -4.344      4.911     3.454       .659
 BETADC       1.196    -1.300     -1.304    -1.300     30.000
1*************** 86/07/28, ***********************  SPICE 26.5 (10AUG81)  *********************** 16.53.57.***************

0NAND GATE
0****                TRANSIENT ANALYSIS                               TEMPERATURE =  27.000 DEG C
0 ***************************************************************************************************************



      TIME       V(10)

                           0.                1.000E+00          2.000E+00          3.000E+00          4.000E+00
                           - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -
    0.          3.454E+00  .                   .                  .                  .       *          .
    1.000E-03   3.454E+00  .                   .                  .                  .       *          .
    2.000E-03   3.454E+00  .                   .                  .                  .       *          .
    3.000E-03   3.454E+00  .                   .                  .                  .       *          .
    4.000E-03   3.454E+00  .                   .                  .                  .       *          .
    5.000E-03   3.454E+00  .                   .                  .                  .       *          .
```

```
 6.000E-03   3.454E+00   .                   .                   .                   .        *          .
 7.000E-03   3.454E+00   .                   .                   .                   .        *          .
 8.000E-03   3.454E+00   .                   .                   .                   .        *          .
 9.000E-03   3.454E+00   .                   .                   .                   .        *          .
 1.000E-02   3.454E+00   .                   .                   .                   .        *          .
 1.100E-02   2.888E+00   .                   .                   .                 * .                   .
 1.200E-02   3.778E-02   .*                  .                   .                   .                   .
 1.300E-02   3.778E-02   .*                  .                   .                   .                   .
 1.400E-02   3.778E-09   .*                  .                   .                   .                   .
 1.500E-02   3.778E-02   .*                  .                   .                   .                   .
 1.600E-02   3.778E-02   .*                  .                   .                   .                   .
 1.700E-02   3.778E-02   .*                  .                   .                   .                   .
 1.800E-02   3.778E-02   .*                  .                   .                   .                   .
 1.900E-02   3.778E-02   .*                  .                   .                   .                   .
 2.000E-02   3.778E-02   .*                  .                   .                   .                   .
 2.100E-02   3.778E-02   .*                  .                   .                   .                   .
 2.200E-02   3.778E-02   .*                  .                   .                   .                   .
 2.300E-02   3.778E-02   .*                  .                   .                   .                   .
 2.400E-02   3.778E-02   .*                  .                   .                   .                   .
 2.500E-02   3.778E-02   .*                  .                   .                   .                   .
 2.600E-02   3.778E-02   .*                  .                   .                   .                   .
 2.700E-02   3.778E-02   .*                  .                   .                   .                   .
 2.800E-02   3.778E-02   .*                  .                   .                   .                   .
 2.900E-02   3.778E-02   .*                  .                   .                   .                   .
 3.000E-02   3.778E-02   .*                  .                   .                   .                   .
 3.100E-02   3.778E-02   .*                  .                   .                   .                   .
 3.200E-02   3.778E-02   .*                  .                   .                   .                   .
 3.300E-02   3.778E-02   .*                  .                   .                   .                   .
 3.400E-02   3.778E-02   .*                  .                   .                   .                   .
 3.500E-02   3.778E-02   .*                  .                   .                   .                   .
 3.600E-02   3.778E-02   .*                  .                   .                   .                   .
 3.700E-02   3.778E-02   .*                  .                   .                   .                   .
 3.800E-02   3.778E-02   .*                  .                   .                   .                   .
 3.900E-02   2.984E+00   .                   .                   .                   *                   .
 4.000E-02   3.454E+00   .                   .                   .                   .        *          .
 4.100E-02   3.454E+00   .                   .                   .                   .        *          .
 4.200E-02   3.454E+00   .                   .                   .                   .        *          .
 4.300E-02   3.454E+00   .                   .                   .                   .        *          .
 4.400E-02   3.454E+00   .                   .                   .                   .        *          .
 4.500E-02   3.454E+00   .                   .                   .                   .        *          .
 4.600E-02   3.454E+00   .                   .                   .                   .        *          .
 4.700E-02   3.454E+00   .                   .                   .                   .        *          .
 4.800E-02   3.454E+00   .                   .                   .                   .        *          .
 4.900E-02   3.454E+00   .                   .                   .                   .        *          .
 5.000E-02   3.454E+00   .                   .                   .                   .        *          .
                         - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - - -


Y
0
        JOB CONCLUDED
0        TOTAL JOB TIME          7.85
$REVERT. SPICE COMPLETED
/
```

APÉNDICE

B PRINCIPIOS DE FÍSICA DE SEMICONDUCTORES

B.0 INTRODUCCIÓN

Este apéndice trata en forma cuantitativa algunos principios físicos básicos de los materiales electrónicos. Se estudian las concentraciones de portadores en semiconductores intrínsecos y extrínsecos, las corrientes eléctricas debidas a desplazamiento y difusión, y la definición del nivel de Fermi. Se deriva la ecuación básica del diodo.

B.1 SEMICONDUCTORES INTRÍNSECOS

Como se estudió en el capítulo 1, los semiconductores son materiales en los que existe una brecha de energía prohibida: una brecha en los niveles de energía en la cual no puede haber electrones. Los electrones de valencia de los átomos de un semiconductor no son libres de moverse por todo el material. Más bien participan en los enlaces covalentes que mantienen unido el ensamble de átomos de una estructura cristalina periódica. Los semiconductores pertenecen a la cuarta columna en la tabla de Mendeleiev, cuyos elementos tienden a formar enlaces covalentes.

En la figura B.1 se muestra la estructura cristalina del silicio. Otros semiconductores, como el germanio, tienen la misma estructura cristalina. Por el momento, se prestará atención al silicio. Mucho de lo que se expone aquí también se aplica a otros semiconductores.

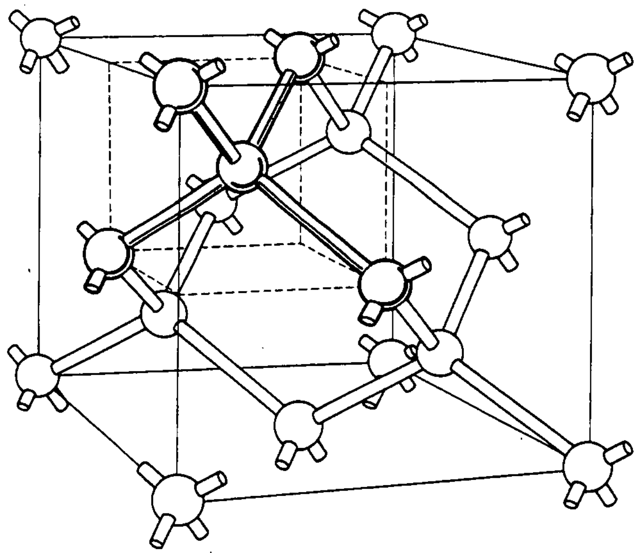


Figura B.1
Estructura cristalina del diamante.

El silicio (Si) es por mucho el semiconductor más utilizado. El germanio se usa sólo en aplicaciones muy especializadas. Otro semiconductor que ha recibido atención es el arseniuro de galio (GaAs). El GaAs es relativamente caro y difícil de procesar, pero ha resultado mucho más rápido que el silicio.

En la estructura reticular del diamante, cada átomo tiene cuatro vecinos próximos y comparte sus electrones de valencia con estos vecinos. Los átomos se hallan en el centro de un tetraedro. La separación reticular constante del silicio es 5.4 Å. Las barras de conexión entre los átomos de la figura B.1 se pueden pensar como la ubicación espacial de los electrones de valencia, que dan lugar a los enlaces covalentes.

A 0°K todos los electrones están constreñidos a sus enlaces covalentes. No se dispone de electrones libres y la conducción no es posible. El material se comporta como aislante. En un semiconductor a temperatura ambiente, algunos enlaces covalentes se romperán. Estos enlaces rotos son el resultado de la vibración térmica aleatoria de los átomos y de los electrones de valencia. Unos cuantos electrones adquieren la energía suficiente para separarse de los enlaces y quedar libres. La energía necesaria para romper un enlace covalente a temperatura ambiente es de alrededor de 1.1 eV para el silicio. El número de enlaces rotos es algo pequeño, alrededor de $10^{11}/\text{cm}^3$ a temperatura ambiente. Con cerca de 10^{23} átomos por cm^3, sólo uno de cada trillón de átomos tiene un enlace roto.

En comparación, el diamante, que tiene la misma estructura cristalina, requiere de mucha mayor energía para romper un enlace, y sólo 10^8 átomos por cm^3 tienen enlaces rotos a temperatura ambiente. Por tanto, el diamante es un aislante.

Debido al principio de enlaces covalentes rotos, existen dos grupos independientes de portadores de carga: electrones de conducción y huecos. Cuando se rompe

algún enlace, hay un electrón libre de moverse a través del cristal. Conforme se retiran los electrones cargados negativamente, permanece una carga positiva debido a que la red era, y es aún, eléctricamente neutra. Atrás permanecen los enlaces rotos, que están cargados positivamente. Como este enlace trata de restaurar por sí mismo su estado normal completo, intenta capturar un electrón. El electrón capturado no necesita estar libre. Aunque los electrones de valencia de los enlaces no pueden moverse con libertad a través del cristal, es posible que se muevan de un enlace a otro siempre que el enlace de destino esté incompleto. El resultado neto es que el enlace roto persiste pero se mueve en dirección contraria al electrón de valencia y entre los dos enlaces. El resultado es una carga móvil positiva, que se denomina *hueco*. Recurriendo a principios de la física cuántica, se puede probar que un hueco posee propiedades similares a las de un electrón libre (por ejemplo, masa, movilidad, tiempo de vida), pero tiene carga opuesta. Un hueco se comporta como una partícula clásica. No se puede aquí describir con la mecánica clásica el movimiento de una carga positiva por medio del movimiento de electrones de valencia en un enlace.

En un semiconductor puro (intrínseco), el número de huecos es igual al de electrones libres. Esto es cierto ya que el proceso de generación crea tanto un hueco como un electrón. Los pares hueco-electrón se pueden generar por agitación térmica o mediante otras formas de inyectar energía al material (por ejemplo, luz).

Los pares hueco-electrón también pueden desaparecer. Este proceso se llama *recombinación*. La recombinación tiene lugar cuando un electrón libre se coloca muy cerca de un hueco y es recapturado por el enlace roto. En ese instante, el electrón deja de estar libre y vuelve a ser parte del enlace covalente, desapareciendo tanto el electrón de conducción como el hueco.

Como la generación y la recombinación afectan a los huecos y electrones en pares, la concentración de huecos (p) debe ser igual a la concentración de electrones (n).

$$n = p = n_i \tag{B.1}$$

n_i se denomina *concentración intrínseca.*

Como no existen enlaces rotos a $0°K$ y $10^{11}/cm^3$ a temperatura ambiente, la concentración intrínseca n_i es función de la temperatura. Esta relación se muestra en la figura B.2. La fórmula para la dependencia de la temperatura es

$$np = n_i^2 = AT^3 e^{-E_G/kT} \tag{B.2}$$

A es una constante de proporcionalidad, T es la temperatura absoluta, k es la constante de Boltzmann (1.38066×10^{-23}J/K), q es la carga del electrón (1.602×10^{-19}C) y E_G es la energía de banda, es decir, la energía mínima necesaria para romper un enlace covalente (1.12 eV para el silicio a temperatura ambiente). Para el silicio, la constante A es igual a 5.06×10^{43} $m^{-6}K^{-3}$.

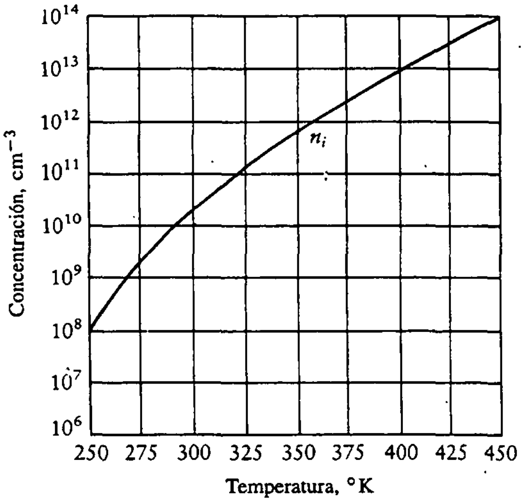


Figura B.2
La concentración intrínseca en el silicio.

B.2 IMPUREZAS EN LOS SEMICONDUCTORES

Como se vio en el capítulo 1, la propiedad de los semiconductores, donde $n = p$, se puede cambiar en forma drástica introduciendo pequeñas cantidades de impurezas. Si se añaden átomos trivalentes o pentavalentes, se forma un semiconductor extrínseco o contaminado.

B.2.1 Semiconductor de tipo *n*

Las impurezas donadoras tienen 5 electrones de valencia en vez de 4 (para el silicio). El fósforo, el arsénico y el antimonio se utilizan como impurezas donadoras en el silicio. Sus átomos se acomodan muy bien en la estructura cristalina del silicio, sin perturbar demasiado a la red.

Sin embargo, después del enlace covalente de un átomo pentavalente en la red del silicio, el quinto electrón de valencia queda libre. El enlace de este electrón es muy pobre y sólo necesita 0.05 eV para desprenderse. En otras palabras, a temperatura ambiente se crea un electrón libre. El ion fósforo se enlaza a la estructura reticular y, por tanto, los átomos donadores donan electrones libres sin contribuir con huecos libres (de aquí el nombre de *donador*).

El silicio así contaminado se conoce como *silicio de tipo n,* o *silicio n.*

B.2.2 Semiconductor de tipo *p*

Las impurezas receptoras tienen tres electrones de valencia. El boro es el receptor más utilizado en el silicio. Como le falta un electrón de valencia, deja un lugar en la estructura del enlace: un hueco. Este espacio puede aceptar electrones, a expensas

de crear un nuevo espacio. En otras palabras, el hueco es libre de moverse, y el receptor crea una carga móvil positiva. El átomo de boro cargado negativamente se fija a la red y no se puede mover. Así, una impureza receptora aporta sólo un hueco libre al proceso de conducción.

El silicio contaminado con receptores se conoce como *silicio de tipo p* o *silicio p*.

B.3 CONCENTRACIÓN DE PORTADORES

En esta sección se considera la dependencia de la concentración de huecos o electrones con respecto a las concentraciones de donadores y receptores, y a otros parámetros de los semiconductores.

En primer lugar, se examina la situación de equilibrio en la que el semiconductor no es perturbado en su entorno térmico. En condiciones de equilibrio, no debe haber corrientes ni flujos netos de huecos o electrones. Existen cuatro clases de partículas cargadas en un semiconductor:

Partículas con carga positiva: huecos móviles p, donadores inmóviles N_D.

Partículas con carga negativa: electrones móviles n, receptores inmóviles N_A.

En cada caso, el símbolo representa la concentración volumétrica de la partícula en cuestión. Cada una de estas partículas transporta una carga de magnitud q, siendo q la carga del electrón. La densidad local de carga, ρ, se puede escribir como

$$\rho = q(p + N_D - n - N_A) \tag{B.3}$$

En condiciones de equilibrio, ρ es igual a cero. La neutralidad local se debe preservar como consecuencia de la ley de Gauss.

Con la restricción de que ρ sea igual a cero, se puede reescribir la ecuación (B.3) como:

$$n - p = N_D - N_A \tag{B.4}$$

El hecho de que las concentraciones de impurezas N_D y N_A estén determinadas por parámetros de procesamiento del semiconductor, constituye una restricción en la concentración de huecos y electrones.

Una segunda restricción viene del principio de balanceo detallado. La explicación de este principio y la prueba de la siguiente relación se dan en una sección subsecuente. Hasta el momento, se ha postulado que el equilibrio en la concentración de portadores es independiente de las concentraciones de impurezas donadoras y receptoras y sólo depende de la temperatura absoluta.

$$n_o p_o = n_i^2\ (T) \tag{B.5}$$

La notación n_i^2 se desprende de la situación intrínseca, donde se probó que $n = p = n_i$. Como se postuló que las concentraciones de electrones y huecos son independientes de la contaminación del semiconductor extrínseco, el producto se escribe como n_i^2.

Siempre que los niveles de contaminación no sean excesivos, todos los átomos de impurezas estarán ionizados: cada donador aportará un electrón libre y cada receptor contribuirá con un hueco libre. Esto no sería cierto a temperaturas muy bajas (por debajo de la temperatura del nitrógeno líquido). En ese punto no todos los contaminantes estarán ionizados. (Recuérdese que son necesarios unos cuantos cientos de electrones-volts para ionizar un átomo contaminante.)

A partir de las ecuaciones (B.4) y (B.5) se pueden calcular las concentraciones de electrones y huecos como función de las concentraciones de contaminantes. Las soluciones explícitas se pueden simplificar en varias circunstancias si se observa que existirán órdenes de magnitud de diferencia entre N_D, N_A y n_i. En materiales de tipo n, N_D será grande comparado con N_A y n_i, obteniéndose

$$n \approx N_D \tag{B.6a}$$

$$p \approx \frac{n_i^2}{N_D}. \tag{B.6b}$$

Por otra parte, en materiales de tipo p, N_A será grande en comparación con N_D y n_i, dando:

$$n \approx N_A \tag{B.7a}$$

$$p \approx \frac{n_i^2}{N_D} \tag{B.7b}$$

Ejemplo B.1

¿Cuál es el efecto de reemplazar con un átomo de boro cada diezmillonésimo átomo de silicio (a temperatura ambiente)?

SOLUCIÓN El silicio tiene un peso atómico de 28.09 y una densidad de 2.328 g/cm^3, y por la ley de Avogadro el número de átomos por metro cúbico es:

$$n_A = \frac{6.02204 \times 10^{23} \dfrac{\text{átomos}}{\text{g.átomos}} 2.328 \times 10^6 \dfrac{\text{g}}{\text{m}^3}}{28.09 \dfrac{\text{g}}{\text{g.átomos}}} = 4.9909 \times 10^{28}\ \text{átomos/m}^3$$

Por tanto, la concentración de huecos y átomos receptores es: $p = N_A = 5 \times 10^{21}/\text{m}^3$. La concentración intrínseca a temperatura ambiente es $1.45 \times 10^{16}/\text{m}^3$. La concentración de electrones es $n = 4.205 \times 10^{10}/\text{m}^3$.

Es importante notar que esta mínima cantidad de contaminante no afecta las propiedades químicas o mecánicas del semiconductor. Sin embargo, tiene un efecto enorme en las propiedades eléctricas.

B.4 PORTADORES EXCEDENTES

En la sección B.3 se mostró la relación entre concentraciones de donadores/receptores y concentraciones de huecos/electrones. Una diferencia importante entre metales y semiconductores es que las concentraciones de portadores se pueden perturbar en forma significativa, y local, sin producir desviaciones importantes de la neutralidad eléctrica.

En un metal, la perturbación de concentraciones crea una carga y campos fuertes que eliminan esta carga. Debido a la carga complementaria de huecos y electrones, los cambios idénticos en n y p no producen una densidad local de carga.

$$n = n_o + n' \tag{B.8}$$

$$p = p_o + p' \tag{B.9}$$

y

$$\rho = q(p_o + N_d - n_o - N_a) + q(p' - n') \tag{B.10}$$

n' y p' son las concentraciones excedentes. Si $n' \approx p'$, se tiene la condición de cuasineutralidad. Nótese que ρ aún es cero, pero en este caso el producto np ya no es igual a n_i^2.

B.5 RECOMBINACIÓN Y GENERACIÓN DE PORTADORES EXCEDENTES

Una concentración de portadores en exceso diferente de cero es una desviación del equilibrio, y los mecanismos físicos se esforzarán por restablecer tal equilibrio.

Si n' y p' son positivos, lo que implica una concentración mayor que la del equilibrio, se produce la recombinación. Si n' y p' son negativos, lo que significa una concentración menor que la del equilibrio, tiene lugar la generación.

La tasa de recombinación se puede escribir como

$$R = an' + bp' \tag{B.11}$$

En condiciones cuasineutrales se puede escribir

$$R = (a + b)n' \quad R = (a + b)p' \tag{B.12}$$

El proceso de recombinación es proporcional a la concentración excesiva:

$$R = Kn' \qquad R = Kp' \quad R = \frac{n'}{\tau} \qquad R = \frac{P'}{\tau} \tag{B.13}$$

El parámetro τ, que tiene unidades de tiempo, se llama *vida media* de los portadores excedentes. La vida media típica varía entre nanosegundos y milisegundos.

La vida media de un portador no es una constante dada para un semiconductor determinado. Depende mucho de la preparación del semiconductor y de la historia del procesamiento del material, así como de los niveles de contaminación de éste.

B.6 TRANSPORTE DE CORRIENTE ELÉCTRICA

Se analizarán ahora los dos mecanismos por los cuales puede fluir una corriente en un material: desplazamiento y difusión.

A cualquier temperatura diferente de cero, los átomos de una red cristalina poseen energía cinética en la forma de vibraciones alrededor de posiciones neutrales en la red. La energía vibracional se mide por la temperatura. Existe un intercambio continuo de energía entre los iones vibrantes y los electrones libres en la forma de colisiones elásticas e inelásticas. El movimiento resultante del electrón es aleatorio: no existe movimiento neto y la corriente neta es cero.

A temperatura ambiente, la velocidad térmica media de los electrones y los huecos es 10^5 m/s; éstos tienen una frecuencia de colisiones cercana a 10^{11} s^{-1}.

La velocidad térmica de portadores está dada por

$$v_{th} = \sqrt{\frac{3kT}{m^*}} \tag{B.14}$$

En la ecuación (B.14), m^* es la masa efectiva del portador. Debido a la influencia de átomos vecinos, un portador no se comporta como si tuviera la masa del electrón

libre (9.1×10^{-31} kg). Se utiliza un factor de proporcionalidad para compensar este comportamiento.

Ejercicio

B.1 Suponiendo que la masa efectiva fuese igual a la masa del electrón libre, ¿cuál sería la velocidad térmica de un electrón a 300°K?

Resp.: 1.17×10^5 m/s

B.7 DESPLAZAMIENTO EN UN CAMPO ELÉCTRICO

El equilibrio puede perturbarse por la aplicación de campos eléctricos o por hacer que la distribución de portadores no sea uniforme. El campo eléctrico provocará un movimiento neto de portadores sobrepuesto al movimiento térmico aleatorio, como se muestra en la figura B.3. Este efecto neto se denomina *desplazamiento*, y se puede definir una velocidad de desplazamiento:

$$v_h = \mu_h \epsilon \qquad v_e = -\mu_e \epsilon \tag{B.15}$$

donde μ_h y μ_e son las movilidades respectivas de los huecos y electrones en $m^2/V \cdot s$. La movilidad del electrón para el silicio es de aproximadamente 0.135, mientras que la movilidad de los huecos es de $.045\ m^2/V \cdot s$.

Estas movilidades no son constantes: presentan complejas dependencias tanto de la temperatura como de las densidades de contaminación. El movimiento de los portadores está determinado por mecanismos de dispersión. Un electrón que hace

Figura B.3 Movimiento térmico aleatorio de partículas cargadas.

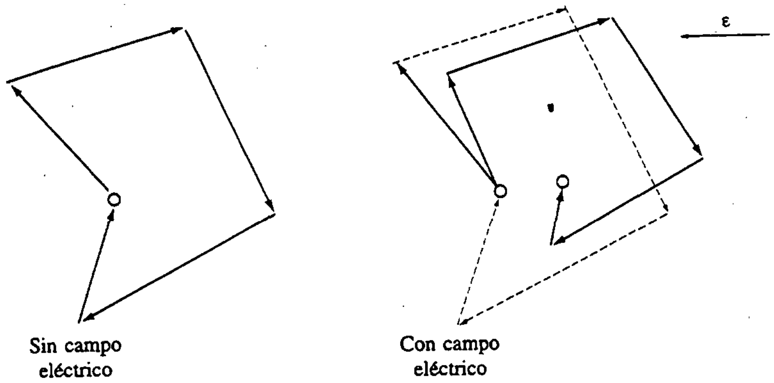
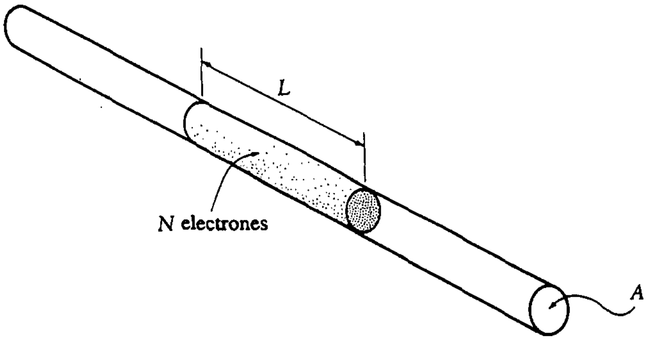


Figura B.4
Movimiento de portadores en un alambre conductor.



colisión con otro electrón, con un átomo de silicio o con un átomo contaminado se dispersará, cambiando la dirección de movimiento. Este proceso de dispersión depende de la temperatura (la cantidad de energía en los átomos o iones dispersados) y de la cantidad de iones (contaminación).

La corriente eléctrica asociada con el desplazamiento se calcula de la siguiente forma. Supóngase que existen N electrones contenidos en una longitud L de un conductor (véase Fig. B.4), y a un electrón le toma T segundos recorrer una distancia de L metros en el conductor. El número total de electrones que pasan a través de cualquier sección transversal del alambre en una unidad de tiempo es N/T. Por definición, la corriente en amperes es:

$$I \equiv \left[\frac{N}{T}\right] q = \frac{Nq}{T} = \frac{Nq\left[\frac{L}{T}\right]}{L} = \frac{Nqv}{L} \tag{B.16}$$

También, por definición, la densidad de corriente, $J[\text{A/m}^2]$, es

$$J \equiv \frac{I}{A} = \frac{Nqv}{LA} \tag{B.17}$$

Con $\dfrac{N}{LA}$ como la concentración de electrones, n [electrones/m^3], se obtiene:

$$J = nqv \tag{B.18}$$

Debe notarse que esta definición es independiente de la forma del medio conductor.

Es interesante ver, utilizando la fórmula (B.15), que se obtiene:

$$J = nqv = nq\mu\epsilon = \sigma\epsilon \tag{B.19}$$

donde $\sigma \equiv nq\mu$ es la conductividad en $(\Omega \cdot \text{m})^{-1}$. Combinando estas ecuaciones, se obtiene

$$I = JA = \frac{\sigma AL\epsilon}{L} = \frac{\sigma AV}{L} = \frac{V}{R} \tag{B.20}$$

que se reconoce como la ley de Ohm.

Para los huecos y electrones en el silicio, se puede escribir

$$J_h = qp\mu_h\epsilon \qquad J_e = qn\mu_e\epsilon \tag{B.21}$$

por lo que la corriente total de desplazamiento es

$$J = q(p\mu_h + n\mu_e)\epsilon \tag{B.22}$$

Ejemplo B.2

Encuéntrese la velocidad de desplazamiento promedio en un semiconductor de silicio contaminado con fósforo. Supóngase una densidad de contaminación de 1 por millón, un área de sección transversal de 10^{-4} m^2, y una corriente de 4 A.

SOLUCIÓN Del ejemplo B.1 se sabe qué concentración de átomos de silicio hay en un cristal de silicio:

$$n_{Si} = 4.97 \times 10^{28} \text{ átomos/m}^3$$

Con un átomo de fósforo por millón y $n = N_d$, se tiene $n = 4.97 \times 10^{22}$ electrones/m^3 y una densidad despreciable de huecos.

$$v_e = \frac{J_e}{nq} = \frac{\frac{I}{A}}{nq} = \frac{4 \times 10^4}{(4.97 \times 10^{22})(1.609 \times 10^{-19})} = 5 \text{ m/s}$$

Por tanto, la velocidad de desplazamiento promedio es varios órdenes de magnitud menor que la velocidad térmica aleatoria.

Ejemplo B.3

¿Cuál es la resistividad del silicio intrínseco a temperatura ambiente? ¿Cuál es la resistividad del silicio contaminado con boro o fósforo en proporción de 1/millón a temperatura ambiente?

SOLUCIÓN Para el material intrínseco:

$$n = p = n_i = 1.5 \times 10^{16}$$

$$\sigma_i = q(\mu_n n + \mu_p p) = (0.135 + 0.045)(1.5 \times 10^{16})(1.609 \times 10^{-19})$$
$$= 4.34 \times 10^{-4}(\Omega \cdot \text{m})^{-1}$$

$$\rho_i = \frac{1}{\sigma_i} = 2.3 \times 10^3\ \Omega \cdot \text{m}$$

Para el silicio n contaminado con fósforo

$$\rho = 9.3 \times 10^{-4}\ \Omega \cdot \text{m}$$

y para el silicio-p contaminado con boro

$$\rho = 2.78 \times 10^{-3}\ \Omega \cdot \text{m}$$

Estos valores muestran el gran efecto de la contaminación en las propiedades eléctricas del silicio. Los valores de resistividad son sólo aproximaciones: las movilidades son dependientes de la contaminación.

B.8 DEPENDENCIA DE LA RESISTIVIDAD RESPECTO A LA TEMPERATURA

Para un metal, conforme aumenta la temperatura aumenta el movimiento térmico aleatorio y disminuyen el tiempo entre colisiones y la movilidad; por tanto, disminuye la conductividad. En los metales, la resistencia aumenta con la temperatura.

En los semiconductores la situación es un poco más complicada, ya que disminuye la movilidad pero aumenta el número de portadores que contribuyen a la conducción, debido a lo cual existen dos mecanismos que compiten entre sí.

B.9 DIFUSIÓN EN UN GRADIENTE DE CONCENTRACIÓN

La difusión es una manifestación del movimiento térmico aleatorio de las partículas. En un material en el que la concentración de partículas es uniforme en todo el medio, el movimiento aleatorio está balanceado y no existe movimiento neto. Cuando existe una diferencia de concentración entre dos partes del material, por estadística más electrones cruzarán cualquier superficie del lado de mayor concentración al de menor concentración que a la inversa. Esto se debe a que participan más portadores

en el proceso en el lado de mayor concentración que en el otro lado. Se concluye que el flujo neto es igual a las diferencias de concentración multiplicadas por una constante de proporcionalidad.

La corriente de difusión es proporcional al gradiente de concentración:

$$J_{\text{dif}} = -qD_p \frac{dp(x)}{dx} \qquad J_{\text{dif}} = qD_n \frac{dn(x)}{dx} \tag{B.23}$$

donde D_p y D_n son las constantes de difusión para huecos y electrones, respectivamente.

Nótese que:

- La difusión no tiene nada que ver con el hecho de que las partículas estén cargadas.
- La difusión se presenta debido a que hay un mayor número de portadores que tiene un componente de velocidad dirigido de la región de mayor concentración a la de menor concentración, que el número de portadores que tienen componentes de velocidad en dirección opuesta. Esta velocidad es resultado del movimiento térmico.
- La difusión depende del gradiente de concentración de portadores y no de la concentración en sí.

B.10 COMBINACIÓN DE DIFUSIÓN Y DESPLAZAMIENTO

Para pequeñas perturbaciones del equilibrio, se pueden sobreponer los componentes de desplazamiento y de difusión. Esto es lo que ocurre a lo largo del texto.

$$J = (n\mu_e + p\mu_h)q\epsilon + \left[D_e \frac{dn(x)}{dx} - D_h \frac{dp(x)}{dx}\right] q \tag{B.24}$$

B.11 LAS RELACIONES DE EINSTEIN

El desplazamiento y la difusión son manifestaciones del movimiento térmico aleatorio de portadores; en consecuencia, la movilidad μ y el coeficiente de difusión D no son independientes.

Estos se relacionan por medio de ecuaciones conocidas como *relaciones de Einstein*:

$$\frac{D_h}{\mu_h} = \frac{D_e}{\mu_e} = V_T = \frac{\mathrm{k}T}{q} \tag{B.25}$$

La constante kT/q se denomina *tensión térmica*; k es la constante de Boltzmann (1.38066×10^{23} J/K), q la carga electrónica y T la temperatura absoluta. A 300°K, V_T es 25.8 mV.

B.12 PRUEBA DE LA LEY np = CONSTANTE

Considérese un semiconductor contaminado no uniforme. En condiciones de equilibrio, sin excitación externa no puede haber movimiento neto de portadores, aunque éstos exhiban movimiento aleatorio debido a agitación térmica. El flujo neto de huecos es cero, pero existe un flujo de corriente de difusión debido al gradiente de contaminación (y por tanto de densidad de portadores). Esta corriente de difusión perturba la neutralidad local del material, creando un campo eléctrico y por tanto una corriente de desplazamiento que se opone a la corriente de difusión y la cancelan. La corriente neta es cero:

$$J_h = q\mu_h p\epsilon - qD_h \frac{dp}{dx} = 0 \tag{B.26}$$

Utilizando la relación de Einstein, se encuentra el campo eléctrico:

$$\epsilon = \frac{V_T}{p}\frac{dp}{dx} \tag{B.27}$$

De $\epsilon = -dV/dx$ se puede calcular la variación de potencial:

$$dV = -V_T \frac{dp}{p} \tag{B.28}$$

El resultado es:

$$V_{21} \equiv V_2 - V_1 = V_T \ln \frac{p_1}{p_2} \tag{B.29}$$

$$p_1 = p_2 e^{V_{21}/V_T} \tag{B.30}$$

Utilizando $J_e = 0$ y procediendo como antes, la ecuación de Boltzmann para electrones es:

$$n_1 = n_2 e^{-V_{21}/V_T} \tag{B.31}$$

La multiplicación de las ecuaciones (B.30) y (B.31) proporciona el resultado deseado, mostrando que el producto np es independiente de la posición en el semiconductor, y por tanto independiente de la contaminación.

Recuérdese que esta derivación es válida bajo condiciones de equilibrio. Si las concentraciones de equilibrio se denotan como n_o y p_o, entonces $n_o p_o = n_i^2$. Si se perturba el equilibrio, aun bajo cuasineutralidad, esta ley ya no es válida.

B.13 CÁLCULO DEL NIVEL DE FERMI

En cualquier material, la ocupación de un estado energético por un electrón es un proceso aleatorio. En lo profundo de la banda de valencia, cerca del núcleo del átomo, todos los lugares posibles estarán ocupados por electrones: la probabilidad de ocupación es uno. La probabilidad de encontrar un electrón con una energía muy grande en lo alto de la banda de conducción es muy baja, prácticamente cero.

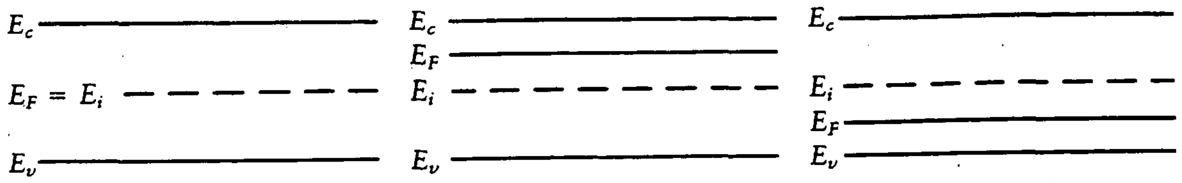
La función de distribución que describe la probabilidad de ocupación de un lugar como función de la energía del lugar se denomina función de distribución de Fermi-Dirac. El nivel de Fermi en un semiconductor se define como el nivel donde la probabilidad de ocupación es $\frac{1}{2}$. Para un semiconductor intrínseco, el nivel de Fermi queda cerca de la mitad de la brecha de energía prohibida. Para el silicio n, el nivel de Fermi se mueve hacia la parte baja de la banda de conducción. Para el silicio de tipo p, sucede lo contrario; el nivel de Fermi se sitúa por debajo del nivel intrínseco, cerca de la parte superior de la banda de valencia. Esto se ilustra en la figura B.5, con la notación definida en las siguientes ecuaciones.

Si E_i es el nivel de energía intrínseco en la mitad de brecha de energía,

$$E_i = \frac{E_c + E_v}{2} \tag{B.32}$$

donde E_c es la parte inferior de la banda de conducción y E_v la parte superior de la banda de valencia. La posición del nivel de Fermi, E_F, está dada por

Figura B.3 Niveles de Fermi.



(a) Intrínseco (b) Tipo n (c) Tipo p

$$E_F = E_i + kT \ln\left[\frac{n_{no}}{n_i}\right] \tag{B.33}$$

para el silicio n, donde n_{no} es la concentración de electrones en equilibrio en el silicio de tipo n.

Para el silicio p, la ecuación (B.33) se vuelve

$$E_F = E_i - kT \ln\left[\frac{p_{po}}{n_i}\right] \tag{B.34}$$

con p_{po} como la concentración de huecos en equilibrio en el silicio p.

B.14 DERIVACIÓN DE LA ECUACIÓN DEL DIODO

La ecuación del diodo mostrada en el capítulo 1 se basa en la física del diodo. Un diodo se construye colocando material de tipo p en contacto con material de tipo n. Sin aplicar tensión externa, no puede fluir corriente en el dispositivo. El análisis de la sección B.12 no estuvo restringido a contaminaciones no uniformes del mismo tipo y, por tanto, se aplica al caso del diodo: la difusión tratará de emparejar la distribución de electrones y huecos a través de la unión con flujo de electrones del lado n al lado p y de huecos en la otra dirección. Esto origina un desbalance de carga, creándose un campo eléctrico y dando lugar a corriente de desplazamiento, que se opone a la corriente de difusión.

Aplicando una tensión negativa en el lado p del diodo, se apoya al campo eléctrico para facilitar el flujo de electrones del lado p al lado n. Como hay pocos electrones disponibles en el silicio p donde los electrones son los portadores minoritarios, fluye muy poca corriente. El mismo razonamiento se aplica a los huecos en el silicio n.

La aplicación de tensión positiva al lado p del diodo se opone al campo eléctrico y facilita la corriente de difusión. Como está disponible una gran cantidad de portadores mayoritarios para facilitar la corriente de difusión, fluirá una corriente elevada.

La relación corriente-tensión de un diodo pn se obtiene de la ecuación de continuidad mediante la aplicación de las condiciones de frontera adecuadas. Suponiendo un flujo unidimensional, la ecuación de continuidad para huecos es

$$\frac{\partial p_n(x,t)}{\partial t} = -\frac{p_n - p_{no}}{\tau_p} + D_p\frac{\partial^2 p_n(x,t)}{\partial x^2} \tag{B.35}$$

Esta ecuación establece que el cambio en la concentración de electrones en un volumen se debe al proceso de generación-recombinación más el cambio debido

a corrientes hacia adentro y afuera del volumen, en cuyo caso sólo se consideran corrientes de difusión. Las corrientes de desplazamiento se pueden ignorar si se observa que la caída de tensión a través del diodo se presenta en una región muy angosta (la región desértica), que el grueso del material es neutro y que la ecuación (B.35) se aplica en esta región neutral.

Para el caso invariante en el tiempo,

$$\frac{\partial p_n(x,t)}{\partial t} = 0$$

Utilizando la ecuación (B.30) y el hecho de que $p_n = p_{no}$ si se está lejos de la unión ($x \rightarrow \infty$), como condiciones de frontera se encuentran

$$p_n - p_{no} = p_{no}\left[e^{V/V_T} - 1\right] e^{-(x-x_n)/L_p} \qquad \text{(B.36)}$$

donde $L_p \equiv \sqrt{D_p \tau_p}$.

En el borde de la capa desértica del lado n ($x = x_n$), se puede calcular ahora la corriente de huecos:

$$J_p = -qD_p \frac{dp_n}{dx} = \frac{qD_p p_{no}}{L_p}\left[e^{V/V_T} - 1\right] \qquad \text{(B.37)}$$

Del mismo modo, en el lado p para $x = x_p$,

$$J_n = qD_n \frac{dn_p}{dx} = \frac{qD_n n_{po}}{L_n}\left[e^{V/V_T} - 1\right] \qquad \text{(B.38)}$$

La corriente total en el diodo es la suma de las corrientes de huecos y electrones,

$$J = J_n + J_p = J_s\left[e^{V/V_T} - 1\right] \qquad \text{(B.39)}$$

donde

$$J_s = \frac{qD_p p_{no}}{L_p} + \frac{qD_n n_{po}}{L_n} \qquad \text{(B.40)}$$

Esta última ecuación se puede escribir como función de la contaminación y la concentración intrínseca, lo que da lugar a la siguiente expresión:

$$J_s = q\left[\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A}\right] n_i^2 \qquad \text{(B.41)}$$

Nótese la fuerte dependencia de J_s con respecto a la temperatura y, en consecuencia, la fuerte dependencia de la ecuación del diodo hacia la temperatura.

J_s es proporcional a n_i^2. Utilizando la ecuación (B.2) se puede ver que

$$\frac{1}{J_s}\frac{dJ_s}{dT} = \frac{1}{n_i^2}\frac{d(n_i^2)}{dT} = \frac{3}{T} + \frac{1}{T}\frac{E_g}{kT} \tag{B.42}$$

Para el silicio a temperatura ambiente,

$$\frac{dI_s}{I_s} = 47.4\frac{dT}{T} \tag{B.43}$$

y despreciando el término unitario,

$$\frac{dV}{dT} = \frac{d}{dt}\left[V_T \ln\frac{J}{J_s}\right] = \frac{V}{T} - V_T\left[\frac{1}{J_s}\frac{dJ_s}{dT}\right]$$

de modo que, a temperatura ambiente,

$$\frac{dV}{dT} \approx -2 \text{ mV/°C}$$

APÉNDICE

C LA TRANSFORMADA DE LAPLACE

C.0 INTRODUCCIÓN

La transformada de Laplace es una operación matemática muy útil para resolver ecuaciones diferenciales ordinarias. La transformación está definida por la siguiente integral:

$$\mathcal{L}[f(t)] = F(s) = \int_0^\infty f(t)e^{-st}dt \qquad \text{(C.1)}$$

donde $f(t)$ es una función del tiempo que es cero para $t < 0$, s es una variable compleja, $F(s)$ es la función de s resultante cuando $f(t)$ se transforma, y $\mathcal{L}$ es un símbolo operacional que indica que a la función siguiente se le aplicará la transformada de Laplace.

En el diseño de sistemas, con frecuencia se encuentran ecuaciones diferenciales de la siguiente forma:

$$\frac{d^n y}{dt^n} + a_{n-1}\frac{d^{n-1}y}{dt^{n-1}} + \cdots + a_1\frac{dy}{dt} + a_0 y(t) = f(t) \qquad \text{(C.2)}$$

Los coeficientes a_i son constantes reales e independientes de t o y. Tanto la variable dependiente $y(t)$ como la función excitadora $f(t)$ son funciones del tiempo.

Cuando se transforma la ecuación (C.2), resulta una ecuación nueva, o transformada. La ecuación *diferencial* se reduce a una ecuación *algebraica* con s como variable. Esta ecuación transformada se puede manipular de manera algebraica para despejar en forma transformada la cantidad que se desea.

Si se requiere la solución en el tiempo, la función resultante de s se puede transformar de modo inverso en una función del tiempo. Este proceso, denominado "búsqueda de la transformada inversa de Laplace", es más fácil de realizar con la ayuda de tablas de transformadas de Laplace.

C.1 LA TRANSFORMADA DE LAPLACE DE FUNCIONES

La aplicación de la ecuación (C.1) a varias funciones del tiempo sirve de base para una tabla de pares transformados. Como ejemplo, considérese la función escalón unitario, $u(t)$, como se muestra en la figura C.1. La representación matemática es

$$u(t) = \begin{cases} 0 & t < 0 \\ 1 & t > 0 \end{cases} \tag{C.3}$$

La transformada de Laplace está dada por

$$\mathcal{L}[u(t)] = \int_0^\infty e^{-st}dt = \left.\frac{e^{-st}}{s}\right|_0^\infty = \frac{1}{s} \tag{C.4}$$

En la tabla C.1 se muestran transformadas de Laplace importantes y comunes.

Figura C.1
La función escalón unitario.

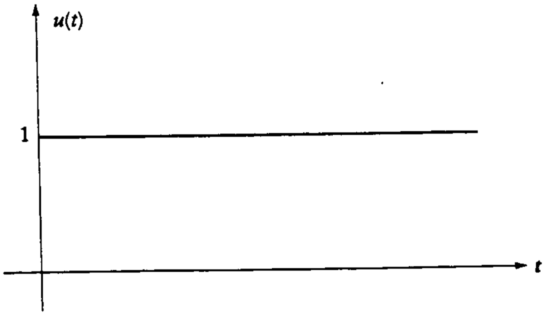


Tabla C.1 Tabla de transformadas de Laplace.

Ref. no.	f(t)	F(s)	Ref. no.	f(t)	F(s)
1	$u(t)$	$\frac{1}{s}$	11	$\cos \omega t$	$\frac{s}{s^2+\omega^2}$
2	t	$\frac{1}{s^2}$	12	$\frac{K}{\omega}\operatorname{sen}(\omega t+\psi)$, $\psi = \tan^{-1}\frac{\omega}{a_0}$, $K=(a_0^2+\omega^2)^{\frac{1}{2}}$	$\frac{s+a_0}{s^2+\omega^2}$
3	t^n	$\frac{n!}{s^{n+1}}$			
4	$\delta(t)$ Impulso unitario	1	13	$\operatorname{senh} \omega t$	$\frac{\omega}{s^2-\omega^2}$
5	e^{-at}	$\frac{1}{s+a}$	14	$\cosh \omega t$	$\frac{s}{s^2-\omega^2}$
6	$\frac{e^{-at}-e^{-bt}}{b-a}$	$\frac{1}{(s+a)(s+b)}$	15	$e^{-\alpha t}\operatorname{sen}\omega t$	$\frac{\omega}{(s+\alpha)^2+\omega^2}$
7	te^{-at}	$\frac{1}{(s+a)^2}$	16	$\frac{K}{\omega}e^{-\alpha t}\operatorname{sen}(\omega t+\psi)$, $\psi=\tan^{-1}\frac{\omega}{\alpha_0-\alpha}$, $K=[(\alpha_0-\alpha)^2+\omega^2)]^{\frac{1}{2}}$	$\frac{s+\alpha_0}{(s+\alpha)^2+\omega^2}$
8	$t^n e^{-at}$	$\frac{n!}{(s+a)^{n+1}}$			
9	$(Kt+1)e^{-at}$, $K=a_0-a$	$\frac{s+a_0}{(s+a)^2}$	17	$t\cos\omega t$	$\frac{s^2-\omega^2}{(s^2+\omega^2)^2}$
10	$\operatorname{sen}\omega t$	$\frac{\omega}{s^2+\omega^2}$	18	$t\operatorname{sen}\omega t$	$\frac{2\omega^2}{(s^2+\omega^2)^2}$

C.2 LA TRANSFORMADA DE LAPLACE DE OPERACIONES

Además de encontrar la transformada de Laplace de funciones conocidas del tiempo, $f(t)$, es también necesario transformar las variables dependientes, $y(t)$, y las derivadas de $y(t)$.

$$\mathcal{L}\left[\frac{dy}{dt}\right] = \int_0^\infty \frac{dy}{dt}e^{-st}dt \tag{C.5}$$

Esta integral se evalúa por partes de la siguiente forma:

$$\int_a^b u\,dv = uv\Big|_a^b - \int_a^b v\,du \tag{C.6}$$

donde se realizan las siguientes sustituciones:

$$\begin{aligned} u &= e^{-st} & du &= -se^{-st}dt \\ dv &= \left(\frac{dy}{dt}\right)dt & v &= y(t) \end{aligned} \tag{C.7}$$

Entonces la integral se evalúa como sigue:

$$£\left[\frac{dy}{dt}\right] = y(t)e^{-st}\Big|_0^\infty + s\int_0^\infty y(t)e^{-st}dt \tag{C.8}$$

Como la última integral en la ecuación (C.8) es la transformada de Laplace de $y(t)$, esto es,

$$£[y(t)] = Y(s) = \int_0^\infty y(t)e^{-st}dt \tag{C.9}$$

y como $y(t)e^{-st}$ es cero en el límite superior siempre que la parte real de s sea mayor que cero, se obtiene el resultado

$$£\left[\frac{dy}{dt}\right] = -y(0) + sY(s) \tag{C.10}$$

De la misma forma, se pueden encontrar las transformadas de Laplace de mayor orden:

$$£\left[\frac{d^2y}{dt^2}\right] = s^2Y(s) - sy(0) - \frac{dy}{dt}\Big|_{t=0} \tag{C.11}$$

$$£\left[\frac{d^ny}{dt^n}\right] = s^nY(s) - s^{n-1}y(0) - s^{n-2}\frac{dy}{dt}\Big|_{t=0} - \cdots - \frac{d^{n-1}y}{dt^{n-1}}\Big|_{t=0} \tag{C.12}$$

Para el caso de condiciones iniciales iguales a cero, esta última ecuación se reduce a

$$£\left[\frac{d^ny}{dt^n}\right] = s^nY(s) \tag{C.13}$$

Por tanto, siempre que las condiciones iniciales sean cero, encontrar la transformada de Laplace equivale a reemplazar la operación de derivación con respecto al tiempo, d/dt, por el operador de la transformada de Laplace, s.

Otro importante par transformado de Laplace, que se requiere para la solución de ecuaciones diferenciales lineales, es la transformada de la suma de dos funciones del tiempo, como sigue:

$$\mathcal{L}[a_1 y_1(t) + a_2 y_2(t)] = a_1 Y_1(s) + a_2 Y_2(s) \tag{C.14}$$

Esta relación se prueba fácilmente sustituyendo la ecuación de definición, ecuación (C.1), la cual establece que la transformada de Laplace es *lineal.*

La transformada de Laplace de la integral definida de una función del tiempo se encuentra integrando por partes, lo que da el resultado

$$\mathcal{L}\left[\int_0^t y(\tau)\,d\tau\right] = -\frac{1}{s}e^{-st}\int_0^t y(\tau)\,d\tau\bigg|_0^\infty + \frac{1}{s}\int_0^\infty e^{-st}y(t)\,dt \tag{C.15}$$

El primer término después del signo igual es cero en el límite superior, ya que $e^{-\infty} \rightarrow 0$. También se elimina en el límite inferior, ya que la integral es cero. Entonces el resultado se simplifica a

$$\mathcal{L}\left[\int_0^t y(\tau)\,d\tau\right] = \frac{Y(s)}{s} \tag{C.16}$$

Estos pares transformados se resumen en la tabla C.2. Las condiciones iniciales se fijan iguales a cero para los pares en esta tabla, ya que, en varias aplicaciones, las condiciones iniciales cero son apropiadas para resolver el problema.

El operador de transformada de Laplace, s, que tiene dimensiones de segundos^{-1}, a menudo se denomina "frecuencia compleja", ya que tiene partes real e imaginaria. Esto es,

$$s = \sigma + j\omega \tag{C.17}$$

Tabla C.2 Pares de transformadas de operaciones.*

Función de t	Función transformada de s
$\frac{dy}{dt}$	$sY(s)$
$\frac{d^2y}{dt^2}$	$s^2Y(s)$
$a_1y_1(t) + a_2y_2(t)$	$a_1Y_1(s) + a_2Y_2(s)$
$\int_0^t y(t)\,dt$	$\frac{1}{s}Y(s)$

*Todas las condiciones iniciales se toman iguales a cero.

C.3 SOLUCIÓN DE ECUACIONES DIFERENCIALES LINEALES ORDINARIAS

Como ejemplo del método de transformación para resolver ecuaciones diferenciales, considérese una ecuación simple

$$\frac{d^2y}{dt^2} + 9y = u(t) \qquad t > 0 \tag{C.18}$$

supóngase que todas las condiciones iniciales son cero; $u(t)$ es una función escalón unitario. Se toma la transformada de Laplace de ambos lados para obtener

$$s^2Y(s) + 9Y(s) = \frac{1}{s} \tag{C.19}$$

Se despeja $Y(s)$ y se obtiene

$$Y(s) = \frac{1}{s(s^2+9)} \tag{C.20}$$

Si se pudiese encontrar la transformada de Laplace de la ecuación (C.20) en una tabla, el trabajo estaría finalizado y se podría conocer la función del tiempo, $y(t)$. varias de las tablas breves de pares transformados no contienen factores de esta complejidad. Se puede simplificar el proceso dividiendo la ecuación (C.20) en una suma de dos partes utilizando una técnica conocida como *expansión en fracciones parciales,* que se describe en la sección C.4. Se encuentra

$$\frac{1}{s(s^2+9)} = \frac{A}{s} + \frac{Bs+C}{s^2+9} \tag{C.21}$$

Una vez evaluadas las constantes A, B y C, se obtiene el resultado

$$Y(s) = \frac{1}{9}\left[\frac{1}{s} - \frac{s}{s^2+9}\right] \tag{C.22}$$

Aunque la técnica para encontrar A, B y C no quede clara, es fácil verificar que la ecuación (C.22) equivale a la (C.21) combinando los términos de la última ecuación en un denominador común:

$$\frac{1}{9}\left[\frac{1}{s} - \frac{s}{s^2+9}\right] = \frac{1}{9}\frac{s^2+9-s^2}{s(s^2+9)} = \frac{1}{s(s^2+9)} \tag{C.23}$$

Las transformadas inversas de los términos en la ecuación (C.22) se encuentran en la tabla C.1. Este proceso da por resultado

$$y(t) = \frac{1}{9}\left[u(t) - \cos 3t\, u(t)\right] = \frac{1}{9}u(t)(1 - \cos 3t) \qquad \text{(C.24)}$$

Como segundo ejemplo, considérese la ecuación diferencial

$$\frac{d^2y}{dt^2} + \omega^2 y = \cos \omega t \qquad \text{para } t > 0 \qquad \text{(C.25)}$$

con $y(0) = 0 = dy/dt|_{t=0}$, es decir, condiciones iniciales iguales a cero. Tomando la transformada de Laplace de ambos miembros y despejando $Y(s)$, se obtiene

$$Y(s) = \frac{s}{(s^2 + \omega^2)^2} \qquad \text{(C.26)}$$

La transformada inversa de Laplace se encuentra de la tabla C.1.

$$y(t) = \frac{t}{2\omega} \operatorname{sen} \omega t \qquad \text{(C.27)}$$

Como tercer ejemplo, considérese la ecuación diferencial de segundo orden con una entrada escalón y condiciones iniciales cero, como sigue:

$$\frac{d^2c}{dt^2} + 2\zeta\omega_n \frac{dc}{dt} = \omega_n^2 c = \omega_n^2 u(t) \qquad \text{(C.28)}$$

Se toma la transformada de Laplace de ambos lados de la ecuación.

$$(s^2 + 2\zeta\omega_n s + \omega_n^2)C(s) = \frac{\omega_n^2}{s} \qquad \text{(C.29)}$$

Se despeja la variable $C(s)$ para obtener

$$C(s) = \frac{\omega_n^2}{s(s^2 + 2\zeta\omega_n s + \omega_n^2)} = \frac{\omega_n^2}{s(s + \zeta\omega_n)^2 + \omega_n^2(1 - \zeta^2)} \qquad \text{(C.30)}$$

Esta ecuación se separa en fracciones parciales para obtener

$$C(s) = \frac{1}{s} - \frac{s + 2\zeta\omega_n}{(s + \zeta\omega_n)^2 + \omega_n^2(1 - \zeta^2)} \qquad \text{(C.31)}$$

La solución en el tiempo se encuentra remitiéndose a dos pares transformados (1 y 16) de la tabla C.1.

$$c(t) = u(t) - \frac{1}{\sqrt{1-\zeta^2}} e^{-\zeta\omega_n t} \operatorname{sen}(\omega_n \sqrt{1-\zeta^2}\, t + \phi) \tag{C.32}$$

donde

$$\phi = \tan^{-1} \frac{\sqrt{1-\zeta^2}}{\zeta} \tag{C.33}$$

C.4 EXPANSIÓN EN FRACCIONES PARCIALES

Es frecuente tener que encontrar la transformada inversa de Laplace de fracciones racionales para resolver una ecuación diferencial. La fracción racional general se escribe como

$$Y(s) = \frac{A(s)}{B(s)} \tag{C.34}$$

donde $A(s)$ y $B(s)$ son polinomios en s. Cuando se conocen las raíces de $B(s) = 0$, la ecuación (C.34) se puede escribir como

$$Y(s) = \frac{A(s)}{B(s)} = \frac{A(s)}{(s+s_1)(s+s_2)(s+s_3)\cdots(s+s_q)} \tag{C.35}$$

La transformación inversa se lleva a cabo expandiendo la ecuación (C.35) en fracciones parciales como sigue:

$$\begin{aligned} \frac{A(s)}{B(s)} &= \frac{A(s)}{(s+s_1)(s+s_2)(s+s_3)\cdots(s+s_q)} \\ &= \frac{K_1}{s+s_1} + \frac{K_2}{s+s_2} + \frac{K_3}{s+s_3} + \cdots + \frac{K_q}{s+s_q} \end{aligned} \tag{C.36}$$

La transformada inversa de Laplace de cada término en la ecuación (C.36) se encuentra con referencia a la tabla C.1. La solución total en el tiempo se encuentra sumando las soluciones en el tiempo para los términos separados en la ecuación.

La expansión en fracciones parciales es un paso importante en la solución. Dependiendo de la forma de $B(s)$, esta expansión se lleva a cabo como sigue:

1. $B(s)$ sólo contiene raíces simples: En este caso, las K_i se evalúan multiplicando cada lado de la ecuación (C.36) por $s + s_i$.

$$\frac{(s+s_i)A(s)}{B(s)} = K_1\frac{s+s_i}{s+s_1} + K_2\frac{s+s_i}{s+s_2} + \cdots + K_i\frac{s+s_i}{s+s_i} + \cdots + K_q\frac{s+s_i}{s+s_q} \tag{C.37}$$

Como $s + s_i$ es un factor en $B(s)$, éste se cancela. Cuando se hace $s = -s_i$, el término a la izquierda del signo igual se vuelve una constante. Todos los términos a la derecha se reducen a cero, excepto K_i. Por tanto, se puede evaluar cada constante de la ecuación,

$$K_i = \left.\frac{A(s)(s+s_i)}{B(s)}\right|_{s=-s_i} \tag{C.38}$$

El procedimiento no se altera si una de las raíces está en el origen. La constante K_o se evalúa de manera similar:

$$K_o = \frac{sA(s)}{B(s)} \tag{C.39}$$

Cuando existen raíces complejas conjugadas, $(s + \alpha)^2 + \beta_2$, el procedimiento es similar:

$$K_{j1} = \left.\frac{(s+\alpha+j\beta)A(s)}{B(s)}\right|_{s=-\alpha-j\beta} \tag{C.40}$$

y

$$K_{j2} = \left.\frac{(s+\alpha-j\beta)A(s)}{B(s)}\right|_{s=-\alpha+j\beta} \tag{C.41}$$

Como K_{j1} y K_{j2} son complejos conjugados, la suma de las partes imaginarias es cero, mientras que la suma de las partes reales es el doble de la parte real de cada constante. Los términos

$$\frac{K_{j1}}{s+\alpha+j\beta} \quad \text{y} \quad \frac{K_{j2}}{s+\alpha-j\beta} \tag{C.42}$$

se combinan en uno solo, que se transforma de manera inversa en una senoidal con decaimiento exponencial.

2. $B(s)$ contiene raíces de orden múltiple: si el denominador de $Y(s)$ tiene ceros de orden múltiple, se debe alterar el procedimiento de la sección precedente. Por ejemplo, si

$$\frac{A(s)}{B(s)} = \frac{1}{(s+s_1)(s+s_2)^2} \tag{C.43}$$

la expansión en fracciones parciales debe incluir un término de segundo orden.

$$\frac{1}{(s+s_1)(s+s_2)^2} = \frac{K_1}{s+s_1} + \frac{K_{12}}{s+s_2} + \frac{K_{22}}{(s+s_2)^2} \tag{C.44}$$

En general, una raíz de n-ésimo orden se expande como sigue:

$$\begin{aligned}\frac{1}{(s+s_1)\cdots(s+s_i)^n} &= \frac{K_1}{s+s_1} + \cdots + \frac{K_{ni}}{(s+s_i)^n} \\ &+ \frac{K_{(n-1)i}}{(s+s_i)^{n-1}} + \cdots + \frac{K_{1i}}{s+s_i}\end{aligned} \tag{C.45}$$

Las constantes K_i asociadas con las raíces de primer orden se evalúan como antes. La constante asociada con la potencia más alta, K_{ni}, se evalúa de la misma forma que para un polo simple. Esto es, se multiplican ambos lados de la ecuación (C.45) por $(s+s_i)^n$ y se hace $s = -s_i$. Todos los términos del lado derecho son cero, excepto K_{ni}. El lado izquierdo se reduce a un número. K_{ni} se evalúa como sigue:

$$K_{ni} = \left.\frac{(s+s_i)^n A(s)}{B(s)}\right|_{s=-s_i} \tag{C.46}$$

El procedimiento utilizado para raíces simples y para evaluar la constante asociada con la potencia más alta, K_{ni}, es insuficiente para evaluar cualquiera de los otros coeficientes. Estas constantes se evalúan utilizando derivación. Ambos lados de la ecuación (C.45) se multiplican por $(s+s_i)^n$. La ecuación resultante se deriva una vez con respecto a s:

$$\begin{aligned}\frac{d}{ds}\frac{(s+s_i)^n A(s)}{B(s)} &= \frac{d}{ds}\frac{(s+s_i)^n}{s+s_1}K_1 + \cdots + K_{(n-1)i} + 2(s+s_i)K_{(n-2)i} \\ &+ \cdots + (n-1)(s+s_i)^{n-2}K_{1i}\end{aligned} \tag{C.47}$$

Haciendo $s = -s_i$, todos los términos a la derecha, excepto $K_{(n-1)i}$ se eliminan:

$$K_{(n-1)i} = \frac{1}{(n-1)!}\frac{d}{ds}\left[\frac{(s+s_i)^n A(s)}{B(s)}\right]\Bigg|_{s=-s_i} \tag{C.48}$$

El proceso de derivar y luego hacer $s = -s_i$ se puede repetir hasta que se determinen todas las constantes desconocidas.

Como ejemplo, considérese la expansión en fracciones parciales de la siguiente función de transferencia:

$$\frac{A(s)}{B(s)} = \frac{4s^3 + s^2 - 22s + 16}{s(s+2)(s-2)^2} \tag{C.49}$$

La fracción se divide como sigue:

$$\frac{4s^3 + s^2 - 22s + 16}{s(s+2)(s-2)^2} = \frac{K_1}{s} + \frac{K_2}{s+2} + \frac{K_{13}}{s-2} + \frac{K_{23}}{(s-2)^2} \tag{C.50}$$

Primero se encuentran las constantes que corresponden a las raíces simples:

$$\begin{aligned} K_1 &= \left.\frac{s(4s^3 + s^2 - 22s + 16)}{s(s+2)(s-2)^2}\right|_{s=0} = 2 \\ K_2 &= \left.\frac{(s+2)(4s^3 + s^2 - 22s + 16)}{s(s+2)(s-2)^2}\right|_{s=-2} = -1 \end{aligned} \tag{C.51}$$

K_{23} se encuentra en forma similar:

$$K_{23} = \left.\frac{(s-2)^2(4s^3 + s^2 - 22s + 16)}{s(s+2)(s-2)^2}\right|_{s=2} = 1 \tag{C.52}$$

K_{13} se encuentra multiplicando la ecuación (C.50) por $(s-2)^2$ y luego derivando con respecto a s:

$$\begin{aligned} \frac{d}{ds}\left[\frac{4s^3 + s^2 - 22s + 16}{s(s+2)}\right] &= \frac{d}{ds}\left[\left(\frac{K_1}{s} + \frac{K_2}{s+2}\right)(s-2)^2\right]\Bigg|_{s=2} \\ &\quad + \frac{d}{ds}(s-2)K_{13} + \frac{d}{ds}K_{23} \end{aligned} \tag{C.53}$$

que se reduce a

$$\begin{aligned} K_{13} &= \frac{d}{ds}\left[\frac{4s^3 + s^2 - 22s + 16}{s^2 + 2s}\right] \\ &= \left.\frac{(s^2 - 2s)(12s^2 + 2s - 22) - (4s^3 + s^2 - 22s + 16)(2s + 2)}{(s^2 + 2s)^2}\right|_{s=2} \\ &= 3 \end{aligned} \tag{C.54}$$

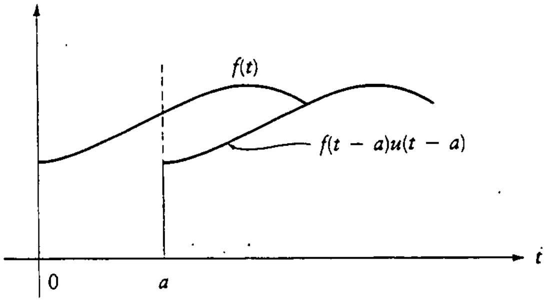


Figura C.2
Función desplazada.

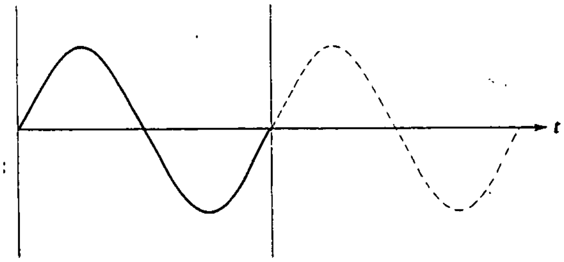


Figura C.3
Sinusoidal truncada.

Por tanto, la expansión en fracciones parciales de la ecuación (C.49) se escribe como

$$\frac{A(s)}{B(s)} = \frac{2}{s} - \frac{1}{s+2} + \frac{1}{(s-2)^2} + \frac{3}{s-2} \tag{C.55}$$

C.5 PROPIEDADES ADICIONALES DE LA TRANSFORMADA DE LAPLACE

En esta sección se incluyen algunas relaciones importantes que involucran a la transformada de Laplace.

C.5.1 Traslación real

Si $F(s)$ es la transformada de Laplace de $f(t)$, entonces

$$\mathcal{L}[f(t-a)u(t-a)] = e^{-as}F(s) \tag{C.56}$$

La multiplicación por e^{-as} en el plano de la frecuencia compleja (plano s) equivale a una traslación en el dominio del tiempo. La función $f(t-a)u(t-a)$ se muestra desplazada en la figura C.2. Como ejemplo de la utilización de este teorema, supóngase que es necesario encontrar la transformada de Laplace de una senoidal truncada que representa un periodo de la onda senoidal, como se muestra en la figura C.3. La función del tiempo se puede formar tomando la diferencia entre una onda senoidal y otra senoidal que ha sido desplazada en el tiempo por $2\pi/\omega$. Esto se escribe como

$$f(t) = A \operatorname{sen} \omega t \; u(t) - A \operatorname{sen} \omega \left(t - \frac{2\pi}{\omega}\right) u \left(t - \frac{2\pi}{\omega}\right) \tag{C.57}$$

Estos términos se transforman como sigue:

$$\begin{aligned}\mathcal{L}[f(t)] &= \frac{A\omega}{s^2+\omega^2} - \frac{A\omega}{s^2+\omega^2}e^{-(2\pi/\omega)s} \\ &= \frac{A\omega}{s^2+\omega^2}(1-e^{-(2\pi/\omega)s})\end{aligned} \tag{C.58}$$

C.5.2 Segunda variable independiente

Si $F(s,a)$ es la transformada de $f(t,a)$, se cumple la siguiente relación:

$$\mathcal{L}_t\left[\lim_{a\to a_0} f(t,a)\right] = \lim_{a\to a_0} F(s,a) \tag{C.59}$$

donde $\mathcal{L}_t$ significa la transformada de Laplace con respecto al tiempo. Como ejemplo del uso de esta ecuación, considérese el par transformado

$$\mathcal{L}_t[e^{-at}\operatorname{sen}\omega t] = \frac{\omega}{(s+a)^2+\omega^2} \tag{C.60}$$

dado en la tabla C.1. Tomando el límite conforme a se aproxima a cero, se obtiene un segundo par:

$$\mathcal{L}[\operatorname{sen}\omega t] = \frac{\omega}{s^2+\omega^2} \tag{C.61}$$

Del mismo modo, se permite la derivación con respecto a a, lo que da como resultado

$$\mathcal{L}_t\left[\frac{df(t,a)}{da}\right] = \frac{dF}{da}(s,a) \tag{C.62}$$

Como ejemplo, se deriva el par transformado

$$\mathcal{L}_t[e^{-at}] = \frac{1}{s+a} \tag{C.63}$$

y se obtiene otro par,

$$\mathcal{L}_t[te^{-at}] = \frac{1}{(s+a)^2} \tag{C.64}$$

C.5.3 Teoremas de los valores final e inicial

Los teoremas de los valores final e inicial son valiosos y únicos, ya que permiten encontrar una función del tiempo ya sea en $t = 0$ o en $t \to \infty$ directamente de la transformada sin tener que invertir la ecuación transformada.

El *teorema del valor final* establece:

$$\lim_{t \to \infty} y(t) = \lim_{s \to 0} sY(s) \tag{C.65}$$

siempre que $y(t)$ sea estable (es decir, que todos los polos de $sY(s)$ se encuentren en el semiplano izquierdo).

El *teorema del valor inicial* establece:

$$\lim_{t \to 0} y(t) = \lim_{s \to \infty} sY(s) \tag{C.66}$$

siempre que exista el límite.

C.5.4 Teorema de la convolución

El *teorema de la convolución* se expresa como sigue: si $F_1(s)$ es la transformada de Laplace de $f_1(t)$ y $F_2(s)$ es la transformada de Laplace de $f_2(t)$, entonces

$$\mathcal{L}\left[\int_0^t f_1(\tau) f_2(t - \tau)\, d\tau\right] = F_1(s)F_2(s) \tag{C.67}$$

La integral del lado izquierdo se denomina *integral de convolución.* Por tanto, la transformada de Laplace de la convolución de dos funciones del tiempo es el producto de las transformadas de Laplace individuales.

La convolución es extremadamente importante en el análisis de sistemas ya que la salida de un sistema lineal es la convolución de la entrada con la respuesta impulso del sistema. Así, si $h(t)$ es la respuesta impulso del sistema y $f(t)$ la entrada a éste, entonces la salida, $g(t)$, está dada por

$$g(t) = \int_0^t h(t - \tau) f(\tau)\, d\tau \tag{C.68}$$

La transformada de Laplace de la ecuación (C.68) proporciona el importante resultado

$$G(s) = H(s)F(s) \tag{C.69}$$

Por tanto, la transformada de Laplace de la salida de un sistema lineal es el producto de la transformada de Laplace de la entrada, $F(s)$, con la transformada de Laplace de la respuesta impulso, $H(s)$.

APÉNDICE

D HOJAS DE DATOS DE FABRICANTES

Este apéndice contiene copias de hojas de datos representativos para diodos, transistores, reguladores de tensión, comparadores de tensión, dispositivos ópticos y amplificadores operacionales. La información está tomada de los manuales de datos de los fabricantes. En algunos casos, sólo se presenta información seleccionada con el fin de dar una muestra de los datos disponibles.

El apéndice no se presenta como un sustituto de los manuales de datos apropiados. Nuevamente, se insta al lector a que obtenga copias de estos manuales. Aquí sólo se incluye una breve muestra de las hojas necesarias para resolver los problemas en este texto.

Contenido

D.1 DIODOS

D.1.1 Diodos 1N4001 a 1N4007
Cortesía de Motorola Inc.

D.1.2 Diodos Zener 1N746 a 1N759
Cortesía de Motorola Inc.

D.2 TRANSISTORES

D.2.1 Transistores de silicio *npn* 2N3903 y 2N3904
Cortesía de Motorola Inc.

D.2.2 Transistores de silicio *pnp* 2N3905 y 2N3906
Cortesía de Motorola Inc.

D.2.3 Transistores de propósito general *npn* 2N2217 a 2N2222
Cortesía de Texas Instruments Incorporated.

D.2.4 JFET de canal *n* 2N3821, 2N3822 y 2N3824
Cortesía de Motorola Inc.

D.2.5 MOSFET de canal *n* 3N128
Cortesía de Motorola Inc.

D.3 DISPOSITIVOS DIVERSOS

D.3.1 Regulador de tensión en CI MC7800
Cortesía de Motorola Inc.

D.3.2 Comparador de tensión LM139
Cortesía de National Semiconductor Corp.

D.4 AMP-OPS

D.4.1 Amplificador operacional μA741
Cortesía de Fairchild Semiconductor Corp.

D.4.2 Amplificador operacional LM101
Cortesía de National Semiconductor Corp.

MOTOROLA
SEMICONDUCTORS
P.O. BOX 20912 • PHOENIX, ARIZONA 85036

Designer's▲ Data Sheet

1N4001 thru 1N4007

LEAD MOUNTED SILICON RECTIFIERS

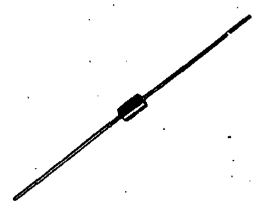
50-1000 VOLTS DIFFUSED JUNCTION

"SURMETIC"▲ RECTIFIERS

. . . subminiature size, axial lead mounted rectifiers for general-purpose low-power applications.

Designers Data for "Worst Case" Conditions

The Designers▲ Data Sheets permit the design of most circuits entirely from the information presented. Limit curves – representing boundaries on device characteristics – are given to facilitate "worst case" design.



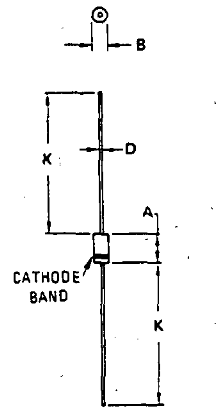
*MAXIMUM RATINGS

Rating	Symbol	1N4001	1N4002	1N4003	1N4004	1N4005	1N4006	1N4007	Unit
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	50	100	200	400	600	800	1000	Volts
Non-Repetitive Peak Reverse Voltage (halfwave, single phase, 60 Hz)	V_{RSM}	60	120	240	480	720	1000	1200	Volts
RMS Reverse Voltage	$V_{R(RMS)}$	35	70	140	280	420	560	700	Volts
Average Rectified Forward Current (single phase, resistive load, 60 Hz, see Figure 8, $T_A = 75°C$)	I_O	1.0							Amp
Non-Repetitive Peak Surge Current (surge applied at rated load conditions, see Figure 2)	I_{FSM}	30 (for 1 cycle)							Amp
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-65 to +175							°C

*ELECTRICAL CHARACTERISTICS

Characteristic and Conditions	Symbol	Typ	Max	Unit
Maximum Instantaneous Forward Voltage Drop ($i_F = 1.0$ Amp, $T_J = 25°C$) Figure 1	v_F	0.93	1.1	Volts
Maximum Full-Cycle Average Forward Voltage Drop ($I_O = 1.0$ Amp, $T_L = 75°C$, 1 inch leads)	$V_{F(AV)}$	–	0.8	Volts
Maximum Reverse Current (rated dc voltage) $T_J = 25°C$ $T_J = 100°C$	I_R	0.05 1.0	10 50	µA
Maximum Full-Cycle Average Reverse Current ($I_O = 1.0$ Amp, $T_L = 75°C$, 1 inch leads	$I_{R(AV)}$	–	30	µA

*Indicates JEDEC Registered Data.



	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	5.97	6.60	0.235	0.260
B	2.79	3.05	0.110	0.120
D	0.76	0.86	0.030	0.034
K	27.94	–	1.100	–

CASE 59-04
Does Not Conform to DO-41 Outline.

MECHANICAL CHARACTERISTICS

CASE: *Transfer Molded Plastic*
MAXIMUM LEAD TEMPERATURE FOR SOLDERING PURPOSES: 350°C, 3/8" from case for 10 seconds at 5 lbs. tension
FINISH: All external surfaces are corrosion-resistant, leads are readily solderable
POLARITY: Cathode indicated by color band
WEIGHT: 0.40 Grams (approximately)

1N4001 THRU 1N4007

FIGURE 1 – FORWARD VOLTAGE

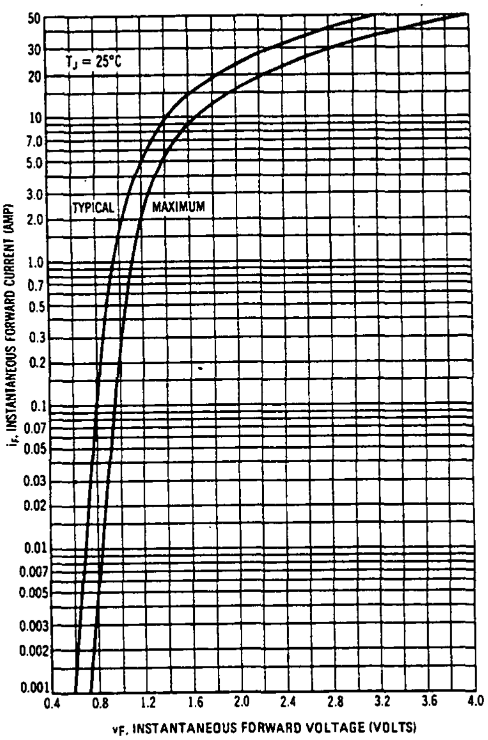


FIGURE 2 – NON-REPETITIVE SURGE CAPABILITY

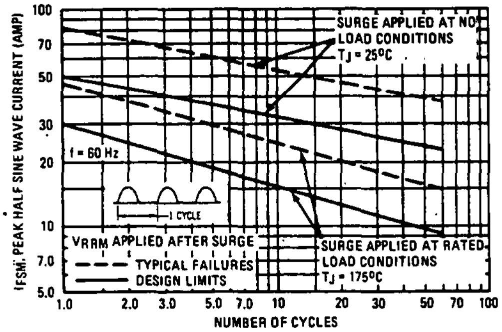


FIGURE 3 – FORWARD VOLTAGE TEMPERATURE COEFFICIENT

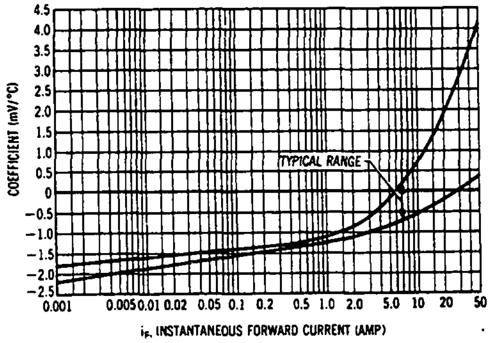
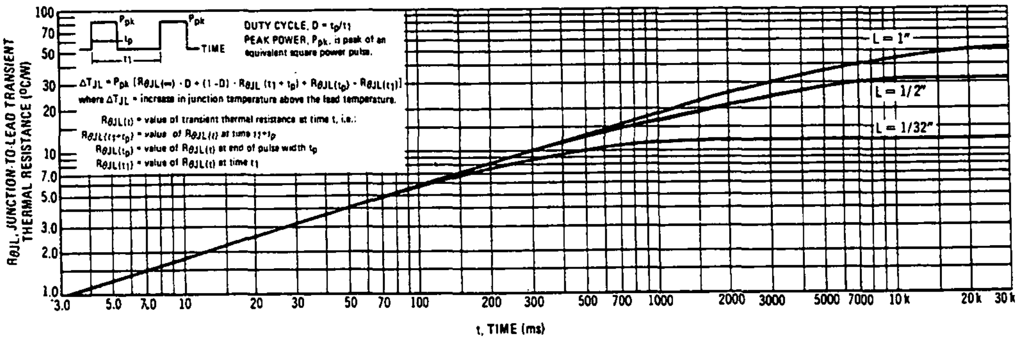


FIGURE 4 – TYPICAL TRANSIENT THERMAL RESISTANCE



The temperature of the lead should be measured using a thermocouple placed on the lead as close as possible to the tie point. The thermal mass connected to the tie point is normally large enough so that it will not significantly respond to heat surges generated in the diode as a result of pulsed operation once steady-state conditions are achieved. Using the measured value of T_L, the junction temperature may be determined by:

$$T_J = T_L + \Delta T_{JL}.$$

MOTOROLA *Semiconductor Products Inc.*

1N4001 THRU 1N4007

CURRENT DERATING DATA

FIGURE 5 – FORWARD POWER DISSIPATION

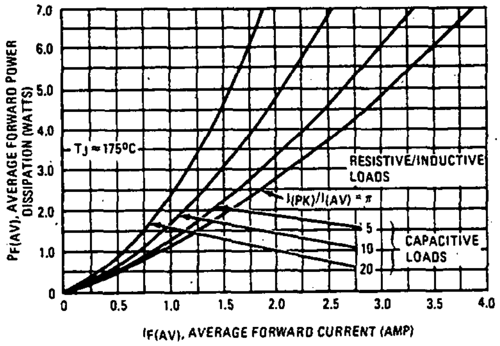


FIGURE 6 – EFFECT OF LEAD LENGTHS, RESISTIVE LOAD

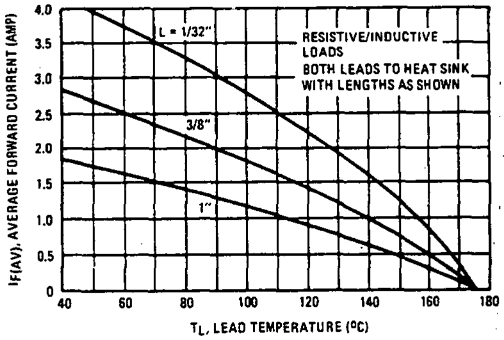


FIGURE 7 – 3/8" LEAD LENGTH, VARIOUS LOADS

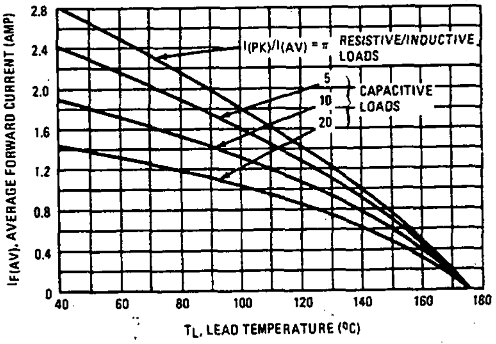


FIGURE 8 – PRINTED CIRCUIT BOARD MOUNTING – VARIOUS LOADS

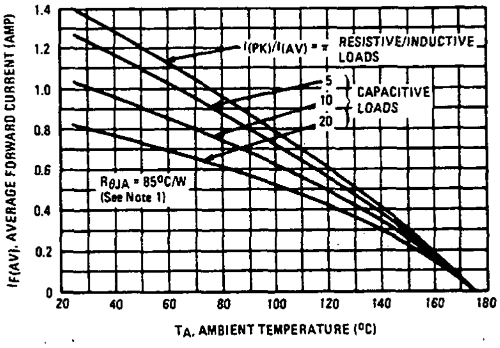
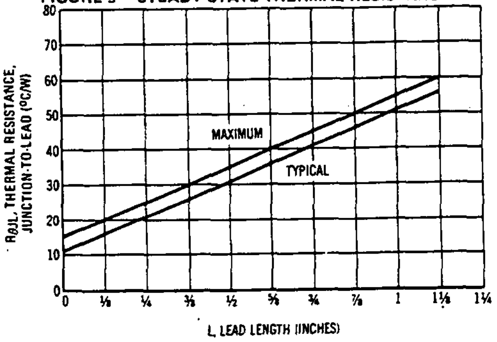


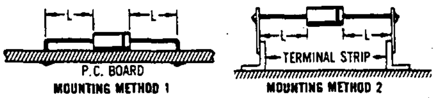
FIGURE 9 – STEADY-STATE THERMAL RESISTANCE



NOTE 1

Data shown for thermal resistance junction-to-ambient ($R_{\theta JA}$) for the mountings shown is to be used as typical guideline values for preliminary engineering or in case the tie point temperature cannot be measured

TYPICAL VALUES FOR $R_{\theta JA}$ IN STILL AIR



MOUNTING METHOD	LEAD LENGTH, L (IN.)			$R_{\theta JA}$
	1/32	3/8	1	
1	—	75	85	°C/W
2	55	72	85	°C/W

Motorola reserves the right to make changes to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others.

1N4001 THRU 1N4007

TYPICAL DYNAMIC CHARACTERISTICS

FIGURE 10 – FORWARD RECOVERY TIME

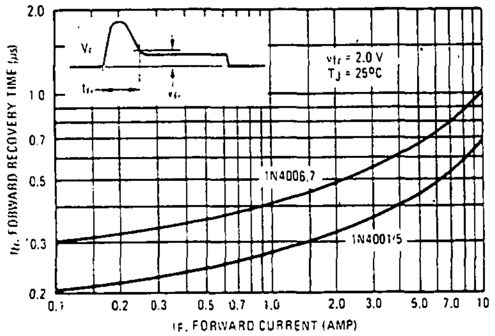


FIGURE 11 – REVERSE RECOVERY TIME

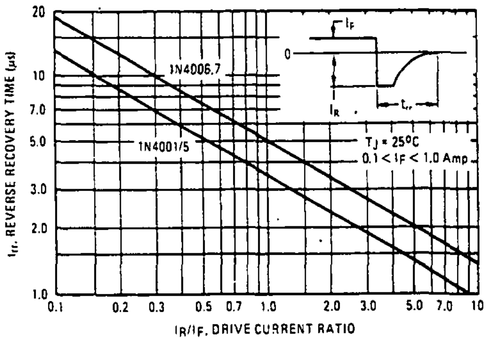


FIGURE 12 – JUNCTION CAPACITANCE

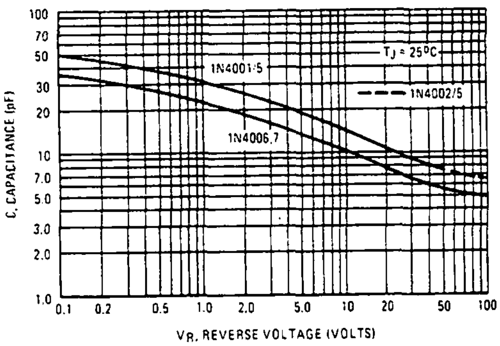


FIGURE 13 – RECTIFICATION WAVEFORM EFFICIENCY FOR SINE WAVE

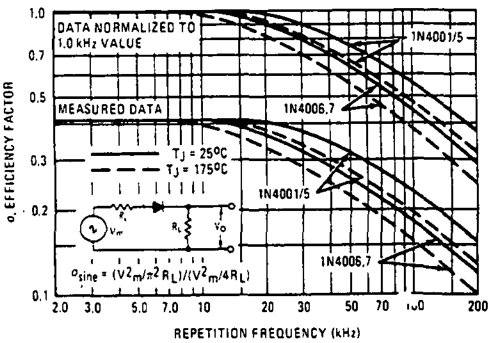
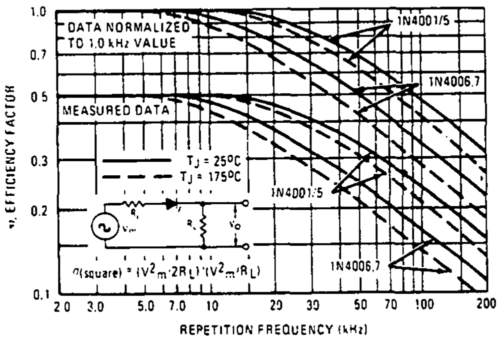


FIGURE 14 – RECTIFICATION WAVEFORM EFFICIENCY FOR SQUARE WAVE



RECTIFIER EFFICIENCY NOTE

The rectification efficiency factor σ shown in Figures 13 and 14 was calculated using the formula:

$$\sigma = \frac{P_{dc}}{P_{rms}} = \frac{\frac{V^2_{O(dc)}}{R_L}}{\frac{V^2_{O(rms)}}{R_L}} \bullet 100\% = \frac{V^2_{O(dc)}}{V^2_{O(ac)} + V^2_{O(dc)}} \bullet 100\% \quad (1)$$

For a sine wave input $V_m \sin(\omega t)$ to the diode, assumed lossless, the maximum theoretical efficiency factor becomes 40%; for a square wave input of amplitude V_m, the efficiency factor becomes 50%. (A full wave circuit has twice these efficiencies).

As the frequency of the input signal is increased, the reverse recovery time of the diode (Figure 11) becomes significant, resulting in an increasing ac voltage component across R_L which is opposite in polarity to the forward current thereby reducing the value of the efficiency factor σ, as shown in Figures 13 and 14.

It should be emphasized that Figures 13 and 14 show waveform efficiency only; they do not account for diode losses. Data was obtained by measuring the ac component of V_O with a true rms voltmeter and the dc component with a dc voltmeter. The data was used in Equation 1 to obtain points for the Figures.

MOTOROLA

SEMICONDUCTORS

P.O. BOX 20912 • PHOENIX, ARIZONA 85036

Designer's Data Sheet

1N746 thru 1N759
1N957A thru 1N986A
1N4370 thru 1N4372

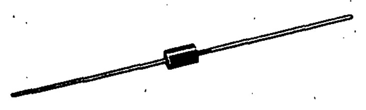
500-MILLIWATT HERMETICALLY SEALED GLASS SILICON ZENER DIODES

- Complete Voltage Range – 2.4 to 110 Volts
- DO-35 Package – Smaller than Conventional DO-7 Package
- Double Slug Type Construction
- Metallurgically Bonded Construction
- Nitride Passivated Die

Designer's Data for "Worst Case" Conditions

The Designer's Data sheets permit the design of most circuits entirely from the information presented. Limit curves – representing boundaries on device characteristics – are given to facilitate "worst case" design.

GLASS ZENER DIODES
500 MILLIWATTS
2.4-110 VOLTS



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
DC Power Dissipation @ $T_L \leq 50°C$, Lead Length = 3/8"	P_D		
*JEDEC Registration		400	mW
*Derate above $T_L = 50°C$		3.2	mW/°C
Motorola Device Ratings		500	mW
Derate above $T_L = 50°C$		3.33	mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}		°C
*JEDEC Registration		-65 to +175	
Motorola Device Ratings		-65 to +200	

*Indicates JEDEC Registered Data.

MECHANICAL CHARACTERISTICS

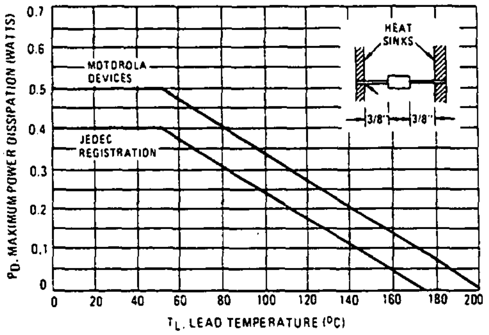
MAXIMUM LEAD TEMPERATURE FOR SOLDERING PURPOSES: 230°C, 1/16" from case for 10 seconds

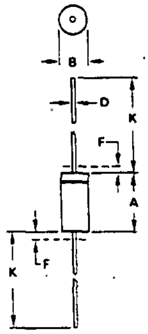
FINISH: All external surfaces are corrosion resistant with readily solderable leads.

POLARITY: Cathode indicated by color band. When operated in zener mode, cathode will be positive with respect to anode.

MOUNTING POSITION: Any

STEADY STATE POWER DERATING





NOTES:
1. PACKAGE CONTOUR OPTIONAL WITHIN A AND B. HEAT SLUGS, IF ANY, SHALL BE INCLUDED WITHIN THIS CYLINDER, BUT NOT SUBJECT TO THE MINIMUM LIMIT OF B.
2. LEAD DIAMETER NOT CONTROLLED IN ZONE F TO ALLOW FOR FLASH, LEAD FINISH BUILDUP AND MINOR IRREGULARITIES OTHER THAN HEAT SLUGS.
3. POLARITY DENOTED BY CATHODE BAND.
4. DIMENSIONING AND TOLERANCING PER ANSI Y14.5, 1973.

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	3.05	5.08	0.120	0.200
B	1.52	2.29	0.060	0.090
D	0.46	0.56	0.018	0.022
F	-	1.27	-	0.050
K	25.40	38.10	1.000	1.500

All JEDEC dimensions and notes apply.

CASE 299-02
DO-204AH
(DO-35)

Designer's is a trademark of Motorola Inc.

© MOTOROLA INC. 1982

DS 7021R3

ELECTRICAL CHARACTERISTICS (T_A = 25°C, V_F = 1.5 V max at 200 mA for all types)

Type Number (Note 1)	Nominal Zener Voltage V_Z @ I_{ZT} (Note 2) Volts	Test Current I_{ZT} mA	Maximum Zener Impedance Z_{ZT} @ I_{ZT} (Note 3) Ohms	*Maximum DC Zener Current I_{ZM} (Note 4) mA		Maximum Reverse Leakage Current T_A = 25°C I_R @ V_R = 1 V µA	Maximum Reverse Leakage Current T_A = 150°C I_R @ V_R = 1 V µA
1N4370	2.4	20	30	150	190	100	200
1N4371	2.7	20	30	135	165	75	150
1N4372	3.0	20	29	120	150	50	100
1N746	3.3	20	28	110	135	10	30
1N747	3.6	20	24	100	125	10	30
1N748	3.9	20	23	95	115	10	30
1N749	4.3	20	22	85	105	2	30
1N750	4.7	20	19	75	95	2	30
1N751	5.1	20	17	70	85	1	20
1N752	5.6	20	11	65	80	1	20
1N753	6.2	20	7	60	70	0.1	20
1N754	6.8	20	5	55	65	0.1	20
1N755	7.5	20	6	50	60	0.1	20
1N756	8.2	20	8	45	55	0.1	20
1N757	9.1	20	10	40	50	0.1	20
1N758	10	20	17	35	45	0.1	20
1N759	12	20	30	30	35	0.1	20

Type Number (Note 1)	Nominal Zener Voltage V_Z (Note 2) Volts	Test Current I_{ZT} mA	Maximum Zener Impedance (Note 3)			*Maximum DC Zener Current I_{ZM} (Note 4) mA		Maximum Reverse Current		
			Z_{ZT} @ I_{ZT} Ohms	Z_{ZK} @ I_{ZK} Ohms	I_{ZK} mA			I_R Maximum µA	Test Voltage Vdc V_R 5%	Test Voltage Vdc V_R 10%
1N957A	6.8	18.5	4.5	700	1.0	47	61	150	5.2	4.9
1N958A	7.5	16.5	5.5	700	0.5	42	55	75	5.7	5.4
1N959A	8.2	15	6.5	700	0.5	38	50	50	6.2	5.9
1N960A	9.1	14	7.5	700	0.5	35	45	25	6.9	6.6
1N961A	10	12.5	8.5	700	0.25	32	41	10	7.6	7.2
1N962A	11	11.5	9.5	700	0.25	28	37	5	8.4	8.0
1N963A	12	10.5	11.5	700	0.25	26	34	5	9.1	8.6
1N964A	13	9.5	13	700	0.25	24	32	5	9.9	9.4
1N965A	15	8.5	16	700	0.25	21	27	5	11.4	10.8
1N966A	16	7.8	17	700	0.25	19	37	5	12.2	11.5
1N967A	18	7.0	21	750	0.25	17	23	5	13.7	13.0
1N968A	20	6.2	25	750	0.25	15	20	5	15.2	14.4
1N969A	22	5.6	29	750	0.25	14	18	5	16.7	15.8
1N970A	24	5.2	33	750	0.25	13	17	5	18.2	17.3
1N971A	27	4.6	41	750	0.25	11	15	5	20.6	19.4
1N972A	30	4.2	49	1000	0.25	10	13	5	22.8	21.6
1N973A	33	3.8	58	1000	0.25	9.2	12	5	25.1	23.8
1N974A	36	3.4	70	1000	0.25	8.5	11	5	27.4	25.9
1N975A	39	3.2	80	1000	0.25	7.8	10	5	29.7	28.1
1N976A	43	3.0	93	1500	0.25	7.0	9.6	5	32.7	31.0
1N977A	47	2.7	105	1500	0.25	6.4	8.8	5	35.8	33.8
1N978A	51	2.5	125	1500	0.25	5.9	8.1	5	38.8	36.7
1N979A	56	2.2	150	2000	0.25	5.4	7.4	5	42.6	40.3
1N980A	62	2.0	185	2000	0.25	4.9	6.7	5	47.1	44.6
1N981A	68	1.8	230	2000	0.25	4.5	6.1	5	51.7	49.0
1N982A	75	1.7	270	2000	0.25	1.0	5.5	5	56.0	54.0
1N983A	82	1.5	330	3000	0.25	3.7	5.0	5	62.2	59.0
1N984A	91	1.4	400	3000	0.25	3.3	4.5	5	69.2	65.5
1N985A	100	1.3	500	3000	0.25	3.0	4.5	5	76	72
1N986A	110	1.1	750	4000	0.25	2.7	4.1	5	83.6	79.2

NOTE 1. TOLERANCE AND VOLTAGE DESIGNATION

Tolerance Designation

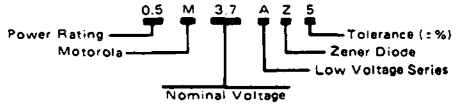
The type numbers shown have tolerance designations as follows:

1N4370 series: ±10%, suffix A for ±5% units.
1N746 series: ±10%, suffix A for ±5% units.
1N957 series: suffix A for ±10% units,
suffix B for ±5% units.

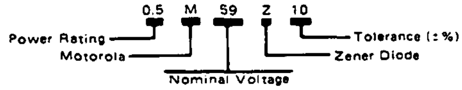
Voltage Designation

To designate units with zener voltages other than those listed, the Motorola type number should be modified as shown below. Unless otherwise specified, the electrical characteristics other than the nominal voltage (V_Z) and test voltage for leakage current will conform to the characteristics of the next higher voltage type shown in the table.

EXAMPLE: 1N746 series, 1N4370 series variations



EXAMPLE: 1N957 series variations



Matched Sets for Closer Tolerances or Higher Voltages

Series matched sets make zener voltages in excess of 100 volts or tolerances of less than 5% possible as well as providing lower temperature coefficients, lower dynamic impedance and greater power handling ability.

For Matched Sets or other special circuit requirements, contact your Motorola Sales Representative.

MOTOROLA *Semiconductor Products Inc.*

NOTE 2. ZENER VOLTAGE (V_Z) MEASUREMENT

Nominal zener voltage is measured with the device junction in thermal equilibrium at the lead temperature of 30°C ±1°C and 3/8" lead length.

NOTE 3. ZENER IMPEDANCE (Z_Z) DERIVATION

Z_{ZT} and Z_{ZK} are measured by dividing the ac voltage drop across the device by the ac current applied. The specified limits are for $I_Z(ac) = 0.1\ I_Z(dc)$ with the ac frequency = 60 Hz.

NOTE 4. MAXIMUM ZENER CURRENT RATINGS (I_{ZM})

Maximum zener current ratings are based on the maximum voltage of a 10% 1N746 type unit or a 20% 1N957 type unit. For closer tolerance units (10% or 5%) or units where the actual zener voltage (V_Z) is known at the operating point, the maximum zener current may be increased and is limited by the derating curve.

APPLICATION NOTE

Since the actual voltage available from a given zener diode is temperature dependent, it is necessary to determine junction temperature under any set of operating conditions in order to calculate its value. The following procedure is recommended:

Lead Temperature, T_L, should be determined from:

$$T_L = \theta_{LA} P_D + T_A$$

θ_{LA} is the lead-to-ambient thermal resistance (°C/W) and P_D is the power dissipation. The value for θ_{LA} will vary and depends on the device mounting method. θ_{LA} is generally 30-40°C/W for the various clips and tie points in common use and for printed circuit board wiring.

The temperature of the lead can also be measured using a thermocouple placed on the lead as close as possible to the tie point. The thermal mass connected to the tie point is normally large enough so that it will not significantly respond to heat surges generated in the diode as a result of pulsed operation once steady-state conditions are achieved. Using the measured value of T_L, the junction temperature may be determined by:

$$T_J = T_L + \Delta T_{JL}$$

ΔT_{JL} is the increase in junction temperature above the lead temperature and may be found from Figure 1 for dc power.

$$\Delta T_{JL} = \theta_{JL} P_D$$

For worst-case design, using expected limits of I_Z, limits of P_D and the extremes of $T_J(\Delta T_J)$ may be estimated. Changes in voltage, V_Z, can then be found from:

$$\Delta V = \theta_{VZ} \Delta T_J$$

θ_{VZ}, the zener voltage temperature coefficient, is found from Figures 3 and 4.

Under high-power-pulse operation, the zener voltage will vary with time and may also be affected significantly by the zener resistance. For best regulation, keep current excursions as low as possible.

Surge limitations are given in Figure 6. They are lower than would be expected by considering only junction temperature, as current crowding effects cause temperatures to be extremely high in small spots, resulting in device degradation should the limits of Figure 6 be exceeded.

FIGURE 1 – TYPICAL THERMAL RESISTANCE

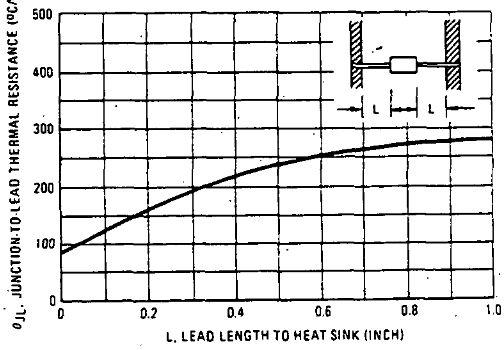
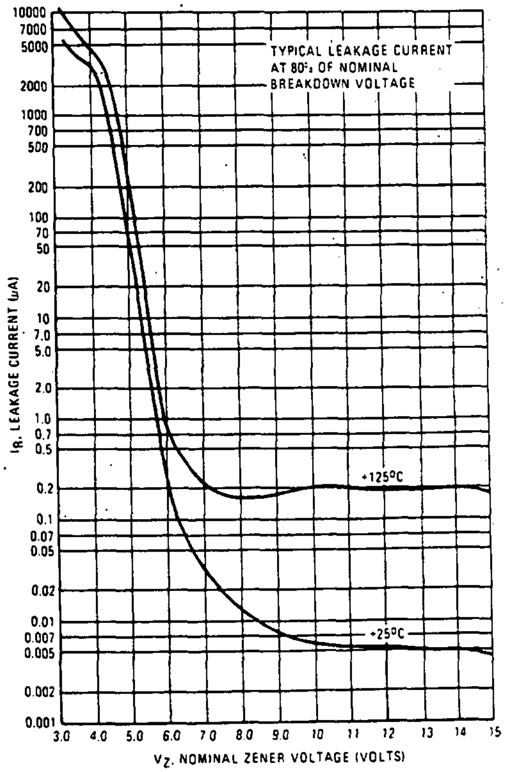


FIGURE 2 – TYPICAL LEAKAGE CURRENT

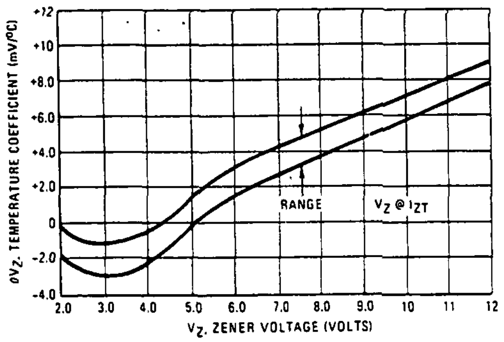


1N746–1N759 • 1N957–1N986A • 1N4370–1N4372

FIGURE 3 – TEMPERATURE COEFFICIENTS

(−55°C to +150°C temperature range; 90% of the units are in the ranges indicated.)

a – RANGE FOR UNITS TO 12 VOLTS



b – RANGE FOR UNITS 12 TO 100 VOLTS

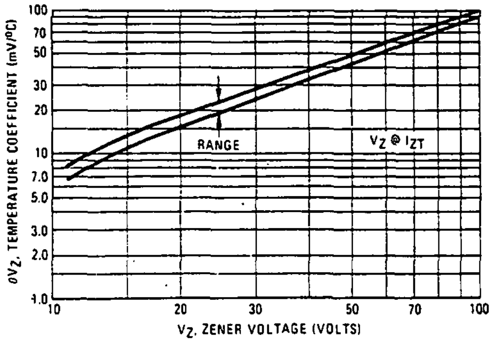


FIGURE 4 – EFFECT OF ZENER CURRENT

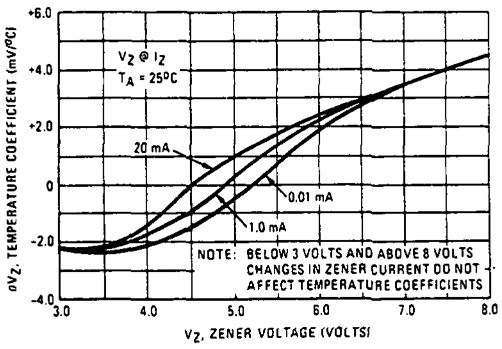


FIGURE 5 – TYPICAL CAPACITANCE

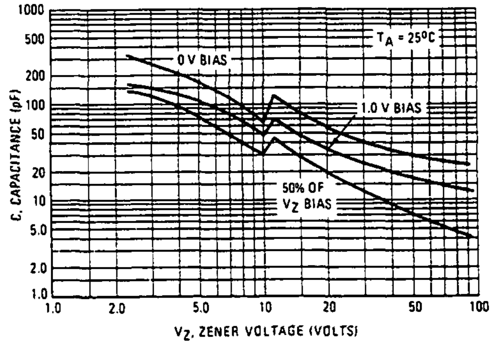
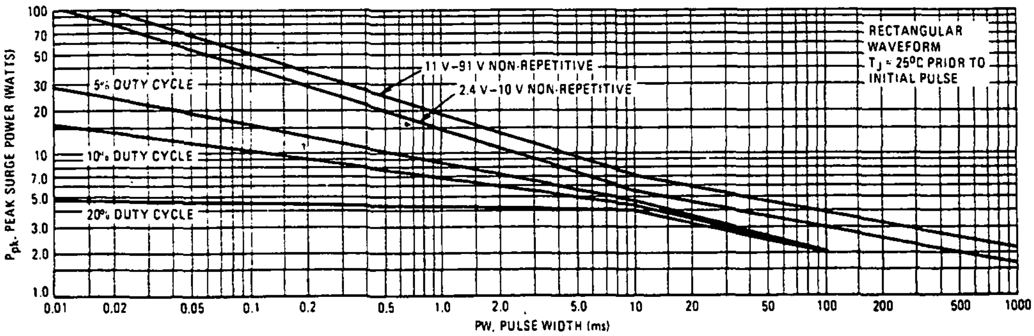


FIGURE 6 – MAXIMUM SURGE POWER



This graph represents 90 percentil data points.
For worst-case design characteristics, multiply surge power by 2/3.

MOTOROLA *Semiconductor Products Inc.*

1N746-1N759 • 1N957-1N986A • 1N4370-1N4372

FIGURE 7 – EFFECT OF ZENER CURRENT ON ZENER IMPEDANCE

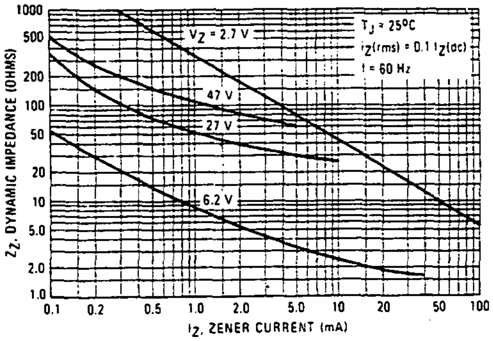


FIGURE 8 – EFFECT OF ZENER VOLTAGE ON ZENER IMPEDANCE

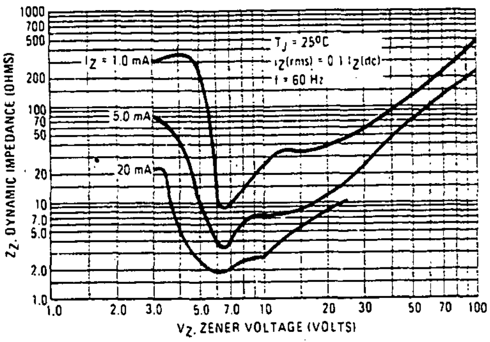


FIGURE 9 – TYPICAL NOISE DENSITY

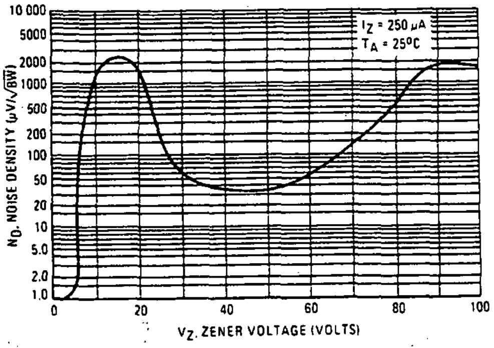
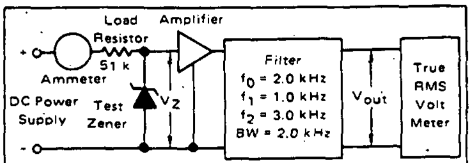


FIGURE 10 – NOISE DENSITY MEASUREMENT METHOD

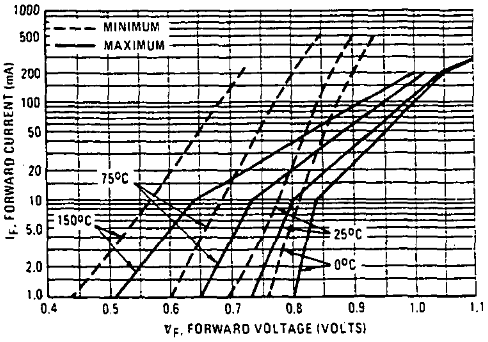


$$\text{Noise Density (Volts Per Square Root Bandwidth)} = \frac{V_{out}}{\text{Overall Gain } \sqrt{BW}}$$

Where: BW = Filter Bandwidth (Hz)
V_{out} = Output Noise (Volts RMS)

The input voltage and load resistance are high so that the zener diode is driven from a constant current source. The amplifier is low noise so that the amplifier noise is negligible compared to that of the test zener. The filter bandpass is known so that the noise density can be calculated from the formula shown.

FIGURE 11 – TYPICAL FORWARD CHARACTERISTICS



Motorola reserves the right to make changes to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others.

1N746-1N759 • 1N957-1N986A • 1N4370-1N4372

FIGURE 12 – ZENER VOLTAGE versus ZENER CURRENT – V_Z = 1 THRU 16 VOLTS

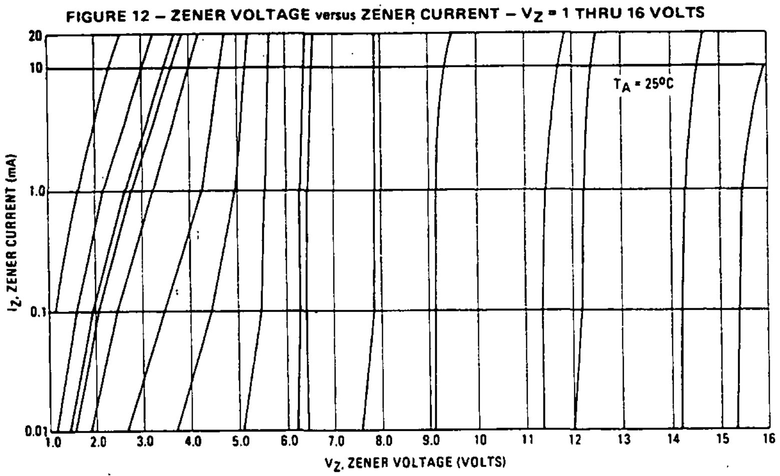


FIGURE 13 – ZENER VOLTAGE versus ZENER CURRENT – V_Z = 15 THRU 30 VOLTS

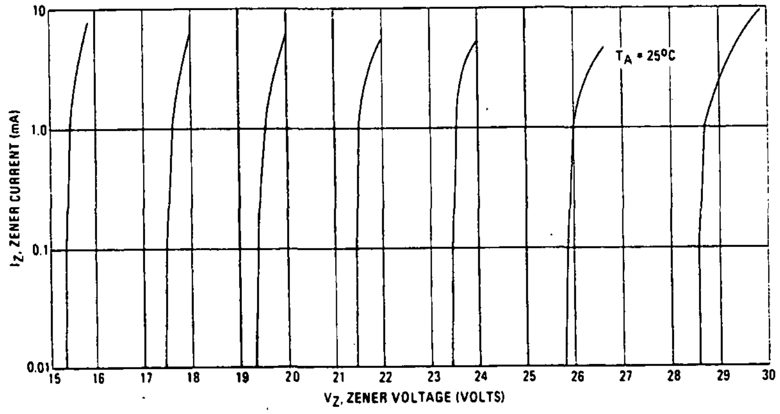
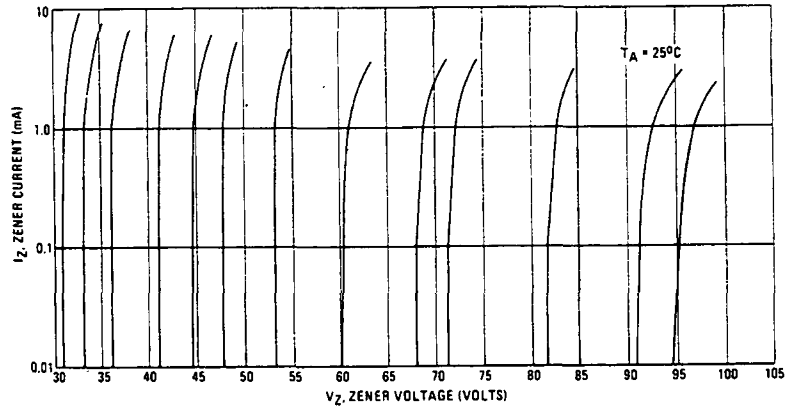


FIGURE 14 – ZENER VOLTAGE versus ZENER CURRENT – V_Z = 30 THRU 105 VOLTS



MOTOROLA

SEMICONDUCTORS

P.O. BOX 20912 • PHOENIX, ARIZONA 85036

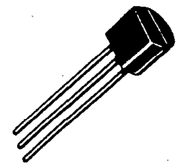
2N3903
2N3904

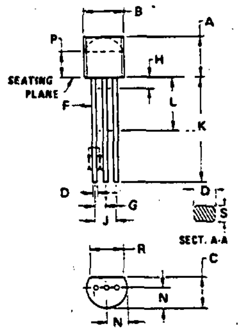
NPN SILICON ANNULAR TRANSISTORS

... designed for general purpose switching and amplifier applications and for complementary circuitry with types 2N3905 and 2N3906.

- High Voltage Ratings — $V_{(BR)CEO}$ = 40 Volts (Min)
- Current Gain Specified from 100 μA to 100 mA
- Complete Switching and Amplifier Specifications
- Low Capacitance — C_{ob} = 4.0 pF (Max)

NPN SILICON SWITCHING & AMPLIFIER TRANSISTORS





NOTES.
1. CONTOUR OF PACKAGE BEYOND ZONE "P" IS UNCONTROLLED.
2. DIM "F" APPLIES BETWEEN "H" AND "L". DIM "D" & "S" APPLIES BETWEEN "L" & 12.70 mm (0.5") FROM SEATING PLANE. LEAD DIM IS UNCONTROLLED IN "H" & BEYOND 12.70 mm (0.5") FROM SEATING PLANE.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.32	5.33	0.170	0.210
B	4.44	5.21	0.175	0.205
C	3.18	4.19	0.125	0.165
D	0.41	0.56	0.016	0.022
F	0.41	0.48	0.016	0.019
G	1.14	1.40	0.045	0.055
H	–	2.54	–	0.100
J	2.41	2.67	0.095	0.105
K	12.70	–	0.500	–
L	6.35	–	0.250	–
N	2.03	2.67	0.080	0.105
P	2.92	–	0.115	–
R	3.43	–	0.135	–
S	0.36	0.41	0.014	0.016

All JEDEC dimensions and notes apply.

CASE 29-02
(TO-226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
*Collector-Emitter Voltage	V_{CEO}	40	Vdc
*Collector-Base Voltage	V_{CBO}	60	Vdc
*Emitter-Base Voltage	V_{EBO}	6.0	Vdc
*Collector Current — Continuous	I_C	200	mAdc
**Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	625 5.0	mW mW/°C
Total Power Dissipation @ T_A = 60°C	P_D	450	mW
**Total Device Dissipation @ T_C = 25°C Derate above 25°C	P_D	1.5 12	Watts mW/°C
**Operating and Storage Junction Temperature Range	T_J, T_{stg}	−55 to 150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	83.3	°C/W
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	200	°C/W

*Indicates JEDEC Registered Data.
**Motorola guarantees this data in addition to the JEDEC Registered Data.

EQUIVALENT SWITCHING TIME TEST CIRCUITS

FIGURE 1 — TURN-ON TIME

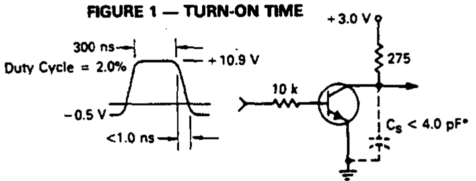
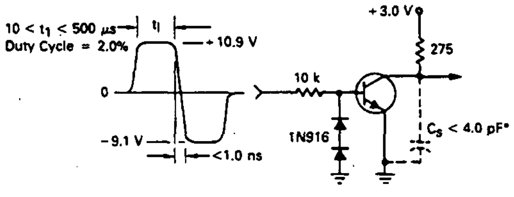


FIGURE 2 — TURN-OFF TIME



*Total shunt capacitance of test jig and connectors

© MOTOROLA INC., 1985 DS5127 R2

*ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted.)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Collector-Emitter Breakdown Voltage(1) (I_C = 1.0 mAdc, I_B = 0)		$V_{(BR)CEO}$	40	—	Vdc
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)		$V_{(BR)CBO}$	60	—	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)		$V_{(BR)EBO}$	6.0	—	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, $V_{EB(off)}$ = 3.0 Vdc)		I_{CEX}	—	50	nAdc
Base Cutoff Current (V_{CE} = 30 Vdc, $V_{EB(off)}$ = 3.0 Vdc)		I_{BL}	—	50	nAdc
ON CHARACTERISTICS(1)					
DC Current Gain		h_{FE}			—
(I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3903		20	—	
	2N3904		40	—	
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3903		35	—	
	2N3904		70	—	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3903		50	150	
	2N3904		100	300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3903		30	—	
	2N3904		60	—	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3903		15	—	
	2N3904		30	—	
Collector-Emitter Saturation Voltage		$V_{CE(sat)}$			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)			—	0.2	
(I_C = 50 mAdc, I_B = 5.0 mAdc)			—	0.3	
Base-Emitter Saturation Voltage		$V_{BE(sat)}$			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)			0.65	0.85	
(I_C = 50 mAdc, I_B = 5.0 mAdc)			—	1.0	
SMALL-SIGNAL CHARACTERISTICS					
Current-Gain — Bandwidth Product		f_T			MHz
(I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3903		150	—	
	2N3904		200	—	
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 100 kHz)		C_{obo}	—	4.0	pF
Input Capacitance (V_{BE} = 0.5 Vdc, I_C = 0, f = 100 kHz)		C_{ibo}	—	8.0	pF
Input Impedance		h_{ie}			kΩ
(I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903		0.5	8.0	
	2N3904		1.0	10	
Voltage Feedback Ratio		h_{re}			X 10^{-4}
(I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903		0.1	5.0	
	2N3904		0.5	8.0	
Small-Signal Current Gain		h_{fe}			—
(I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903		50	200	
	2N3904		100	400	
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)		h_{oe}	1.0	40	μmhos
Noise Figure		NF			dB
(I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 kΩ,	2N3903		—	6.0	
f = 10 Hz to 15.7 kHz)	2N3904		—	5.0	
SWITCHING CHARACTERISTICS					
Delay Time	(V_{CC} = 3.0 Vdc, $V_{BE(off)}$ = 0.5 Vdc,	t_d	—	35	ns
Rise Time	I_C = 10 mAdc, I_{B1} = 1.0 mAdc)	t_r	—	50	ns
Storage Time	2N3903	t_s	—	800	ns
	(V_{CC} = 3.0 Vdc, I_C = 10 mAdc, 2N3904		—	900	
Fall Time	I_{B1} = I_{B2} = 1.0 mAdc)	t_f	—	90	ns

(1) Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0%.

MOTOROLA *Semiconductor Products Inc.*

2N3903 • 2N3904

TYPICAL NOISE CHARACTERISTICS
(V_{CE} = 5.0 Vdc, T_A = 25°C)

FIGURE 3 – NOISE VOLTAGE

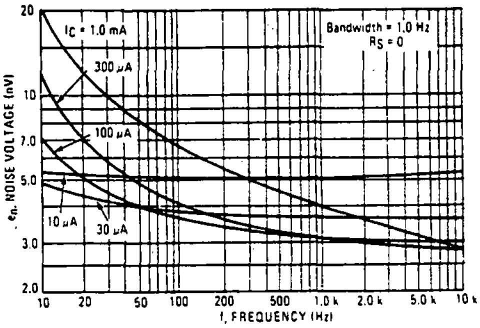
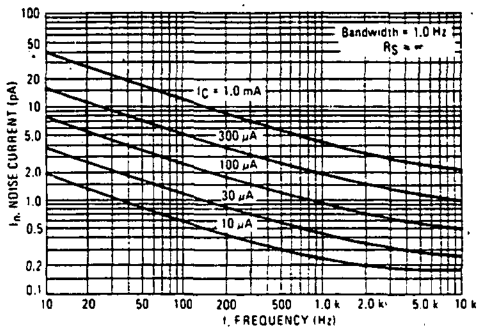


FIGURE 4 – NOISE CURRENT



NOISE FIGURE CONTOURS
(V_{CE} = 5.0 Vdc, T_A = 25°C)

FIGURE 5 – NARROW BAND, 100 Hz

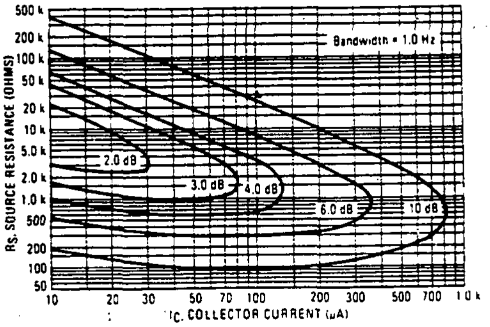


FIGURE 6 – NARROW BAND, 1.0 kHz

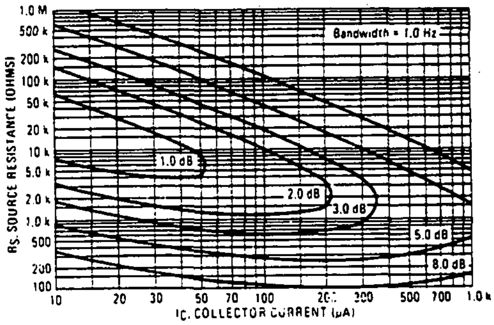
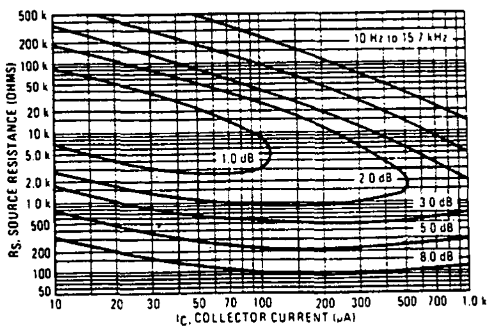


FIGURE 7 – WIDEBAND



Noise Figure is Defined as:

$$NF = 20 \log_{10} \left(\frac{e_n^2 + 4KTR_S + I_n^2 R_S^2}{4KTR_S} \right)^{1/2}$$

e_n = Noise Voltage of the Transistor referred to the input (Figure 3)

I_n = Noise Current of the transistor referred to the input (Figure 4)

K = Boltzman's Constant (1.38×10^{-23} j/°K)

T = Temperature of the Source Resistance (°K)

R_S = Source Resistance (Ohms)

MOTOROLA Semiconductor Products Inc.

2N3903 • 2N3904

TYPICAL STATIC CHARACTERISTICS

FIGURE 8 – DC CURRENT GAIN

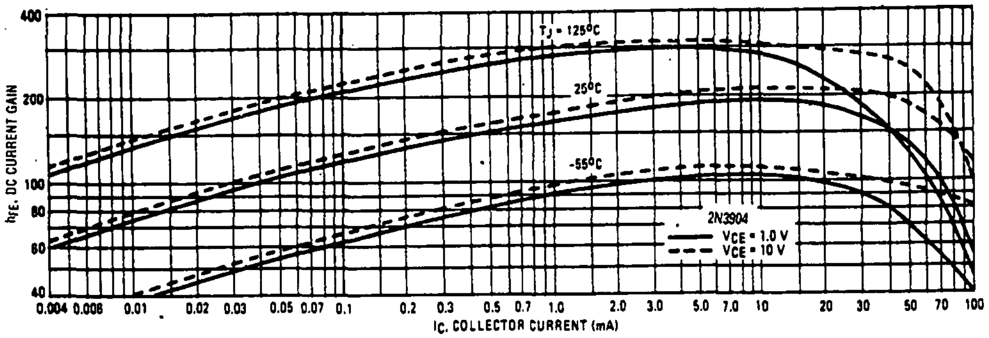


FIGURE 9 – COLLECTOR SATURATION REGION

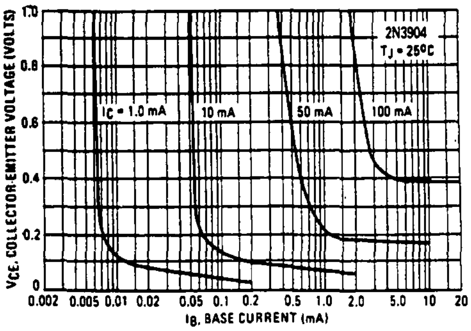


FIGURE 10 – COLLECTOR CHARACTERISTICS

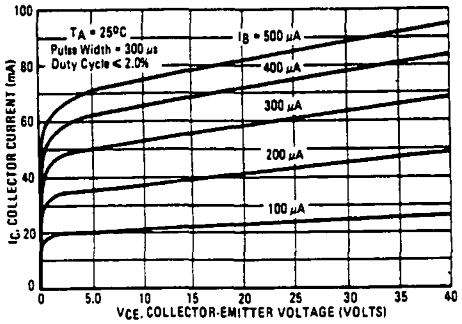


FIGURE 11 – "ON" VOLTAGES

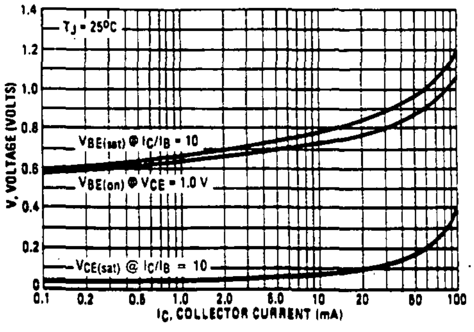
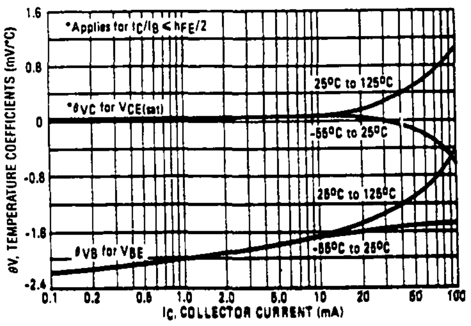


FIGURE 12 – TEMPERATURE COEFFICIENTS



2N3903 • 2N3904

TYPICAL DYNAMIC CHARACTERISTICS

FIGURE 13 – TURN-ON TIME

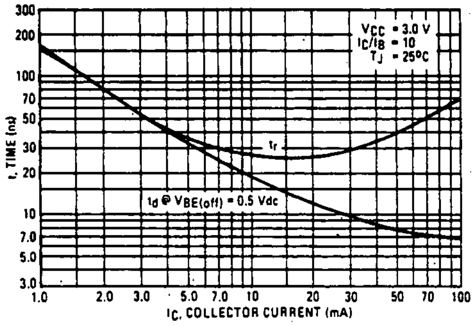


FIGURE 14 – TURN-OFF TIME

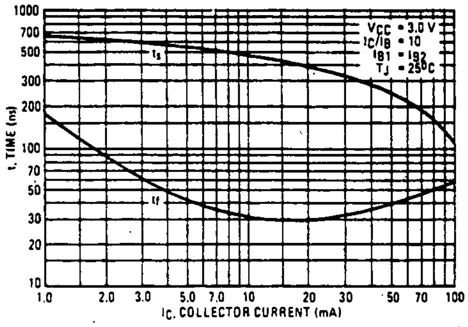


FIGURE 15 – CURRENT-GAIN – BANDWIDTH PRODUCT

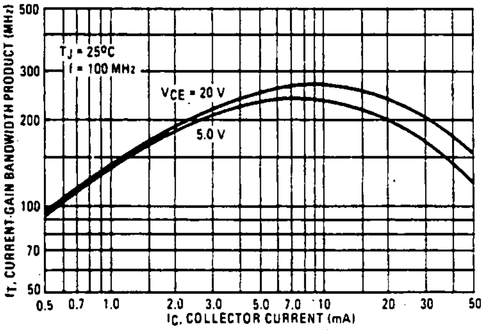


FIGURE 16 – CAPACITANCE

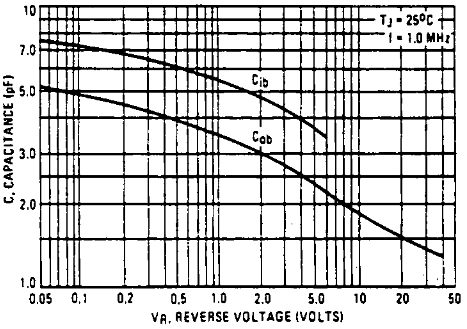


FIGURE 17 – INPUT IMPEDANCE

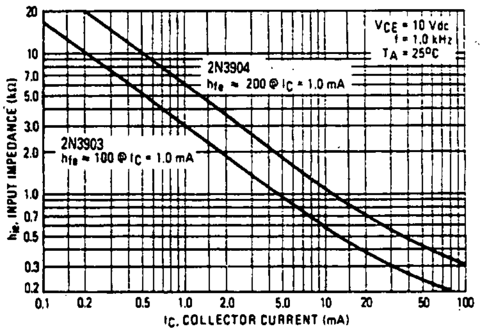
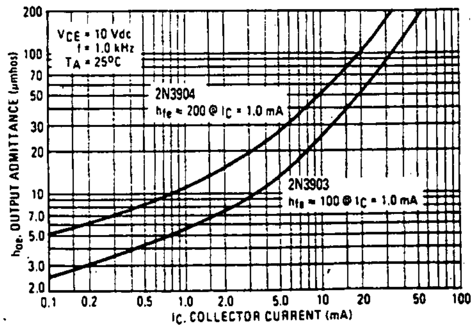


FIGURE 18 – OUTPUT ADMITTANCE



2N3903 • 2N3904

FIGURE 19 – THERMAL RESPONSE

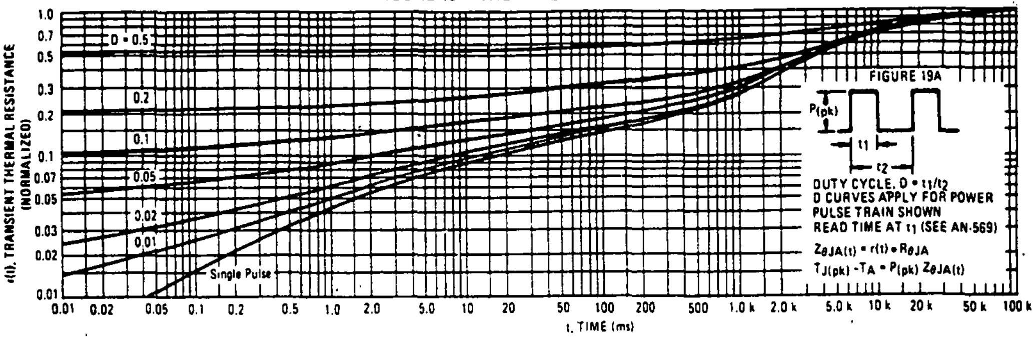
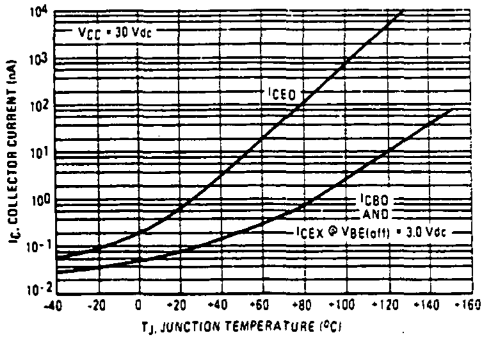


FIGURE 19A



DESIGN NOTE: USE OF THERMAL RESPONSE DATA

A train of periodical power pulses can be represented by the model as shown in Figure 19A. Using the model and the device thermal response the normalized effective transient thermal resistance of Figure 19 was calculated for various duty cycles.

To find $Z_{\theta JA}(t)$, multiply the value obtained from Figure 19 by the steady state value $R_{\theta JA}$.

Example:
The 2N3903 is dissipating 2.0 watts peak under the following conditions:

$t_1 = 1.0$ ms, $t_2 = 5.0$ ms. ($D = 0.2$)

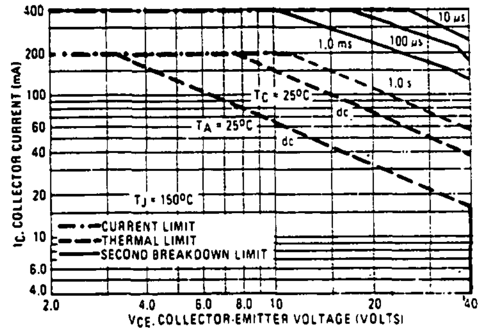
Using Figure 19 at a pulse width of 1.0 ms and D = 0.2, the reading of r(t) is 0.22.

The peak rise in junction temperature is therefore

$\Delta T = r(t) \times P_{(pk)} \times R_{\theta JA} = 0.22 \times 2.0 \times 200 = 88°C.$

For more information, see AN569.

FIGURE 20



The safe operating area curves indicate I_C-V_{CE} limits of the transistor that must be observed for reliable operation. Collector load lines for specific circuits must fall below the limits indicated by the applicable curve.

The data of Figure 20 is based upon $T_{J(pk)} = 150°C$; T_C or T_A is variable depending upon conditions. Pulse curves are valid for duty cycles to 10% provided $T_{J(pk)} \leq 150°C$. $T_{J(pk)}$ may be calculated from the data in Figure 19. At high case or ambient temperatures, thermal limitations will reduce the power than can be handled to values less than the limitations imposed by second breakdown. (See AN415A).

Motorola reserves the right to make changes without further notice to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Employment Opportunity/ Affirmative Action Employer.

MOTOROLA *Semiconductor Products Inc.*

BOX 20912 • PHOENIX, ARIZONA 85036 • A SUBSIDIARY OF MOTOROLA INC.

MOTOROLA
Semiconductors
BOX 20912 • PHOENIX, ARIZONA 85036

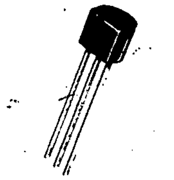
2N3905
2N3906

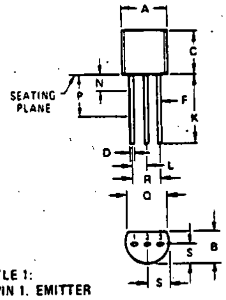
PNP SILICON SWITCHING & AMPLIFIER TRANSISTORS

PNP SILICON ANNULAR♦ TRANSISTORS

.... designed for general purpose switching and amplifier applications and for complementary circuitry with types 2N3903 and 2N3904.

- High Voltage Ratings – BV_{CEO} = 40 Volts (Min)
- Current Gain Specified from 100 μA to 100 mA
- Complete Switching and Amplifier Specifications
- Low Capacitance – C_{ob} = 4.5 pF (Max)





STYLE 1:
PIN 1. EMITTER
2. BASE
3. COLLECTOR

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.450	5.200	0.175	0.205
B	3.180	4.190	0.125	0.165
C	4.320	5.330	0.170	0.210
D	0.407	0.533	0.016	0.021
F	0.407	0.482	0.016	0.019
K	12.700	–	0.500	–
L	1.150	1.390	0.045	0.055
N	–	1.270	–	0.050
P	6.350	–	0.250	–
Q	3.430	–	0.135	–
R	2.410	2.670	0.095	0.105
S	2.030	2.670	0.080	0.105

CASE 29-02
(TO-92)

*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Base Voltage	V_{CB}	40	Vdc
Collector-Emitter Voltage	V_{CEO}	40	Vdc
Emitter-Base Voltage	V_{EB}	5.0	Vdc
Collector Current	I_C	200	mAdc
Total Power Dissipation @ $T_A = 60°C$	P_D	250	mW
Total Power Dissipation @ $T_A = 25°C$ Derate above 25°C	P_D	350 2.8	mW mW/°C
Total Power Dissipation @ $T_C = 25°C$ Derate above 25°C	P_D	1.0 8.0	Watt mW/°C
Junction Operating Temperature	T_J	+150	°C
Storage Temperature Range	T_{stg}	-55 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	357	°C/W
Thermal Resistance, Junction to Case	$R_{\theta JC}$	125	°C/W

*Indicates JEDEC Registered Data.
♦Annular semiconductors patented by Motorola Inc.

©MOTOROLA INC., 1973

DS 5128 R2

***ELECTRICAL CHARACTERISTICS** (T_A = 25°C unless otherwise noted.)

Characteristic		Fig. No.	Symbol	Min	Max	Unit
OFF CHARACTERISTICS						
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)			BV_{CBO}	40	–	Vdc
Collector-Emitter Breakdown Voltage (1) (I_C = 1.0 mAdc, I_B = 0)			BV_{CEO}	40	–	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)			BV_{EBO}	5.0	–	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{CEX}	–	50	nAdc
Base Cutoff Current (V_{CE} = 30 Vdc, $V_{BE(off)}$ = 3.0 Vdc)			I_{BL}	–	50	nAdc
ON CHARACTERISTICS (1)						
DC Current Gain			h_{FE}			
(I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3905	15		30	–	
	2N3906			60	–	
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3905			40	–	
	2N3906			80	–	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3905			50	150	
	2N3906			100	300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3905			30	–	
	2N3906			60	–	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3905			15	–	
	2N3906			30	–	
Collector-Emitter Saturation Voltage		16, 17	$V_{CE(sat)}$			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)				–	0.25	
(I_C = 50 mAdc, I_B = 5.0 mAdc)				–	0.4	
Base-Emitter Saturation Voltage		17	$V_{BE(sat)}$			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)				0.65	0.85	
(I_C = 50 mAdc, I_B = 5.0 mAdc)				–	0.95	
SMALL-SIGNAL CHARACTERISTICS						
Current-Gain – Bandwidth Product (I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3905		f_T	200	–	MHz
	2N3906			250	–	
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 100 kHz)		3	C_{ob}	–	4.5	pF
Input Capacitance (V_{BE} = 0.5 Vdc, I_C = 0, f = 100 kHz)		3	C_{ib}	–	1.0	pF
Input Impedance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3906	13	h_{ie}	0.5	8.0	k ohms
	2N3906			2.0	12	
Voltage Feedback Ratio (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905	14	h_{re}	0.1	5.0	$\times 10^{-4}$
	2N3906			1.0	10	
Small-Signal Current Gain (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905	11	h_{fe}	50	200	–
	2N3906			100	400	
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3905	12	h_{oe}	1.0	40	μmhos
	2N3906			3.0	60	
Noise Figure (I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 k ohm, f = 10 Hz to 15.7 kHz)	2N3905	9, 10	NF	–	5.0	dB
	2N3906			–	4.0	

SWITCHING CHARACTERISTICS

Characteristic	Conditions		Fig. No.	Symbol	Min	Max	Unit
Delay Time	(V_{CC} = 3.0 Vdc, $V_{BE(off)}$ = 0.5 Vdc, I_C = 10 mAdc, I_{B1} = 1.0 mAdc)		1, 5	t_d	–	35	ns
Rise Time			1, 5, 6	t_r	–	35	ns
Storage Time	(V_{CC} = 3.0 Vdc, I_C = 10 mAdc, $I_{B1} = I_{B2}$ = 1.0 mAdc)	2N3905	2, 7	t_s	–	200	ns
		2N3906			–	225	
Fall Time		2N3905	2, 8	t_f	–	60	ns
		2N3906			–	75	

*Indicates JEDEC Registered Data. (1) Pulse Width = 300 μs, Duty Cycle = 2.0%.

FIGURE 1 – DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

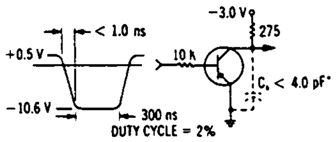
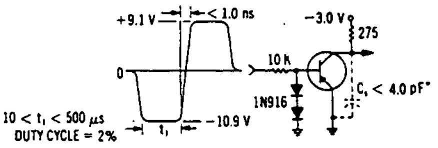


FIGURE 2 – STORAGE AND FALL TIME EQUIVALENT TEST CIRCUIT



*Total shunt capacitance of test jig and connectors

TYPES 2N2217 THRU 2N2222, 2N2218A, 2N2219A, 2N2221A, 2N2222A
N-P-N SILICON TRANSISTORS

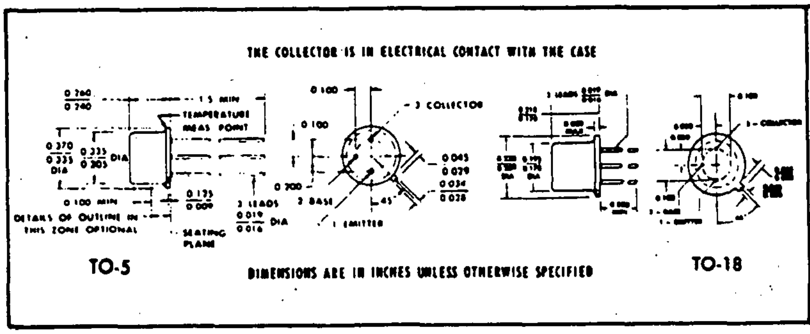
BULLETIN NO. DL-S 7311916, MARCH 1973

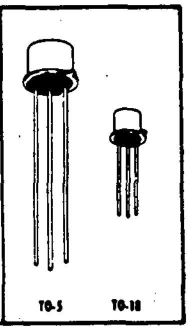
DESIGNED FOR HIGH-SPEED, MEDIUM-POWER SWITCHING AND GENERAL PURPOSE AMPLIFIER APPLICATIONS

- h_{FE} . . . Guaranteed from 100 μA to 500 mA
- High f_T at 20 V, 20 mA . . . 300 MHz (2N2219A, 2N2222A)
  250 MHz (all others)
- 2N2218, 2N2221 for Complementary Use with 2N2904, 2N2906
- 2N2219, 2N2222 for Complementary Use with 2N2905, 2N2906

***mechanical data**

Device types 2N2217, 2N2218, 2N2218A, 2N2219, and 2N2219A are in JEDEC TO-5 packages.
Device types 2N2220, 2N2221, 2N2221A, 2N2222, and 2N2222A are in JEDEC TO-18 packages.





***absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)**

	2N2217 2N2218 2N2219	2N2218A 2N2219A	2N2220 2N2221 2N2222	2N2221A 2N2222A	UNIT
Collector-Base Voltage	60	75	60	75	V
Collector-Emitter Voltage (See Note 1)	30	40	30	40	V
Emitter-Base Voltage	5	6	5	6	V
Continuous Collector Current	0.8	0.8	0.8	0.8	A
Continuous Device Dissipation at (or below) 25°C Free-Air Temperature (See Notes 2 and 3)	0.8	0.8	0.5	0.5	W
Continuous Device Dissipation at (or below) 25°C Case Temperature (See Notes 4 and 5)	3	3	1.8	1.8	W
Operating Collector Junction Temperature Range	−65 to 175				°C
Storage Temperature Range	−65 to 200				°C
Lead Temperature 1/16 Inch from Case for 10 Seconds	230				°C

NOTES:
1. These values apply between 0 and 500 mA collector current when the base-emitter diode is open-circuited.
2. Derate 2N2217, 2N2218, 2N2218A, 2N2219, and 2N2219A linearly to 175°C free-air temperature at the rate of 5.33 mW/°C.
3. Derate 2N2220, 2N2221, 2N2221A, 2N2222, and 2N2222A linearly to 175°C free-air temperature at the rate of 3.33 mW/°C.
4. Derate 2N2217, 2N2218, 2N2218A, 2N2219, and 2N2219A linearly to 175°C case temperature at the rate of 20.0 mW/°C.
5. Derate 2N2220, 2N2221, 2N2221A, 2N2222, and 2N2222A linearly to 175°C case temperature at the rate of 12.0 mW/°C.

*JEDEC registered data. This data sheet contains all applicable registered data in effect at the time of publication.

USES CHIP N24

TYPES 2N2217 THRU 2N2222, 2N2218A, 2N2219A, 2N2221A, 2N2222A N-P-N SILICON TRANSISTORS

2N2218A, 2N2219A, 2N2221A, 2N2222A

***electrical characteristics at 25°C free-air temperature (unless otherwise noted)**

	PARAMETER	TEST CONDITIONS	TO-5 → TO-18 →	2N2218A 2N2221A		2N2219A 2N2222A		UNIT
				MIN	MAX	MIN	MAX	
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	$I_C = 10\ \mu A$, $I_E = 0$		75		75		V
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	$I_C = 10\ mA$, $I_B = 0$,	See Note 6	40		40		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	$I_E = 10\ \mu A$, $I_C = 0$		6		6		V
I_{CBO}	Collector Cutoff Current	$V_{CB} = 60\ V$, $I_E = 0$			10		10	nA
		$V_{CB} = 60\ V$, $I_E = 0$,	$T_A = 150°C$		10		10	μA
I_{CEV}	Collector Cutoff Current	$V_{CE} = 60\ V$, $V_{BE} = -3\ V$			10		10	nA
I_{BEV}	Base Cutoff Current	$V_{CE} = 60\ V$, $V_{BE} = -3\ V$			−20		−20	nA
I_{EBO}	Emitter Cutoff Current	$V_{EB} = 3\ V$, $I_C = 0$			10		10	nA
h_{FE}	Static Forward Current Transfer Ratio	$V_{CE} = 10\ V$, $I_C = 100\ \mu A$		20		35		
		$V_{CE} = 10\ V$, $I_C = 1\ mA$		25		50		
		$V_{CE} = 10\ V$, $I_C = 10\ mA$	See Note 6	35		75		
		$V_{CE} = 10\ V$, $I_C = 150\ mA$		40	120	100	300	
		$V_{CE} = 10\ V$, $I_C = 500\ mA$		25		40		
		$V_{CE} = 1\ V$, $I_C = 150\ mA$		20		50		
		$V_{CE} = 10\ V$, $I_C = 10\ mA$, $T_A = -55°C$		15		35		
V_{BE}	Base-Emitter Voltage	$I_B = 15\ mA$, $I_C = 150\ mA$	See Note 6	0.6	1.2	0.6	1.2	V
		$I_B = 50\ mA$, $I_C = 500\ mA$			2		2	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_B = 15\ mA$, $I_C = 150\ mA$	See Note 6		0.3		0.3	V
		$I_B = 50\ mA$, $I_C = 500\ mA$			1		1	
h_{ie}	Small-Signal Common-Emitter Input Impedance	$V_{CE} = 10\ V$, $I_C = 1\ mA$	f = 1 kHz	1	3.5	2	8	kΩ
		$V_{CE} = 10\ V$, $I_C = 10\ mA$		0.2	1	0.25	1.25	
h_{fe}	Small-Signal Forward Current Transfer Ratio	$V_{CE} = 10\ V$, $I_C = 1\ mA$		30	150	50	300	
		$V_{CE} = 10\ V$, $I_C = 10\ mA$		50	300	75	375	
h_{re}	Small-Signal Common-Emitter Reverse Voltage Transfer Ratio	$V_{CE} = 10\ V$, $I_C = 1\ mA$			5×10^{-4}		8×10^{-4}	
		$V_{CE} = 10\ V$, $I_C = 10\ mA$			2.5×10^{-4}		4×10^{-4}	
h_{oe}	Small-Signal Common-Emitter Output Admittance	$V_{CE} = 10\ V$, $I_C = 1\ mA$		3	15	5	35	μmho
		$V_{CE} = 10\ V$, $I_C = 10\ mA$		10	100	25	200	
$\|h_{fe}\|$	Small-Signal Common-Emitter Forward Current Transfer Ratio	$V_{CE} = 20\ V$, $I_C = 20\ mA$,	f = 100 MHz	2.5		3		
f_T	Transition Frequency	$V_{CE} = 20\ V$, $I_C = 20\ mA$,	See Note 7	250		300		MHz
C_{obo}	Common-Base Open-Circuit Output Capacitance	$V_{CB} = 10\ V$, $I_E = 0$,	f = 100 kHz		8		8	pF
C_{ibo}	Common-Base Open-Circuit Input Capacitance	$V_{EB} = 0.5\ V$, $I_C = 0$,	f = 100 kHz		25		25	pF
$h_{ie(real)}$	Real Part of Small-Signal Common-Emitter Input Impedance	$V_{CE} = 20\ V$, $I_C = 20\ mA$,	f = 300 MHz		60		60	Ω
$r_b'C_c$	Collector-Base Time Constant	$V_{CE} = 20\ V$, $I_C = 20\ mA$,	f = 31.8 MHz		150		150	ps

NOTES: 6. These parameters must be measured using pulse techniques. $t_w = 300\ \mu s$, duty cycle ≤ 2%.

7. To obtain f_T, the $|h_{fe}|$ response with frequency is extrapolated at the rate of −6 dB per octave from f = 100 MHz to the frequency at which $|h_{fe}| = 1$.

*JEDEC registered data

TYPES 2N2217 THRU 2N2222, 2N2218A, 2N2219A, 2N2221A, 2N2222A N-P-N SILICON TRANSISTORS

2N2217 THRU 2N2222

*electrical characteristics at 25°C free-air temperature (unless otherwise noted)

PARAMETER		TEST CONDITIONS	TO-5 → / TO-18 →	2N2217 / 2N2220 MIN	2N2217 / 2N2220 MAX	2N2218 / 2N2221 MIN	2N2218 / 2N2221 MAX	2N2219 / 2N2222 MIN	2N2219 / 2N2222 MAX	UNIT
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	I_C = 10 μA, I_E = 0		60		60		60		V
$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage	I_C = 10 mA, I_B = 0,	See Note 6	30		30		30		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	I_E = 10 μA, I_C = 0		5		5		5		V
I_{CBO}	Collector Cutoff Current	V_{CB} = 50 V, I_E = 0			10		10		10	nA
		V_{CB} = 50 V, I_E = 0,	T_A = 150°C		10		10		10	μA
I_{EBO}	Emitter Cutoff Current	V_{EB} = 3 V, I_C = 0			10		10		10	nA
h_{FE}	Static Forward Current Transfer Ratio	V_{CE} = 10 V, I_C = 100 μA				20		35		
		V_{CE} = 10 V, I_C = 1 mA		12		25		50		
		V_{CE} = 10 V, I_C = 10 mA	See Note 6	17		35		75		
		V_{CE} = 10 V, I_C = 150 mA	See Note 6	20	60	40	120	100	300	
		V_{CE} = 10 V, I_C = 500 mA	See Note 6			20		30		
		V_{CE} = 1 V, I_C = 150 mA	See Note 6	10		20		50		
V_{BE}	Base-Emitter Voltage	I_B = 15 mA, I_C = 150 mA	See Note 6		1.3		1.3		1.3	V
		I_B = 50 mA, I_C = 500 mA	See Note 6				2.6		2.6	V
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	I_B = 15 mA, I_C = 150 mA	See Note 6		0.4		0.4		0.4	V
		I_B = 50 mA, I_C = 500 mA	See Note 6				1.6		1.6	V
$\|h_{fe}\|$	Small-Signal Common-Emitter Forward Current Transfer Ratio	V_{CE} = 20 V, I_C = 20 mA,	f = 100 MHz	2.5		2.5		2.5		
f_T	Transition Frequency	V_{CE} = 20 V, I_C = 20 mA,	See Note 7	250		250		250		MHz
C_{obo}	Common-Base Open-Circuit Output Capacitance	V_{CB} = 10 V, I_E = 0,	f = 1 MHz		8		8		8	pF
$h_{ie(real)}$	Real Part of Small-Signal Common-Emitter Input Impedance	V_{CE} = 20 V, I_C = 20 mA,	f = 300 MHz		60		60		60	Ω

NOTES: 6. These parameters must be measured using pulse techniques. t_w = 300 μs, duty cycle ≤ 2%.

7. To obtain f_T, the $|h_{fe}|$ response with frequency is extrapolated at the rate of −6 dB per octave from f = 100 MHz to the frequency at which $|h_{fe}|$ = 1.

switching characteristics at 25°C free-air temperature

PARAMETER		TEST CONDITIONS†		TYP	UNIT
t_d	Delay Time	V_{CC} = 30 V, I_C = 150 mA, $I_{B(1)}$ = 15 mA,		5	ns
t_r	Rise Time	$V_{BE(off)}$ = −0.5 V,	See Figure 1	15	ns
t_s	Storage Time	V_{CC} = 30 V, I_C = 150 mA, $I_{B(1)}$ = 15 mA,		190	ns
t_f	Fall Time	$I_{B(2)}$ = −15 mA,	See Figure 2	23	ns

†Voltage and current values shown are nominal; exact values vary slightly with transistor parameters.

*JEDEC registered data

***operating characteristics at 25°C free-air temperature**

PARAMETER	TEST CONDITIONS	TO-5 → 2N2218A / TO-18 → 2N2221A MAX	TO-5 → 2N2219A / TO-18 → 2N2222A MAX	UNIT
F Spot Noise Figure.	V_{CE} = 10 V, I_C = 100 μA, R_G = 1 kΩ, f = 1 kHz		4	dB

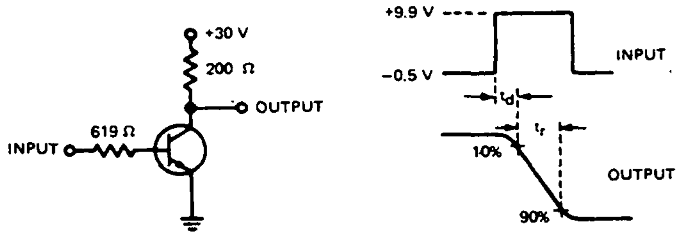
***switching characteristics at 25°C free-air temperature**

PARAMETER	TEST CONDITIONS†	TO-5 → 2N2218A / TO-18 → 2N2221A MAX	TO-5 → 2N2219A / TO-18 → 2N2222A MAX	UNIT
t_d Delay Time	V_{CC} = 30 V, I_C = 150 mA, $I_{B(1)}$ = 15 mA, $V_{BE(off)}$ = −0.5 V, See Figure 1	10	10	ns
t_r Rise Time		25	25	ns
τ_A Active Region Time Constant‡		2.5	2.5	ns
t_s Storage Time	V_{CC} = 30 V, I_C = 150 mA, $I_{B(1)}$ = 15 mA, $I_{B(2)}$ = −15 mA, See Figure 2	225	225	ns
t_f Fall Time		60	60	ns

†Voltage and current values shown are nominal; exact values vary slightly with transistor parameters.

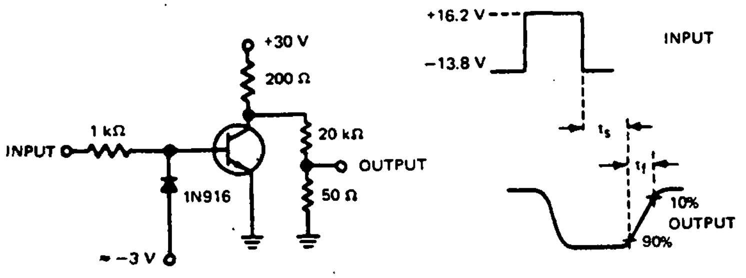
‡Under the given conditions τ_A is equal to $\frac{t_r}{10}$

*PARAMETER MEASUREMENT INFORMATION



TEST CIRCUIT VOLTAGE WAVEFORMS

FIGURE 1–DELAY AND RISE TIMES



TEST CIRCUIT VOLTAGE WAVEFORMS

FIGURE 2–STORAGE AND FALL TIMES

NOTES: a. The input waveforms have the following characteristics: For Figure 1, $t_r \leq 2$ ns, $t_w \leq 200$ ns, duty cycle ≤ 2%; for Figure 2, $t_f \leq 5$ ns, $t_w \approx 100$ μs, duty cycle ≤ 17%.

b. All waveforms are monitored on an oscilloscope with the following characteristics: $t_r \leq 5$ ns, $R_{in} \geq 100$ kΩ, $C_{in} \leq 12$ pF.

*JEDEC registered data

PRINTED IN U.S.A.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

MOTOROLA
SEMICONDUCTORS

P.O. BOX 20912 • PHOENIX, ARIZONA 85036

2N3821
2N3822
2N3824

JAN2N3821
JAN2N3822

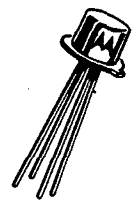
SILICON N-CHANNEL JUNCTION FIELD-EFFECT TRANSISTORS

. . . designed for audio amplifier, chopper and switching applications.

- Drain and Source Interchangeable
- Low Drain-Source Resistance – $r_{ds(on)} \leq 250$ Ohms (Max) – 2N3824
- Low Noise Figure – NF = 5.0 dB (Max) – 2N3821, 2N3822
- High AC Input Impedance – $C_{iss} = 6.0$ pF (Max)
- High DC Input Resistance – $I_{GSS} = 0.1$ nA (Max)
- Low Transfer Capacitance – $C_{rss} = 3.0$ pF (Max)
- JAN2N3821 and JAN2N3822 also Available

N-CHANNEL
JUNCTION
FIELD-EFFECT
TRANSISTORS
SYMMETRICAL
(Type A)

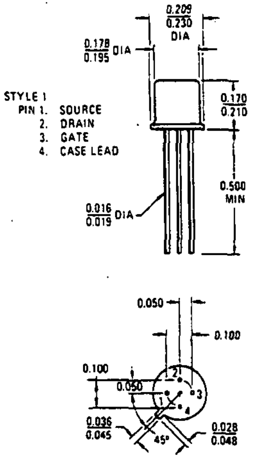
FEBRUARY 1971 – DS 5148 R2



*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	50	Vdc
Drain-Gate Voltage	V_{DG}	50	Vdc
Gate-Source Voltage	V_{GS}	-50	Vdc
Drain Current	I_D	10	mAdc
Total Device Dissipation @ $T_A = 25°C$ Derate above 25°C	P_D	300 2.0	mW mW/°C
Operating Junction Temperature	T_J	175	°C
Storage Temperature Range	T_{stg}	-65 to +200	°C

*Indicates JEDEC Registered Data.



To convert inches to millimeters multiply by 25.4

All JEDEC dimensions and notes apply

CASE 20
TO-72

© MOTOROLA INC., 1971

2N3821 • 2N3822 • 2N3824

***ELECTRICAL CHARACTERISTICS** (T_A = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Gate-Source Breakdown Voltage (I_G = −1.0 μAdc, V_{DS} = 0)		$V_{(BR)GSS}$	−50	–	Vdc
Gate Reverse Current (V_{GS} = −30 Vdc, V_{DS} = 0)		I_{GSS}	–	−0.1	nAdc
(V_{GS} = −30 Vdc, V_{DS} = 0, T_A = 150°C)			–	−100	
Gate-Source Cutoff Voltage (I_D = 0.5 nAdc, V_{DS} = 15 Vdc)	2N3821	$V_{GS(off)}$	–	−4.0	Vdc
	2N3822		–	−6.0	
Gate-Source Voltage (I_D = 50 μAdc, V_{DS} = 15 Vdc)	2N3821	V_{GS}	−0.5	−2.0	Vdc
(I_D = 200 μAdc, V_{DS} = 15 Vdc)	2N3822		−1.0	−4.0	
Drain Cutoff Current (V_{DS} = 15 Vdc, V_{GS} = −8.0 Vdc)	2N3824	$I_{D(off)}$	–	0.1	nAdc
(V_{DS} = 15 Vdc, V_{GS} = −8.0 Vdc, T_A = 150°C)	2N3824		–	100	
ON CHARACTERISTICS					
Zero-Gate-Voltage Drain Current(1) (V_{DS} = 15 Vdc, V_{GS} = 0)	2N3821	I_{DSS}	0.5	2.5	mAdc
	2N3822		2.0	10	
DYNAMIC CHARACTERISTICS					
Forward Transfer Admittance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 kHz)(1)	2N3821	$\|y_{fs}\|$	1500	4500	μmhos
	2N3822		3000	6500	
(V_{DS} = 15 Vdc, V_{GS} = 0, f = 100 MHz)	2N3821		1500	–	
	2N3822		3000	–	
Output Admittance(1) (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 kHz)	2N3821	$\|y_{os}\|$	–	10	μmhos
	2N3822		–	20	
Drain-Source Resistance (V_{GS} = 0, I_D = 0, f = 1.0 kHz)	2N3824	$r_{ds(on)}$	–	250	Ohms
Input Capacitance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 MHz)		C_{iss}	–	6.0	pF
Reverse Transfer Capacitance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 MHz)	2N3821	C_{rss}	–	3.0	pF
	2N3822		–	3.0	
(V_{GS} = −8.0 Vdc, V_{DS} = 0, f = 1.0 MHz)	2N3824		–	3.0	
Average Noise Figure (V_{DS} = 15 Vdc, V_{GS} = 0, R_S = 1.0 megohm, f = 10 Hz, Noise Bandwidth = 5.0 Hz)	2N3821, 2N3822	NF	–	5.0	dB
Equivalent Input Noise Voltage (V_{DS} = 15 Vdc, V_{GS} = 0, f = 10 Hz, Noise Bandwidth = 5.0 Hz)	2N3821, 2N3822	e_n	–	200	nv/Hz½

*Indicates JEDEC Registered Data.
(1)Pulse Test: Pulse Width ≤100 ms, Duty Cycle ≤10%.

MOTOROLA Semiconductor Products Inc.

BOX 20912 • PHOENIX, ARIZONA 85036 • A SUBSIDIARY OF MOTOROLA INC.

MOTOROLA

SEMICONDUCTORS

PO BOX 20912 • PHOENIX, ARIZONA 85036

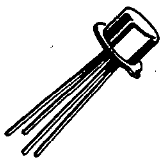
3N128

SILICON N-CHANNEL MOS FIELD-EFFECT TRANSISTOR

. . . designed for VHF amplifier and oscillator applications in communications equipment.

- High Forward Transadmittance – $|y_{fs}|$ = 5000 μmhos (Min) @ f = 1.0 kHz
- Low Input Capacitance – C_{iss} = 7.0 pF (Max) @ f = 1.0 MHz
- Low Noise Figure – NF = 5.0 dB (Max) @ f = 200 MHz
- High Power Gain – P_G = 13.5 dB (Min) @ f = 200 MHz
- Complete "y" Parameter Curves
- Third Order Intermodulation Distortion Performance Curve Provided

N-CHANNEL MOS FIELD-EFFECT TRANSISTOR



* MAXIMUM RATINGS

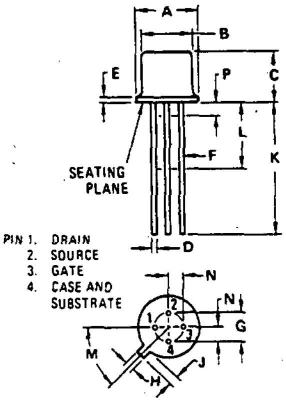
Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	+20	Vdc
Drain-Gate Voltage	V_{DG}	+20	Vdc
Gate-Source Voltage	V_{GS}	±10	Vdc
Drain Current	I_D	50	mAdc
Power Dissipation @ T_A = 25°C Derate above 25°C	P_D	330 2.2	mW mW/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-65 to +175	°C

*Indicates JEDEC Registered Data.

HANDLING PRECAUTIONS

MOS field-effect transistors have extremely high input resistance. They can be damaged by the accumulation of excess static charge. Avoid possible damage to the devices while handling, testing, or in actual operation, by following the procedures outlined below:

1. To avoid the build-up of static charge, the leads of the devices should remain shorted together with a metal ring except when being tested or used.
2. Avoid unnecessary handling. Pick up devices by the case instead of the leads.
3. Do not insert or remove devices from circuits with the power on because transient voltages may cause permanent damage to the devices.



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	5.31	5.84	0.209	0.230
B	4.52	4.95	0.178	0.195
C	4.32	5.33	0.170	0.210
D	0.41	0.53	0.016	0.021
E	–	0.76	–	0.030
F	0.41	0.48	0.016	0.019
G	2.54 BSC.		0.100 BSC	
H	0.91	1.17	0.036	0.046
J	0.71	1.22	0.028	0.048
K	12.70	–	0.500	–
L	6.35	–	0.250	–
M	45° BSC		45° BSC	
N	1.27 BSC		0.050 BSC.	
P	–	1.27	–	0.050

CASE 20-03
TO-206AF
(TO-72)

© MOTOROLA INC., 1982

DS 5506

3N128

***ELECTRICAL CHARACTERISTICS** (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Gate-Source Breakdown Voltage (1) (I_G = -10 μAdc, V_{DS} = 0)	$V_{(BR)GSS}$	-50	–	Vdc
Gate-Source Cutoff Voltage (V_{DS} = 15 Vdc, I_D = 50 μAdc)	$V_{GS(off)}$	-0.5	-8.0	Vdc
Gate Reverse Current (V_{GS} = -8.0 Vdc, V_{DS} = 0) (V_{GS} = -8.0 Vdc, V_{DS} = 0, T_A = 125°C)	I_{GSS}	– –	0.05 5.0	nAdc
ON CHARACTERISTICS				
Zero-Gate-Voltage Drain Current (2) (V_{DS} = 15 Vdc, V_{GS} = 0)	I_{DSS}	5.0	25	mAdc
SMALL-SIGNAL CHARACTERISTICS				
Forward Transadmittance (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 1.0 kHz)	$\|y_{fs}\|$	5000	12,000	μmhos
Forward Transconductance (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 200 MHz)	$Re(y_{fs})$	5000	–	μmhos
Output Conductance (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 200 MHz)	$Re(y_{os})$	–	500	μmhos
Input Conductance (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 200 MHz)	$Re(y_{is})$	–	800	μmhos
Input Capacitance (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 1.0 MHz)	C_{iss}	–	7.0	pF
Reverse Transfer Capacitance (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 1.0 MHz)	C_{rss}	0.05	0.35	pF
Noise Figure (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 200 MHz)	NF	–	5.0	dB
Power Gain (V_{DS} = 15 Vdc, I_D = 5.0 mAdc, f = 200 MHz)	P_G	13.5	23	dB

*Indicates JEDEC Registered Data.
(1) Caution Destructive Test, can damage gate oxide beyond operation.
(2) Pulse Test: Pulse Width = 300 μs, Duty Cycle = 2.0%.

TYPICAL CHARACTERISTICS
(T_A = 25°C)

FIGURE 1 – DRAIN CHARACTERISTICS

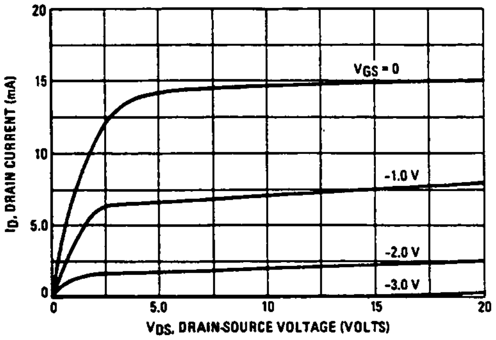
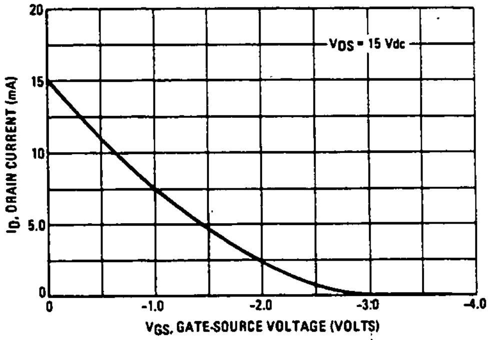


FIGURE 2 – TRANSFER CHARACTERISTICS



MOTOROLA *Semiconductor Products Inc.*

MOTOROLA
SEMICONDUCTORS
PO BOX 20912 • PHOENIX, ARIZONA 85036

MC7800 Series

THREE-TERMINAL POSITIVE FIXED VOLTAGE REGULATORS

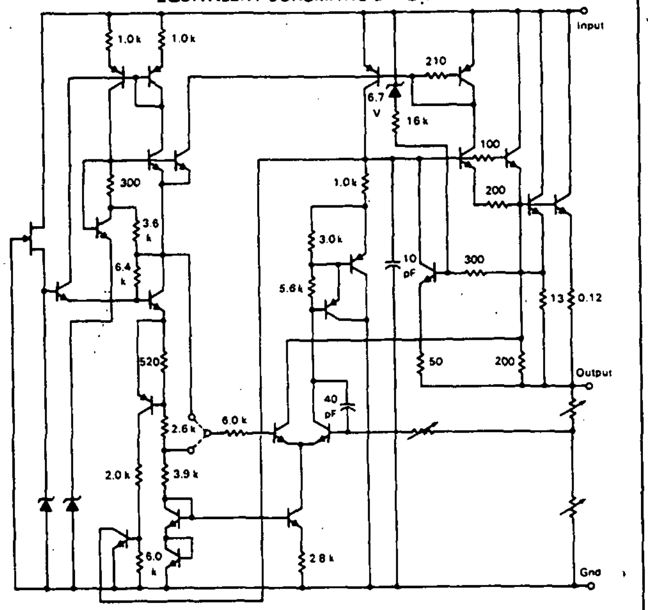
SILICON MONOLITHIC INTEGRATED CIRCUITS

THREE-TERMINAL POSITIVE VOLTAGE REGULATORS

These voltage regulators are monolithic integrated circuits designed as fixed-voltage regulators for a wide variety of applications including local, on-card regulation. These regulators employ internal current limiting, thermal shutdown, and safe-area compensation. With adequate heatsinking they can deliver output currents in excess of 1.0 ampere. Although designed primarily as a fixed voltage regulator, these devices can be used with external components to obtain adjustable voltages and currents.

- Output Current in Excess of 1.0 Ampere
- No External Components Required
- Internal Thermal Overload Protection
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation
- Output Voltage Offered in 2% and 4% Tolerance

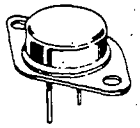
EQUIVALENT SCHEMATIC DIAGRAM

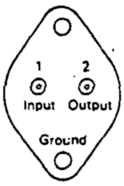


ORDERING INFORMATION

Device	Output Voltage Tolerance	Temperature Range	Package
MC78XXK MC78XXAK	4% 2%	-55 to +150°C	Metal Power
MC78XXBK	4%	-40 to +125°C	
MC78XXCK MC78XXACK	4% 2%	0 to +125°C	
MC78XXCT MC78XXACT	4% 2%		Plastic Power
MC78XXBT	4%	-40 to +125°C	

K SUFFIX
METAL PACKAGE
CASE 1-03
TO-204AA
(TO-3)

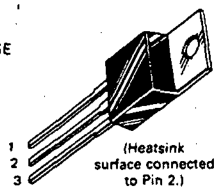




(Bottom View)

Pins 1 and 2 electrically isolated from case. Case is third electrical connection.

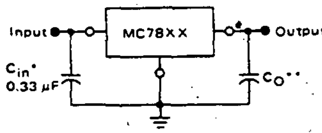
T SUFFIX
PLASTIC PACKAGE
CASE 221A
TO-220AB



Pin 1. Input
2. Ground
3. Output

(Heatsink surface connected to Pin 2.)

STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above the output voltage even during the low point on the input ripple voltage.

XX = these two digits of the type number indicate voltage.

* = C_{in} is required if regulator is located an appreciable distance from power supply filter.

** = C_O is not needed for stability; however, it does improve transient response.

XX indicates nominal voltage

TYPE NO./VOLTAGE			
MC7805	5.0 Volts	MC7815	15 Volts
MC7806	6.0 Volts	MC7818	18 Volts
MC7808	8.0 Volts	MC7824	24 Volts
MC7812	12 Volts		

© MOTOROLA INC., 1983 DS9557R1

MC7800 Series

MC7800 Series MAXIMUM RATINGS (T_A = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Input Voltage (5.0 V - 18 V) (24 V)	V_{in}	35 40	Vdc
Power Dissipation and Thermal Characteristics			
Plastic Package			
T_A = +25°C	P_D	Internally Limited	Watts
Derate above T_A = +25°C	$1/\theta_{JA}$	15.4	mW/°C
Thermal Resistance, Junction to Air	θ_{JA}	65	°C/W
T_C = +25°C	P_D	Internally Limited	Watts
Derate above T_C = +75°C (See Figure 1)	$1/\theta_{JC}$	200	mW/°C
Thermal Resistance, Junction to Case	θ_{JC}	5.0	°C/W
Metal Package			
T_A = +25°C	P_D	Internally Limited	Watts
Derate above T_A = +25°C	$1/\theta_{JA}$	22.5	mW/°C
Thermal Resistance, Junction to Air	θ_{JA}	45	°C/W
T_C = +25°C	P_D	Internally Limited	Watts
Derate above T_C = +65°C (See Figure 2)	$1/\theta_{JC}$	182	mW/°C
Thermal Resistance, Junction to Case	θ_{JC}	5.5	°C/W
Storage Junction Temperature Range	T_{stg}	-65 to +150	°C
Operating Junction Temperature Range	T_J		°C
MC7800, A		-55 to +150	
MC7800C, AC		0 to +150	
MC7800, B		-40 to +150	

DEFINITIONS

Line Regulation — The change in output voltage for a change in the input voltage. The measurement is made under conditions of low dissipation or by using pulse techniques such that the average chip temperature is not significantly affected.

Load Regulation — The change in output voltage for a change in load current at constant chip temperature.

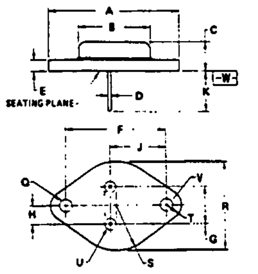
Maximum Power Dissipation — The maximum total device dissipation for which the regulator will operate within specifications.

Quiescent Current — That part of the input current that is not delivered to the load.

Output Noise Voltage — The rms ac voltage at the output, with constant load and no input ripple, measured over a specified frequency range.

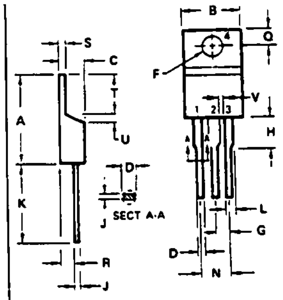
Long Term Stability — Output voltage stability under accelerated life test conditions with the maximum rated voltage listed in the devices' electrical characteristics and maximum power dissipation.

OUTLINE DIMENSIONS



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
B	–	22.23	–	0.875
C	6.35	11.43	0.250	0.450
D	0.97	1.09	0.038	0.043
E	–	3.43	–	0.135
F	30.15 BSC		1.187 BSC	
G	10.92 BSC		0.430 BSC	
H	5.46 BSC		0.215 BSC	
J	16.89 BSC		0.665 BSC	
K	7.92	–	0.312	–
Q	3.84	4.09	0.151	0.161
S	–	13.34	–	0.525
T	–	4.78	–	0.188
V	3.84	4.09	0.151	0.161

CASE 1-03 (TO-204AA) (TO-3)



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	15.11	15.75	0.595	0.620
B	9.65	10.29	0.380	0.405
C	4.06	4.82	0.160	0.190
D	0.64	0.89	0.025	0.035
F	3.61	3.73	0.142	0.147
G	2.41	2.67	0.095	0.105
H	2.79	3.30	0.110	0.130
J	0.36	0.56	0.014	0.022
K	12.70	14.27	0.500	0.562
L	1.14	1.27	0.045	0.050
N	4.83	5.33	0.190	0.210
Q	2.54	3.04	0.100	0.120
R	2.04	2.79	0.080	0.110
S	1.14	1.39	0.045	0.055
T	5.97	6.48	0.235	0.255
U	0.76	1.27	0.030	0.050
V	1.14	·	0.045	·

CASE 221A-02 TO-220AB

THERMAL INFORMATION

The maximum power consumption an integrated circuit can tolerate at a given operating ambient temperature, can be found from the equation:

$$P_{D(T_A)} = \frac{T_{J(max)} - T_A}{R_{\theta JA}(Typ)} \geq V_I I_S - V_O I_O$$

Where: $P_{D(T_A)}$ = Power Dissipation allowable at a given operating ambient temperature.

$T_{J(max)}$ = Maximum Operating Junction Temperature as listed in the Maximum Ratings Section

T_A = Maximum Desired Operating Ambient Temperature

$R_{\theta JA}(Typ)$ = Typical Thermal Resistance Junction to Ambient

I_S = Total Supply Current

MC7808, B, C

ELECTRICAL CHARACTERISTICS (V_{in} = 14 V, I_O = 500 mA, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted).

Characteristic	Symbol	MC7808			MC7808B			MC7808C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage (T_J = +25°C)	V_O	7.7	8.0	8.3	7.7	8.0	8.3	7.7	8.0	8.3	Vdc
Output Voltage (5.0 mA ≤ I_O ≤ 1.0 A, P_O ≤ 15 W) 10.5 Vdc ≤ V_{in} ≤ 23 Vdc 11.5 Vdc ≤ V_{in} ≤ 23 Vdc	V_O	 — 7.6	 — 8.0	 — 8.4	 — 7.6	 — 8.0	 — 8.4	 7.6 —	 8.0 —	 8.4 —	Vdc
Line Regulation (T_J = +25°C, Note 2) 10.5 Vdc ≤ V_{in} ≤ 25 Vdc 11 Vdc ≤ V_{in} ≤ 17 Vdc	Reg_{line}	 — —	 3.0 2.0	 80 40	 — —	 12 5.0	 160 80	 — —	 12 5.0	 160 80	mV
Load Regulation (T_J = +25°C, Note 2) 5.0 mA ≤ I_O ≤ 1.5 A 250 mA ≤ I_O ≤ 750 mA	Reg_{load}	 — —	 28 9.0	 100 40	 — —	 45 16	 160 80	 — —	 45 16	 160 80	mV
Quiescent Current (T_J = +25°C)	I_B	—	3.2	6.0	—	4.3	8.0	—	4.3	8.0	mA
Quiescent Current Change 10.5 Vdc ≤ V_{in} ≤ 25 Vdc 11.5 Vdc ≤ V_{in} ≤ 25 Vdc 5.0 mA ≤ I_O ≤ 1.0 A	ΔI_B	 — — —	 — 0.3 0.04	 — 0.8 0.5	 — — —	 — — —	 — 1.0 0.5	 — — —	 — — —	 1.0 — 0.5	mA
Ripple Rejection 11.5 Vdc ≤ V_{in} ≤ 21.5 Vdc, f = 120 Hz	RR	62	70	—	—	62	—	—	62	—	dB
Dropout Voltage (I_O = 1.0 A, T_J = +25°C)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage (T_A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V_n	—	10	40	—	10	—	—	10	—	µV/ V_O
Output Resistance f = 1.0 kHz	r_O	—	18	—	—	18	—	—	18	—	mΩ
Short-Circuit Current Limit (T_A = +25°C) V_{in} = 35 Vdc	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current (T_J = +25°C)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	±1.0	—	—	-0.8	—	—	-0.8	—	mV/ °C

MC7808A, AC

ELECTRICAL CHARACTERISTICS (V_{in} = 14 V, I_O = 1.0 A, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted)

Characteristics	Symbol	MC7808A			MC7808AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage (T_J = +25°C)	V_O	7.84	8.0	8.16	7.84	8.0	8.16	Vdc
Output Voltage (5.0 mA ≤ I_O ≤ 1.0 A, P_O ≤ 15 W) 10.6 Vdc ≤ V_{in} ≤ 23 Vdc	V_O	7.7	8.0	8.3	7.7	8.0	8.3	Vdc
Line Regulation (Note 2) 10.6 Vdc ≤ V_{in} ≤ 25 Vdc, I_O = 500 mA 11 Vdc ≤ V_{in} ≤ 17 Vdc 11 Vdc ≤ V_{in} ≤ 17 Vdc, T_J = +25°C 10.4 Vdc ≤ V_{in} ≤ 23 Vdc, T_J = +25°C	Reg_{line}	 — — — —	 4.0 6.0 2.0 4.0	 13 20 6.0 13	 — — — —	 12 15 5.0 12	 80 80 40 80	mV
Load Regulation (Note 2) 5.0 mA ≤ I_O ≤ 1.5 A, T_J = +25°C 5.0 mA ≤ I_O ≤ 1.0 A 250 mA ≤ I_O ≤ 750mA, T_J = +25°C 250 mA ≤ I_O ≤ 750 mA	Reg_{load}	 — — — —	 2.0 2.0 1.0 1.0	 25 25 15 25	 — — — —	 45 45 — 16	 100 100 — 50	mV
Quiescent Current T_J = +25°C	I_B	— —	— 3.2	5.0 4.0	— —	— 4.3	6.0 6.0	mA
Quiescent Current Change 11 Vdc ≤ V_{in} ≤ 25 Vdc, I_O = 500 mA 10.6 Vdc ≤ V_{in} ≤ 23 Vdc, T_J = +25°C 5.0 mA ≤ I_O ≤ 1.0 A	ΔI_B	 — — —	 0.3 0.2 0.04	 0.5 0.5 0.2	 — — —	 — — —	 0.8 0.8 0.5	mA
Ripple Rejection 11.5 Vdc ≤ V_{in} ≤ 21.5 Vdc, f = 120 Hz, T_J = +25°C 11.5 Vdc ≤ V_{in} ≤ 21.5 Vdc, f = 120 Hz, I_O = 500 mA	RR	 62 62	 70 70	 — —	 — —	 — 62	 — —	dB
Dropout Voltage (I_O = 1.0 A, T_J = +25°C)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	Vdc
Output Noise Voltage (T_A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V_n	—	10	40	—	10	—	µV/V_O
Output Resistance (f = 1.0 kHz)	r_O	—	2.0	—	—	18	—	mΩ
Short-Circuit Current Limit (T_A = +25°C) V_{in} = 35 Vdc	I_{sc}	—	0.2	1.2	—	0.2	—	A
Peak Output Current (T_J = +25°C)	I_{max}	1.3	2.5	3.3	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	±1.0	—	—	-0.8	—	mV/°C

NOTES: 1. T_{low} = -55°C for MC78XX, A; = 0° for MC78XXC, AC; = -40°C for MC78XXB. T_{high} = +150°C for MC78XX, A; = +125°C for MC78XXC, AC, B

2. Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MOTOROLA *Semiconductor Products Inc.*

MC7812, B, C

ELECTRICAL CHARACTERISTICS (V_{in} = 19 V, I_O = 500 mA, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted).

Characteristic	Symbol	MC7812			MC7812B			MC7812C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Output Voltage (T_J = +25°C)	V_O	11.5	12	12.5	11.5	12	12.5	11.5	12	12.5	Vdc
Output Voltage (5.0 mA ≤ I_O ≤ 1.0 A, P_O ≤ 15 W) 14.5 Vdc ≤ V_{in} ≤ 27 Vdc 15.5 Vdc ≤ V_{in} ≤ 27 Vdc	V_O	 — 11.4	 — 12	 — 12.6	 — 11.4	 — 12	 — 12.6	 11.4 —	 12 —	 12.6 —	Vdc
Line Regulation (T_J = +25°C, Note 2) 14.5 Vdc ≤ V_{in} ≤ 30 Vdc 16 Vdc ≤ V_{in} ≤ 22 Vdc	Reg_{line}	 — —	 5.0 3.0	 120 60	 — —	 13 6.0	 240 120	 — —	 13 6.0	 240 120	mV
Load Regulation (T_J = +25°C, Note 2) 5.0 mA ≤ I_O ≤ 1.5 A 250 mA ≤ I_O ≤ 750 mA	Reg_{load}	 — —	 30 10	 120 60	 — —	 46 17	 240 120	 — —	 46 17	 240 120	mV
Quiescent Current (T_J = +25°C)	I_B	—	3.4	6.0	—	4.4	8.0	—	4.4	8.0	mA
Quiescent Current Change 14.5 Vdc ≤ V_{in} ≤ 30 Vdc 15 Vdc ≤ V_{in} ≤ 30 Vdc 5.0 mA ≤ I_O ≤ 1.0 A	ΔI_B	 — — —	 — 0.3 0.04	 — 0.8 0.5	 — — —	 — — —	 — 1.0 0.5	 — — —	 — — —	 1.0 — 0.5	mA
Ripple Rejection 15 Vdc ≤ V_{in} ≤ 25 Vdc, f = 120 Hz	RR	61	68	—	—	60	—	—	60	—	dB
Dropout Voltage (I_O = 1.0 A, T_J = +25°C)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	—	2.0	—	Vdc
Output Noise Voltage (T_A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V_n	—	10	40	—	10	—	—	10	—	µV/ V_O
Output Resistance f = 1.0 kHz	r_O	—	18	—	—	18	—	—	18	—	mΩ
Short-Circuit Current Limit (T_A = +25°C) V_{in} = 35 Vdc	I_{sc}	—	0.2	1.2	—	0.2	—	—	0.2	—	A
Peak Output Current (T_J = +25°C)	I_{max}	1.3	2.5	3.3	—	2.2	—	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	±1.5	—	—	-1.0	—	—	-1.0	—	mV/ °C

MC7812A, AC

ELECTRICAL CHARACTERISTICS (V_{in} = 19 V, I_O = 1.0 A, T_J = T_{low} to T_{high} [Note 1] unless otherwise noted)

Characteristics	Symbol	MC7812A			MC7812AC			Unit
		Min	Typ	Max	Min	Typ	Max	
Output Voltage (T_J = +25°C)	V_O	11.75	12	12.25	11.75	12	12.25	Vdc
Output Voltage (5.0 mA ≤ I_O ≤ 1.0 A, P_O ≤ 15 W) 14.8 Vdc ≤ V_{in} ≤ 27 Vdc	V_O	11.5	12	12.5	11.5	12	12.5	Vdc
Line Regulation (Note 2) 14.8 Vdc ≤ V_{in} ≤ 30 Vdc, I_O = 500 mA 16 Vdc ≤ V_{in} ≤ 22 Vdc 16 Vdc ≤ V_{in} ≤ 22 Vdc, T_J = +25°C 14.5 Vdc ≤ V_{in} ≤ 27 Vdc, T_J = +25°C	Reg_{line}	 — — — —	 5.0 8.0 3.0 5.0	 18 30 9.0 18	 — — — —	 13 16 6.0 13	 120 120 60 120	mV
Load Regulation (Note 2) 5.0 mA ≤ I_O ≤ 1.5 A, T_J = +25°C 5.0 mA ≤ I_O ≤ 1.0 A 250 mA ≤ I_O ≤ 750mA, T_J = +25°C 250 mA ≤ I_O ≤ 750 mA	Reg_{load}	 — — — —	 2.0 2.0 1.0 1.0	 25 25 15 25	 — — — —	 46 46 — 17	 100 100 — 50	mV
Quiescent Current T_J = +25°C	I_B	— —	— 3.4	5.0 4.0	— —	— 4.4	6.0 6.0	mA
Quiescent Current Change 15 Vdc ≤ V_{in} ≤ 30 Vdc, I_O = 500 mA 14.8 Vdc ≤ V_{in} ≤ 27 Vdc, T_J = +25°C 5.0 mA ≤ I_O ≤ 1.0 A	ΔI_B	 — — —	 0.3 0.2 0.04	 0.5 0.5 0.2	 — — —	 — — —	 0.8 0.8 0.5	mA
Ripple Rejection 15 Vdc ≤ V_{in} ≤ 25 Vdc, f = 120 Hz, T_J = +25°C 15 Vdc ≤ V_{in} ≤ 25 Vdc, f = 120 Hz, I_O = 500 mA	RR	 61 61	 68 68	 — —	 — —	 — 60	 — —	dB
Dropout Voltage (I_O = 1.0 A, T_J = +25°C)	$V_{in} - V_O$	—	2.0	2.5	—	2.0	—	Vdc
Output Noise Voltage (T_A = +25°C) 10 Hz ≤ f ≤ 100 kHz	V_n	—	10	40	—	10	—	µV/V_O
Output Resistance (f = 1.0 kHz)	r_O	—	2.0	—	—	18	—	mΩ
Short-Circuit Current Limit (T_A = +25°C) V_{in} = 35 Vdc	I_{sc}	—	0.2	1.2	—	0.2	—	A
Peak Output Current (T_J = +25°C)	I_{max}	1.3	2.5	3.3	—	2.2	—	A
Average Temperature Coefficient of Output Voltage	TCV_O	—	±1.5	—	—	-1.0	—	mV/°C

NOTES. 1 T_{low} = -55°C for MC78XX, A; = 0° for MC78XXC, AC; = -40°C for MC78XXB. T_{high} = +150°C for MC78XX, A; = +125°C for MC78XXC, AC, B

2 Load and line regulation are specified at constant junction temperature. Changes in V_O due to heating effects must be taken into account separately. Pulse testing with low duty cycle is used.

MOTOROLA Semiconductor Products Inc.

TYPICAL CHARACTERISTICS

(T_A = +25°C *unless otherwise noted.*)

FIGURE 1 — WORST CASE POWER DISSIPATION versus AMBIENT TEMPERATURE (Case 221A)

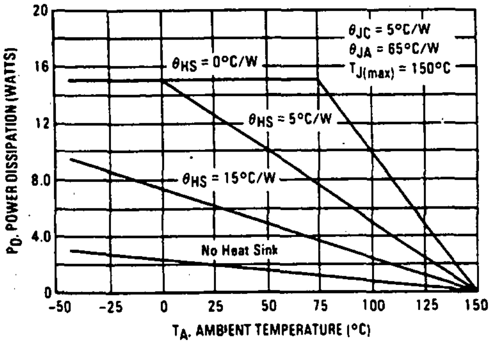


FIGURE 2 — WORST CASE POWER DISSIPATION versus AMBIENT TEMPERATURE (Case 1)

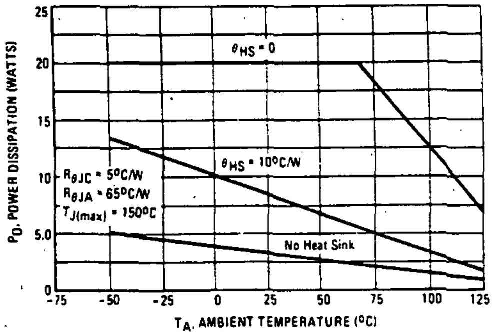


FIGURE 3 — INPUT OUTPUT DIFFERENTIAL AS A FUNCTION OF JUNCTION TEMPERATURE (MC78XXC, AC, B)

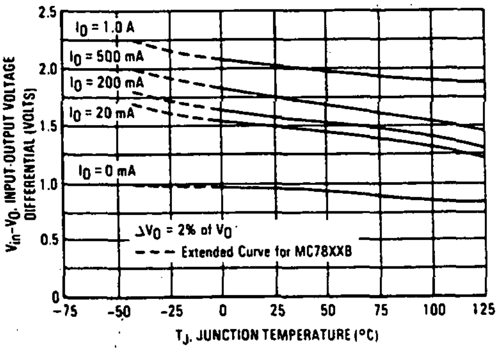


FIGURE 4 — INPUT OUTPUT DIFFERENTIAL AS A FUNCTION OF JUNCTION TEMPERATURE (MC78XX, A)

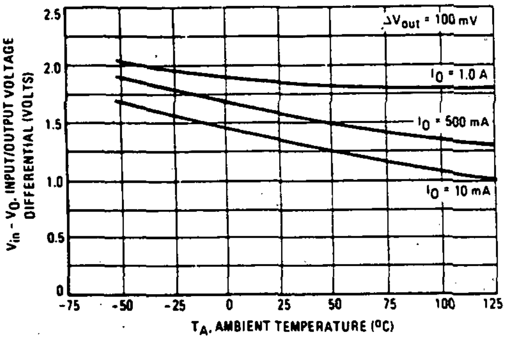


FIGURE 5 — PEAK OUTPUT CURRENT AS A FUNCTION OF INPUT-OUTPUT DIFFERENTIAL VOLTAGE (MC78XXC, AC, B)

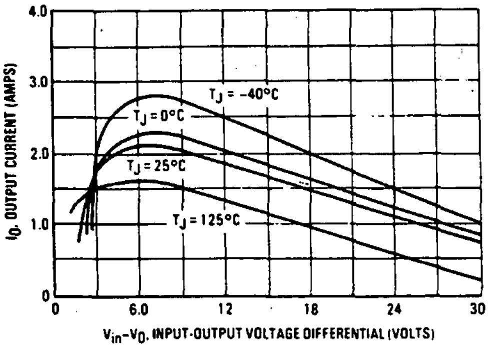
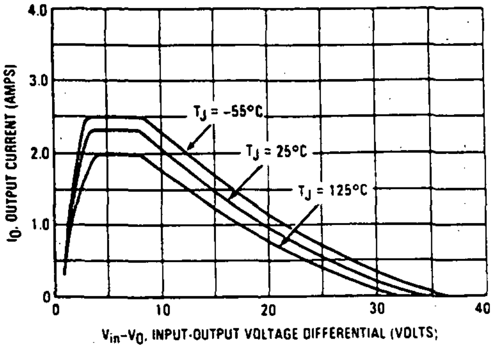


FIGURE 6 — PEAK OUTPUT CURRENT AS A FUNCTION OF INPUT-OUTPUT DIFFERENTIAL VOLTAGE (MC78XX, A)



TYPICAL CHARACTERISTICS (continued)
(T_A = 25°C unless otherwise noted.)

FIGURE 7 – RIPPLE REJECTION AS A FUNCTION OF OUTPUT VOLTAGES (MC78XXC, AC)

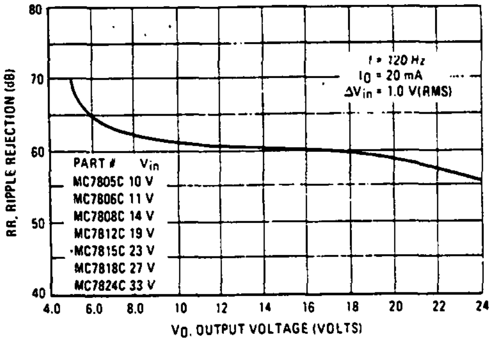


FIGURE 8 – RIPPLE REJECTION AS A FUNCTION OF FREQUENCY (MC78XXC, AC, A)

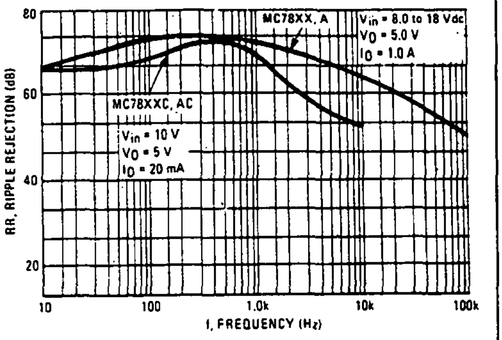


FIGURE 9 – OUTPUT VOLTAGE AS A FUNCTION OF JUNCTION TEMPERATURE (MC78XXC, AC, B)

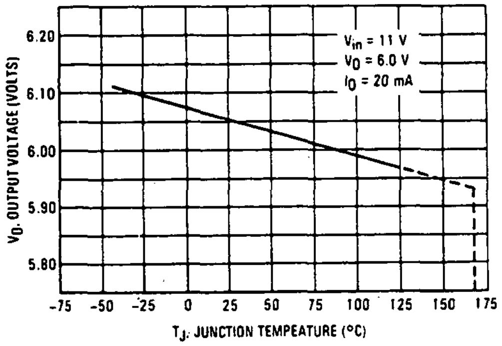


FIGURE 10 – OUTPUT IMPEDANCE AS A FUNCTION OF OUTPUT VOLTAGE (MC78XXC, AC)

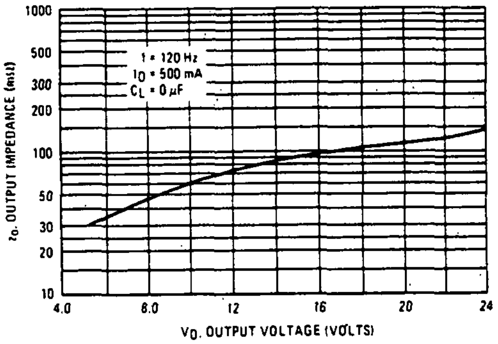


FIGURE 11 – QUIESCENT CURRENT AS A FUNCTION OF TEMPERATURE (MC78XXC, AC, B)

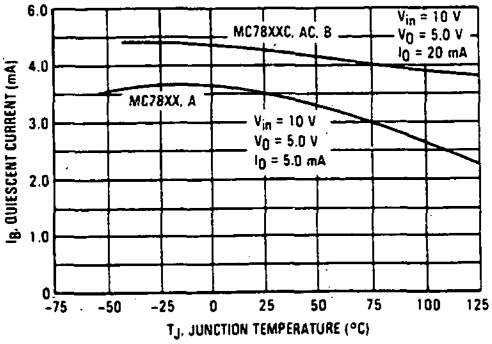
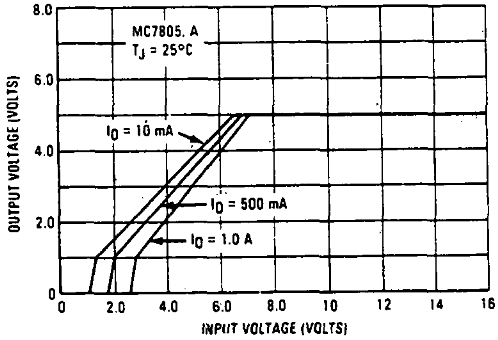


FIGURE 12 – DROPOUT CHARACTERISTICS (MC78XX, A)



MC7800 Series

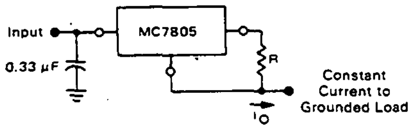
APPLICATIONS INFORMATION

Design Considerations

The MC7800 Series of fixed voltage regulators are designed with Thermal Overload Protection that shuts down the circuit when subjected to an excessive power overload condition, Internal Short-Circuit Protection that limits the maximum current the circuit will pass, and Output Transistor Safe-Area Compensation that reduces the output short-circuit current as the voltage across the pass transistor is increased.

In many low current applications, compensation capacitors are not required. However, it is recommended that the regulator input be bypassed with a capacitor if the regulator is connected to the power supply filter with long wire lengths, or if the output load capacitance is large. An input bypass capacitor should be selected to provide good high-frequency characteristics to insure stable operation under all load conditions. A 0.33 µF or larger tantalum, mylar, or other capacitor having low internal impedance at high frequencies should be chosen. The bypass capacitor should be mounted with the shortest possible leads directly across the regulators input terminals. Normally good construction techniques should be used to minimize ground loops and lead resistance drops since the regulator has no external sense lead.

FIGURE 13 – CURRENT REGULATOR



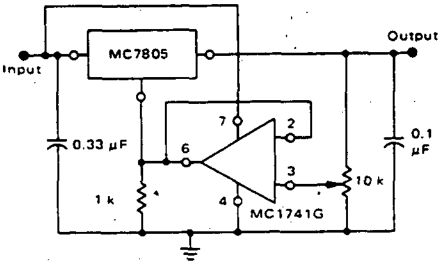
The MC7800 regulators can also be used as a current source when connected as above. In order to minimize dissipation the MC7805C is chosen in this application. Resistor R determines the current as follows:

$$I_O = \frac{5\,V}{R} + I_Q$$

$I_Q \cong 1.5$ mA over line and load changes

For example, a 1-ampere current source would require R to be a 5-ohm, 10-W resistor and the output voltage compliance would be the input voltage less 7 volts.

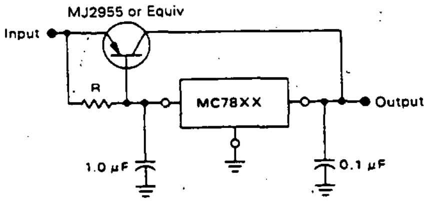
FIGURE 14 – ADJUSTABLE OUTPUT REGULATOR



V_O, 7.0 V to 20 V
$V_{IN} - V_O \geq 2.0$ V

The addition of an operational amplifier allows adjustment to higher or intermediate values while retaining regulation characteristics. The minimum voltage obtainable with this arrangement is 2.0 volts greater than the regulator voltage.

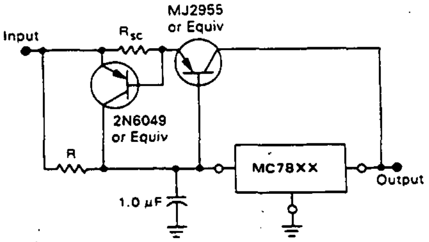
FIGURE 15 – CURRENT BOOST REGULATOR



XX = 2 digits of type number indicating voltage.

The MC7800 series can be current boosted with a PNP transistor. The MJ2955 provides current to 5.0 amperes. Resistor R in conjunction with the V_{BE} of the PNP determines when the pass transistor begins conducting; this circuit is not short-circuit proof. Input-output differential voltage minimum is increased by V_{BE} of the pass transistor.

FIGURE 16 – SHORT-CIRCUIT PROTECTION



XX = 2 digits of type number indicating voltage.

The circuit of Figure 15 can be modified to provide supply protection against short circuits by adding a short-circuit sense resistor, R_{SC}, and an additional PNP transistor. The current sensing PNP must be able to handle the short-circuit current of the three-terminal regulator. Therefore, a four-ampere plastic power transistor is specified.

Motorola reserves the right to make changes to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others.

MOTOROLA Semiconductor Products Inc.

BOX 20912 • PHOENIX, ARIZONA 85036 • A SUBSIDIARY OF MOTOROLA INC.

National Semiconductor

Voltage Comparators

LM139/239/339, LM139A/239A/339A, LM2901, LM3302 Low Power Low Offset Voltage Quad Comparators

General Description

The LM139 series consists of four independent precision voltage comparators with an offset voltage specification as low as 2 mV max for all four comparators. These were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM139 series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, they will directly interface with MOS logic— where the low power drain of the LM339 is a distinct advantage over standard comparators.

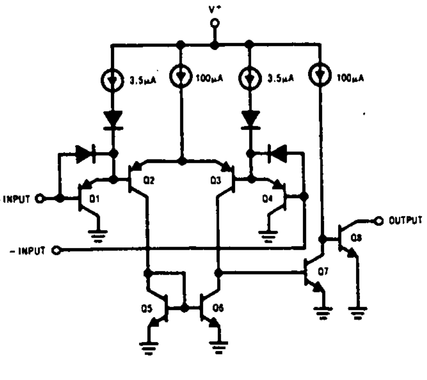
Advantages

- High precision comparators
- Reduced V_{OS} drift over temperature
- Eliminates need for dual supplies
- Allows sensing near gnd
- Compatible with all forms of logic
- Power drain suitable for battery operation

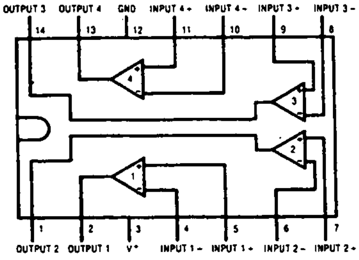
Features

- Wide single supply voltage range or dual supplies
  - LM139 series, LM139A series, LM2901: 2 V_{DC} to 36 V_{DC} or ±1 V_{DC} to ±18 V_{DC}
  - LM3302: 2 V_{DC} to 28 V_{DC} or ±1 V_{DC} to ±14 V_{DC}
- Very low supply current drain (0.8 mA) — independent of supply voltage (2 mW/comparator at +5 V_{DC})
- Low input biasing current — 25 nA
- Low input offset current — ±5 nA; and offset voltage — ±3 mV
- Input common-mode voltage range includes gnd
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage — 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

Schematic and Connection Diagrams



Dual-In-Line and Flat Package

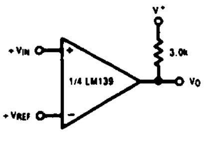


TOP VIEW

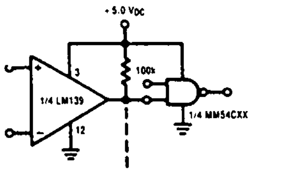
Order Number LM139J, LM139AJ, LM239J, LM239AJ, LM339J, LM339AJ, LM2901J or LM3302J
See NS Package J14A

Order Number LM339N, LM339AN, LM2901N or LM3302N
See NS Package N14A

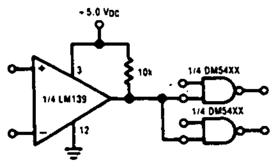
Typical Applications ($V^+ = 5.0\ V_{DC}$)



Basic Comparator



Driving CMOS



Driving TTL

Absolute Maximum Ratings

	LM139/LM239/LM339 LM139A/LM239A/LM339A LM2901	LM3302
Supply Voltage, V^+	36 V_{DC} or ±18 V_{DC}	28 V_{DC} or ±14 V_{DC}
Differential Input Voltage	36 V_{DC}	28 V_{DC}
Input Voltage	−0.3 V_{DC} to +36 V_{DC}	−0.3 V_{DC} to +28 V_{DC}
Power Dissipation (Note 1)		
Molded DIP	570 mW	570 mW
Cavity DIP	900 mW	
Flat Pack	800 mW	
Output Short-Circuit to GND, (Note 2)	Continuous	Continuous
Input Current ($V_{IN} < -0.3\ V_{DC}$), (Note 3)	50 mA	50 mA
Operating Temperature Range		−40°C to +85°C
LM339A	0°C to +70°C	
LM239A	−25°C to +85°C	
LM2901	−40°C to +85°C	
LM139A	−55°C to +125°C	
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

Electrical Characteristics ($V^+ = 5\ V_{DC}$, Note 4)

PARAMETER	CONDITIONS	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25°C$, (Note 9)		±1.0	±2.0		±1.0	±2.0		±2.0	±5.0		±2.0	±5.0		±2.0	±7.0		±3	±20	mV_{DC}
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $T_A = 25°C$, (Note 5)		25	100		25	250		25	100		25	250		25	250		25	500	nA_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $T_A = 25°C$		±3.0	±25		±5.0	±50		±3.0	±25		±5.0	±50		±5	±50		±3	±100	nA_{DC}
Input Common-Mode Voltage Range	$T_A = 25°C$, (Note 6)	0		$V^+-1.5$	0		$V^+-1.5$	0		$V^+-1.5$	0		$V^+-1.5$	0		$V^+-1.5$	0		$V^+-1.5$	V_{DC}
Supply Current	$R_L = \infty$ on all Comparators, $T_A = 25°C$		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2.0		0.8	2	mA_{DC}
	$R_L = \infty$, $V^+ = 30V$, $T_A = 25°C$														1	2.5				mA_{DC}
Voltage Gain	$R_L \geq 15\ k\Omega$, $V^+ = 15\ V_{DC}$ (To Support Large V_O Swing), $T_A = 25°C$	50	200		50	200			200			200		25	100		2	30		V/mV
Large Signal Response Time	V_{IN} = TTL Logic Swing, $V_{REF} = 1.4\ V_{DC}$, $V_{RL} = 5\ V_{DC}$, $R_L = 5.1\ k\Omega$, $T_A = 25°C$		300			300			300			300			300			300		ns
Response Time	$V_{RL} = 5\ V_{DC}$, $R_L = 5.1\ k\Omega$, $T_A = 25°C$, (Note 7)		1.3			1.3			1.3			1.3			1.3			1.3		μs
Output Sink Current	$V_{IN(-)} \geq 1\ V_{DC}$, $V_{IN(+)} = 0$, $V_O \leq 1.5\ V_{DC}$, $T_A = 25°C$	6.0	16		6.0	16		6.0	16		6.0	16		6.0	16		6.0	16		mA_{DC}
Saturation Voltage	$V_{IN(-)} \geq 1\ V_{DC}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\ mA$, $T_A = 25°C$		250	400		250	400		250	400		250	400			400		250	500	mV_{DC}
Output Leakage Current	$V_{IN(+)} \geq 1\ V_{DC}$, $V_{IN(-)} = 0$, $V_O = 5\ V_{DC}$, $T_A = 25°C$		0.1			0.1			0.1			0.1			0.1			0.1		nA_{DC}

Electrical Characteristics (Continued)

PARAMETER	CONDITIONS	LM139A			LM239A, LM339A			LM139			LM239, LM339			LM2901			LM3302			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	(Note 9)			4.0			4.0			9.0			9.0		9	15			40	mV_{DC}
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$			±100			±150			±100			±150		50	200			300	nA_{DC}
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range			300			400			300			400		200	500			1000	nA_{DC}
Input Common-Mode Voltage Range		0		V^+-2.0	0		V^+-2.0	0		V^+-2.0	0		V^+-2.0	0		V^+-2.0	0		V^+-2.0	V_{DC}
Saturation Voltage	$V_{IN(-)} \geq 1\ V_{DC}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4$ mA			700			700			700			700		400	700			700	mV_{DC}
Output Leakage Current	$V_{IN(+)} \geq 1\ V_{DC}$, $V_{IN(-)} = 0$, $V_O = 30\ V_{DC}$			1.0			1.0			1.0			1.0			1.0			1.0	μA_{DC}
Differential Input Voltage	Keep all V_{IN}'s $\geq 0\ V_{DC}$ (or V^- if used), (Note 8)			36			36			36			36	0		36			28	V_{DC}

Note 1: For operating at high temperatures, the LM339/LM339A, LM2901, LM3302 must be derated based on a 125°C maximum junction temperature and a thermal resistance of 175°C/W which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM239 and LM139 must be derated based on a 150°C maximum junction temperature. The low bias dissipation and the "ON-OFF" characteristic of the outputs keeps the chip dissipation very small ($P_D \leq 100$ mW), provided the output transistors are allowed to saturate.

Note 2: Short circuits from the output to V^+ can cause excessive heating and eventual destruction. The maximum output current is approximately 20 mA independent of the magnitude of V^+.

Note 3: This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the comparators to go to the V^+ voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output states will re-establish when the input voltage, which was negative, again returns to a value greater than $-0.3\ V_{DC}$ (at 25°C).

Note 4: These specifications apply for $V^+ = 5\ V_{DC}$ and $-55°C \leq T_A \leq +125°C$, unless otherwise stated. With the LM239/LM239A, all temperature specifications are limited to $-25°C \leq T_A \leq +85°C$, the LM339/LM339A temperature specifications are limited to $0°C \leq T_A \leq +70°C$, and the LM2901, LM3302 temperature range is $-40°C \leq T_A \leq +85°C$.

Note 5: The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.

Note 6: The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is V^+ −1.5V, but either or both inputs can go to $+30\ V_{DC}$ without damage (25V for LM3302).

Note 7: The response time specified is a 100 mV input step with 5 mV overdrive. For larger overdrive signals 300 ns can be obtained, see typical performance characteristics section.

Note 8: Positive excursions of input voltage may exceed the power supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than $-0.3\ V_{DC}$ (or $0.3\ V_{DC}$ below the magnitude of the negative power supply, if used) (at 25°C).

Note 9: At output switch point, $V_O \cong 1.4\ V_{DC}$, $R_S = 0\Omega$ with V^+ from $5\ V_{DC}$; and over the full input common-mode range ($0\ V_{DC}$ to $V^+ - 1.5\ V_{DC}$).

µA741

FREQUENCY-COMPENSATED OPERATIONAL AMPLIFIER

FAIRCHILD LINEAR INTEGRATED CIRCUITS

GENERAL DESCRIPTION – The µA741 is a high performance monolithic Operational Amplifier constructed using the Fairchild Planar* epitaxial process. It is intended for a wide range of analog applications. High common mode voltage range and absence of latch-up tendencies make the µA741 ideal for use as a voltage follower. The high gain and wide range of operating voltage provides superior performance in integrator, summing amplifier, and general feedback applications.

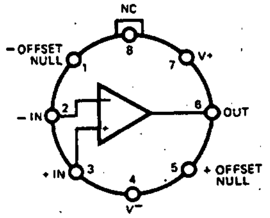
- **NO FREQUENCY COMPENSATION REQUIRED**
- **SHORT CIRCUIT PROTECTION**
- **OFFSET VOLTAGE NULL CAPABILITY**
- **LARGE COMMON MODE AND DIFFERENTIAL VOLTAGE RANGES**
- **LOW POWER CONSUMPTION**
- **NO LATCH-UP**

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	
µA741A, µA741, µA741E	±22 V
µA741C	±18 V
Internal Power Dissipation (Note 1)	
Metal Can	500 mW
Molded and Hermetic DIP	670 mW
Mini DIP	310 mW
Flatpak	570 mW
Differential Input Voltage	±30 V
Input Voltage (Note 2)	±15 V
Storage Temperature Range	
Metal Can, Hermetic DIP, and Flatpak	–65°C to +150°C
Mini DIP, Molded DIP	–55°C to +125°C
Operating Temperature Range	
Military (µA741A, µA741)	–55°C to +125°C
Commercial (µA741E, µA741C)	0°C to +70°C
Pin Temperature (Soldering)	
Metal Can, Hermetic DIPs, and Flatpak (60 s)	300°C
Molded DIPs (10 s)	260°C
Output Short Circuit Duration (Note 3)	Indefinite

CONNECTION DIAGRAMS

8-PIN METAL CAN
(TOP VIEW)
PACKAGE OUTLINE 5B
PACKAGE CODE H

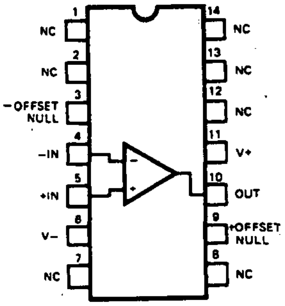


Note: Pin 4 connected to case

ORDER INFORMATION

TYPE	PART NO.
µA741A	µA741AHM
µA741	µA741HM
µA741E	µA741EHC
µA741C	µA741HC

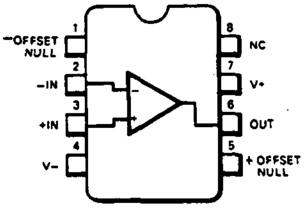
14-PIN DIP
(TOP VIEW)
PACKAGE OUTLINES 6A, 9A
PACKAGE CODES D P



ORDER INFORMATION

TYPE	PART NO.
µA741A	µA741ADM
µA741	µA741DM
µA741E	µA741EDC
µA741C	µA741DC
µA741C	µA741PC

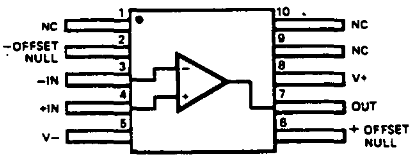
8-PIN MINI DIP
(TOP VIEW)
PACKAGE OUTLINES 6T 9T
PACKAGE CODES R T



ORDER INFORMATION

TYPE	PART NO.
µA741C	µA741TC
µA741C	µA741RC

10-PIN FLATPAK
(TOP VIEW)
PACKAGE OUTLINE 3F
PACKAGE CODE F



ORDER INFORMATION

TYPE	PART NO.
µA741A	µA741AFM
µA741	µA741FM

*Planar is a patented Fairchild process.

μA741A

ELECTRICAL CHARACTERISTICS: V_S = ±15 V, T_A = 25°C unless otherwise specified.

CHARACTERISTICS (see definitions)		CONDITIONS		MIN	TYP	MAX	UNITS
Input Offset Voltage		$R_S \leq 50\Omega$			0.8	3.0	mV
Average Input Offset Voltage Drift						15	μV/°C
Input Offset Current					3.0	30	nA
Average Input Offset Current Drift						0.5	nA/°C
Input Bias Current					30	80	nA
Power Supply Rejection Ratio		V_S = +20, −20; V_S = −20, +10V, R_S = 50Ω			15	50	μV/V
Output Short Circuit Current				10	25	40	mA
Power Dissipation		V_S = ±20V			80	150	mW
Input Impedance		V_S = ±20V		1.0	6.0		MΩ
Large Signal Voltage Gain		V_S = ±20V, R_L = 2kΩ, V_{OUT} = ±15V		50			V/mV
Transient Response	Rise Time				0.25	0.8	μs
(Unity Gain)	Overshoot				6.0	20	%
Bandwidth (Note 4)				.437	1.5		MHz
Slew Rate (Unity Gain)		V_{IN} = ±10V		0.3	0.7		V/μs
The following specifications apply for $-55°C \leq T_A \leq +125°C$							
Input Offset Voltage						4.0	mV
Input Offset Current						70	nA
Input Bias Current						210	nA
Common Mode Rejection Ratio		V_S = ±20V, V_{IN} = ±15V, R_S = 50Ω		80	95		dB
Adjustment For Input Offset Voltage		V_S = ±20V		10			mV
Output Short Circuit Current				10		40	mA
Power Dissipation		V_S = ±20V	−55°C			165	mW
			+125°C			135	mW
Input Impedance		V_S = ±20V		0.5			MΩ
Output Voltage Swing		V_S = ±20V,	R_L = 10kΩ	±16			V
			R_L = 2kΩ	±15			V
Large Signal Voltage Gain		V_S = ±20V, R_L = 2kΩ, V_{OUT} = ±15V		32			V/mV
		V_S = ±5V, R_L = 2kΩ, V_{OUT} = ±2 V		10			V/mV

NOTES

1. Rating applies to ambient temperatures up to 70°C. Above 70°C ambient derate linearly at 6.3mW/°C for the metal can, 8.3mW/°C for the DIP and 7.1mW/°C for the Flatpak.
2. For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.
3. Short circuit may be to ground or either supply. Rating applies to +125°C case temperature or 75°C ambient temperature.
4. Calculated value from: $BW(MHz) = \frac{0.35}{\text{Rise Time } (\mu s)}$

µA741

ELECTRICAL CHARACTERISTICS: V_S = ±15 V, T_A = 25°C unless otherwise specified.

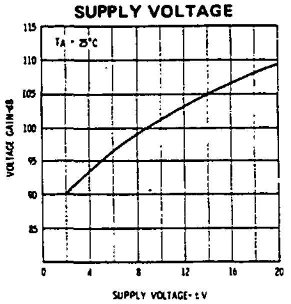
CHARACTERISTICS (see definitions)		CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage		$R_S \leq 10\ k\Omega$		1.0	5.0	mV
Input Offset Current				20	200	nA
Input Bias Current				80	500	nA
Input Resistance			0.3	2.0		MΩ
Input Capacitance				1.4		pF
Offset Voltage Adjustment Range				±15		mV
Large Signal Voltage Gain		$R_L \geq 2\ k\Omega$, V_{OUT} = ±10 V	50,000	200,000		
Output Resistance				75		Ω
Output Short Circuit Current				25		mA
Supply Current				1.7	2.8	mA
Power Consumption				50	85	mW
Transient Response (Unity Gain)	Rise time	V_{IN} = 20 mV, R_L = 2 kΩ, $C_L \leq 100$ pF		0.3		µs
	Overshoot			5.0		%
Slew Rate		$R_L \geq 2\ k\Omega$		0.5		V/µs

The following specifications apply for $-55°C \leq T_A \leq +125°C$:

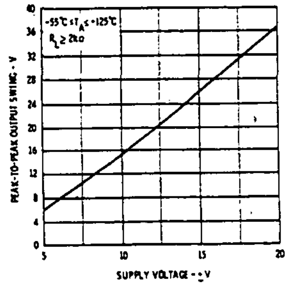
CHARACTERISTICS	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	$R_S \leq 10\ k\Omega$		1.0	6.0	mV
Input Offset Current	T_A = +125°C		7.0	200	nA
	T_A = −55°C		85	500	nA
Input Bias Current	T_A = +125°C		0.03	0.5	µA
	T_A = −55°C		0.3	1.5	µA
Input Voltage Range		±12	±13		V
Common Mode Rejection Ratio	$R_S \leq 10\ k\Omega$	70	90		dB
Supply Voltage Rejection Ratio	$R_S \leq 10\ k\Omega$		30	150	µV/V
Large Signal Voltage Gain	$R_L \geq 2\ k\Omega$, V_{OUT} = ±10 V	25,000			
Output Voltage Swing	$R_L \geq 10\ k\Omega$	±12	±14		V
	$R_L \geq 2\ k\Omega$	±10	±13		V
Supply Current	T_A = +125°C		1.5	2.5	mA
	T_A = −55°C		2.0	3.3	mA
Power Consumption	T_A = +125°C		45	75	mW
	T_A = −55°C		60	100	mW

TYPICAL PERFORMANCE CURVES FOR µA741A AND µA741

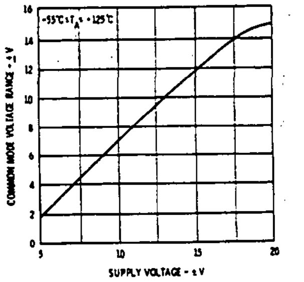
OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF SUPPLY VOLTAGE



OUTPUT VOLTAGE SWING AS A FUNCTION OF SUPPLY VOLTAGE



INPUT COMMON MODE VOLTAGE RANGE AS A FUNCTION OF SUPPLY VOLTAGE

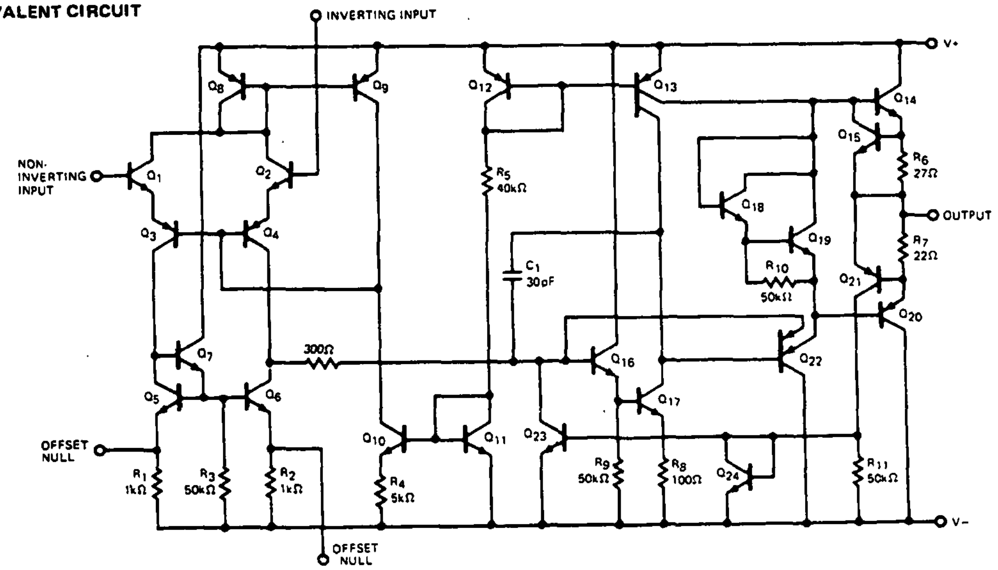


μA741E

ELECTRICAL CHARACTERISTICS: V_S = ±15 V, T_A = 25°C unless otherwise specified.

CHARACTERISTICS (see definitions)	CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage	$R_S \leq 50\Omega$		0.8	3.0	mV
Average Input Offset Voltage Drift				15	μV/°C
Input Offset Current			3.0	30	nA
Average Input Offset Current Drift				0.5	nA/°C
Input Bias Current			30	80	nA
Power Supply Rejection Ratio	V_S = +10, −20; V_S = +20, −10V, R_S = 50Ω		15	50	μV/V
Output Short Circuit Current		10	25	40	mA
Power Dissipation	V_S = ±20V		80	150	mW
Input Impedance	V_S = ±20V	1.0	6.0		MΩ
Large Signal Voltage Gain	V_S = ±20V, R_L = 2kΩ, V_{OUT} = ±15V	50			V/mV
Transient Response (Unity Gain) — Rise Time			0.25	0.8	μs
Transient Response (Unity Gain) — Overshoot			6.0	20	%
Bandwidth (Note 4)		.437	1.5		MHz
Slew Rate (Unity Gain)	V_{IN} = ±10V	0.3	0.7		V/μs
The following specifications apply for $0°C \leq T_A \leq 70°C$					
Input Offset Voltage				4.0	mV
Input Offset Current				70	nA
Input Bias Current				210	nA
Common Mode Rejection Ratio	V_S = ±20V, V_{IN} = ±15V, R_S = 50Ω	80	95		dB
Adjustment For Input Offset Voltage	V_S = ±20V	10			mV
Output Short Circuit Current		10		40	mA
Power Dissipation	V_S = ±20V			150	mW
Input Impedance	V_S = ±20V	0.5			MΩ
Output Voltage Swing	V_S = ±20V, R_L = 10kΩ	±16			V
Output Voltage Swing	V_S = ±20V, R_L = 2kΩ	±15			V
Large Signal Voltage Gain	V_S = ±20V, R_L = 2kΩ, V_{OUT} = ±15V	32			V/mV
Large Signal Voltage Gain	V_S = ±5V, R_L = 2kΩ, V_{OUT} = ±2 V	10			V/mV

EQUIVALENT CIRCUIT



μA741C

ELECTRICAL CHARACTERISTICS: $V_S = \pm 15$ V, $T_A = 25°C$ unless otherwise specified.

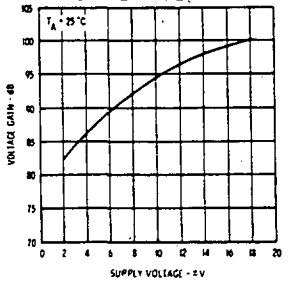
CHARACTERISTICS (see definitions)		CONDITIONS	MIN	TYP	MAX	UNITS
Input Offset Voltage		$R_S \leq 10$ kΩ		2.0	6.0	mV
Input Offset Current				20	200	nA
Input Bias Current				80	500	nA
Input Resistance			0.3	2.0		MΩ
Input Capacitance				1.4		pF
Offset Voltage Adjustment Range				±15		mV
Input Voltage Range			±12	±13		V
Common Mode Rejection Ratio		$R_S \leq 10$ kΩ	70	90		dB
Supply Voltage Rejection Ratio		$R_S \leq 10$ kΩ		30	150	μV/V
Large Signal Voltage Gain		$R_L \geq 2$ kΩ, $V_{OUT} = \pm 10$ V	20,000	200,000		
Output Voltage Swing		$R_L \geq 10$ kΩ	±12	±14		V
		$R_L \geq 2$ kΩ	±10	±13		V
Output Resistance				75		Ω
Output Short Circuit Current				25		mA
Supply Current				1.7	2.8	mA
Power Consumption				50	85	mW
Transient Response (Unity Gain)	Rise time	$V_{IN} = 20$ mV, $R_L = 2$ kΩ, $C_L \leq 100$ pF		0.3		μs
	Overshoot			5.0		%
Slew Rate		$R_L \geq 2$ kΩ		0.5		V/μs

The following specifications apply for $0°C \leq T_A \leq +70°C$:

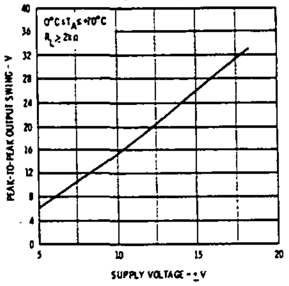
Input Offset Voltage				7.5	mV
Input Offset Current				300	nA
Input Bias Current				800	nA
Large Signal Voltage Gain	$R_L \geq 2$ kΩ, $V_{OUT} = \pm 10$ V	15,000			
Output Voltage Swing	$R_L \geq 2$ kΩ	±10	±13		V

TYPICAL PERFORMANCE CURVES FOR μA741E AND μA741C

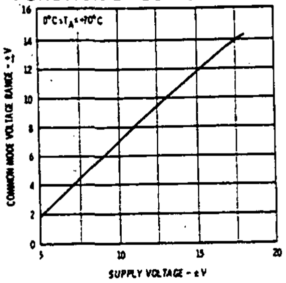
OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF SUPPLY VOLTAGE



OUTPUT VOLTAGE SWING AS A FUNCTION OF SUPPLY VOLTAGE

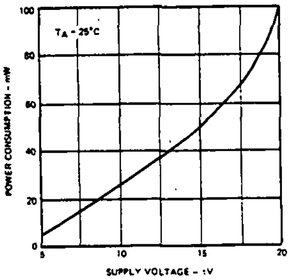


INPUT COMMON MODE VOLTAGE RANGE AS A FUNCTION OF SUPPLY VOLTAGE

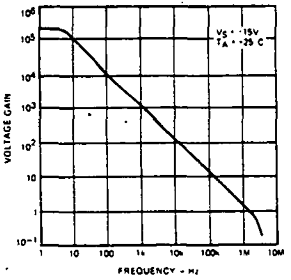


TYPICAL PERFORMANCE CURVES FOR μA741A, μA741, μA741E AND μA741C

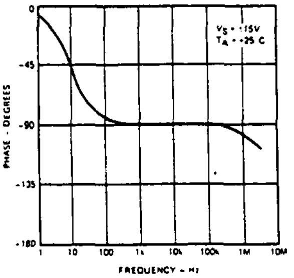
POWER CONSUMPTION AS A FUNCTION OF SUPPLY VOLTAGE



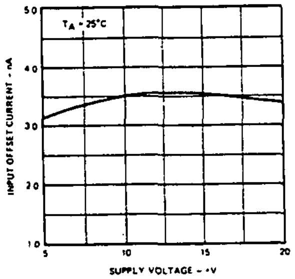
OPEN LOOP VOLTAGE GAIN AS A FUNCTION OF FREQUENCY



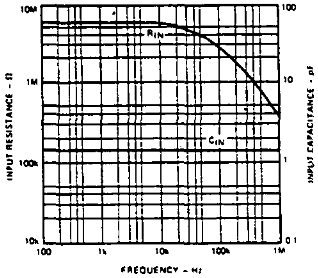
OPEN LOOP PHASE RESPONSE AS A FUNCTION OF FREQUENCY



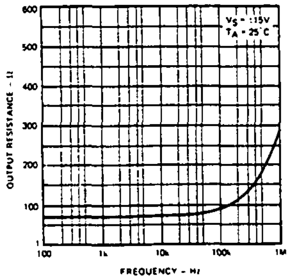
INPUT OFFSET CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



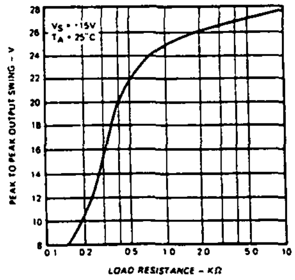
INPUT RESISTANCE AND INPUT CAPACITANCE AS A FUNCTION OF FREQUENCY



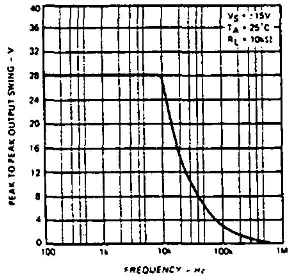
OUTPUT RESISTANCE AS A FUNCTION OF FREQUENCY



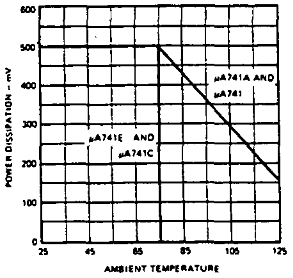
OUTPUT VOLTAGE SWING AS A FUNCTION OF LOAD RESISTANCE



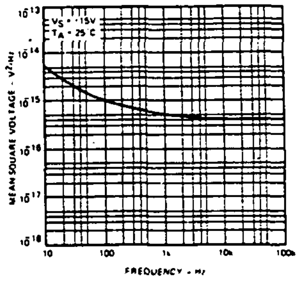
OUTPUT VOLTAGE SWING AS A FUNCTION OF FREQUENCY



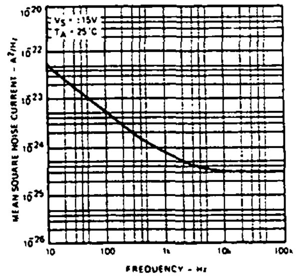
ABSOLUTE MAXIMUM POWER DISSIPATION AS A FUNCTION OF AMBIENT TEMPERATURE



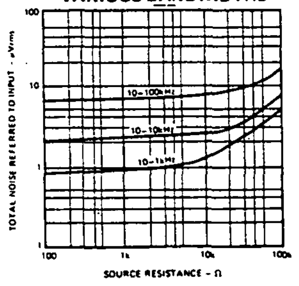
INPUT NOISE VOLTAGE AS A FUNCTION OF FREQUENCY



INPUT NOISE CURRENT AS A FUNCTION OF FREQUENCY

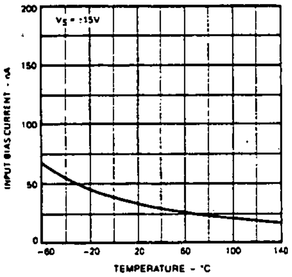


BROADBAND NOISE FOR VARIOUS BANDWIDTHS

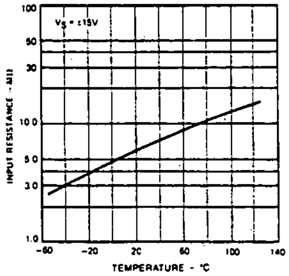


TYPICAL PERFORMANCE CURVES FOR μA741A AND μA741

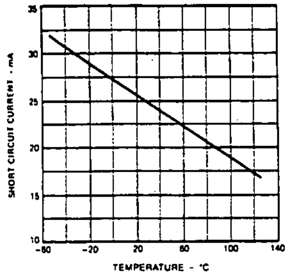
INPUT BIAS CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



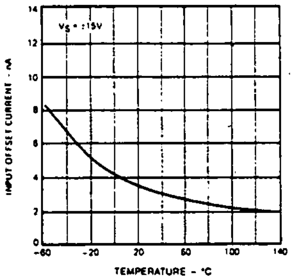
INPUT RESISTANCE AS A FUNCTION OF AMBIENT TEMPERATURE



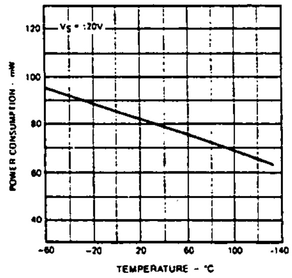
OUTPUT SHORT-CIRCUIT CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



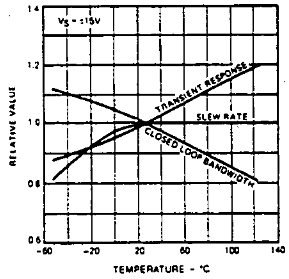
INPUT OFFSET CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



POWER CONSUMPTION AS A FUNCTION OF AMBIENT TEMPERATURE

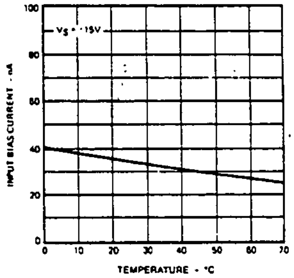


FREQUENCY CHARACTERISTICS AS A FUNCTION OF AMBIENT TEMPERATURE

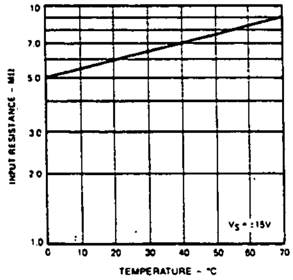


TYPICAL PERFORMANCE CURVES FOR μA741E AND μA741C

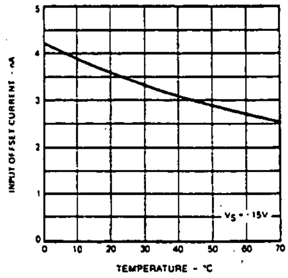
INPUT BIAS CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



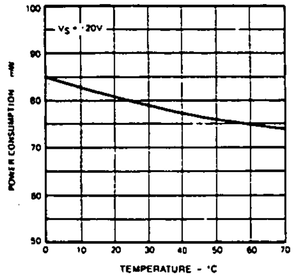
INPUT RESISTANCE AS A FUNCTION OF AMBIENT TEMPERATURE



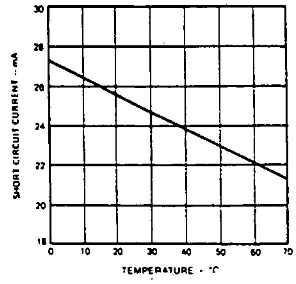
INPUT OFFSET CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



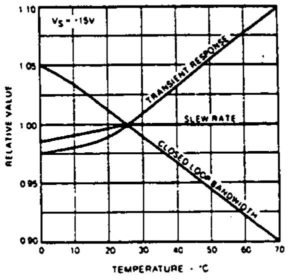
POWER CONSUMPTION AS A FUNCTION OF AMBIENT TEMPERATURE



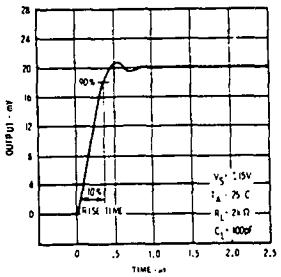
OUTPUT SHORT CIRCUIT CURRENT AS A FUNCTION OF AMBIENT TEMPERATURE



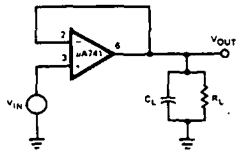
FREQUENCY CHARACTERISTICS AS A FUNCTION OF AMBIENT TEMPERATURE



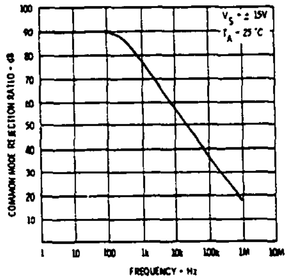
TRANSIENT RESPONSE



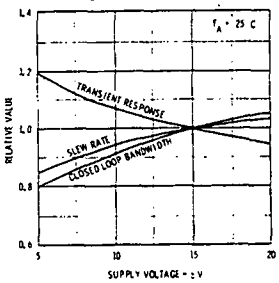
TRANSIENT RESPONSE TEST CIRCUIT



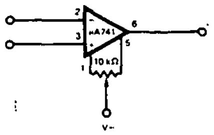
COMMON MODE REJECTION RATIO AS A FUNCTION OF FREQUENCY



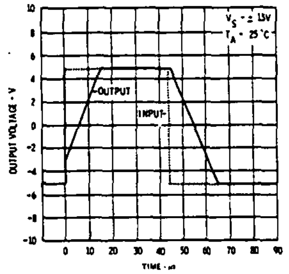
FREQUENCY CHARACTERISTICS AS A FUNCTION OF SUPPLY VOLTAGE



VOLTAGE OFFSET NULL CIRCUIT

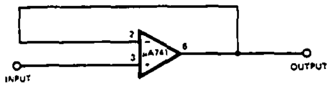


VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



TYPICAL APPLICATIONS

UNITY-GAIN VOLTAGE FOLLOWER



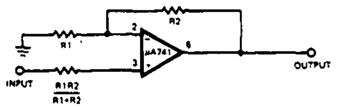
$R_{IN} = 400 M\Omega$

$C_{IN} = 1 pF$

$R_{OUT} << 1 \Omega$

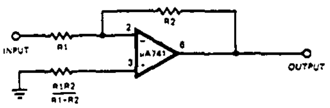
B.W. = 1 MHz

NON-INVERTING AMPLIFIER



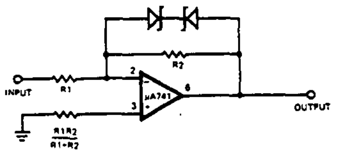
GAIN	R1	R2	B W	R_{IN}
10	1 kΩ	9 kΩ	100 kHz	400 MΩ
100	100 Ω	9.9 kΩ	10 kHz	280 MΩ
1000	100 Ω	99.9 kΩ	1 kHz	80 MΩ

INVERTING AMPLIFIER



GAIN	R1	R2	B W	R_{IN}
1	10 kΩ	10 kΩ	1 MHz	10 kΩ
10	1 kΩ	10 kΩ	100 kHz	1 kΩ
100	1 kΩ	100 kΩ	10 kHz	1 kΩ
1000	100 Ω	100 kΩ	1 kHz	100 Ω

CLIPPING AMPLIFIER

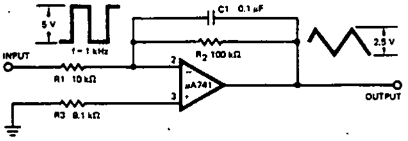


$$\frac{E_{OUT}}{E_{IN}} = \frac{R2}{R1} \text{ if } |E_{OUT}| < V_Z + 0.7\ V$$

where V_Z = Zener breakdown voltage

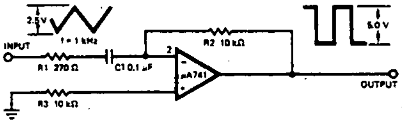
TYPICAL APPLICATIONS (Cont'd)

SIMPLE INTEGRATOR



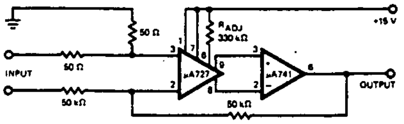
$$E_{OUT} = -\frac{1}{R_1C_1}\int E_{IN}dt$$

SIMPLE DIFFERENTIATOR



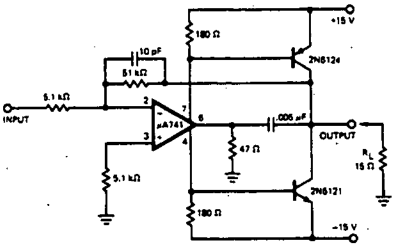
$$E_{OUT} = -R2C\frac{dE_{IN}}{dt}$$

LOW DRIFT LOW NOISE AMPLIFIER

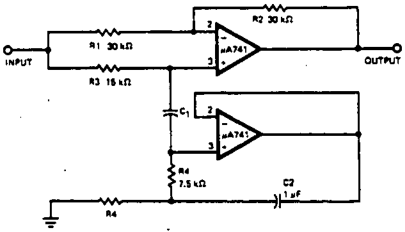


Voltage Gain = 10^3
Input Offset Voltage Drift = 0.6 μV/°C
Input Offset Current Drift = 2.0 pA/°C

HIGH SLEW RATE POWER AMPLIFIER



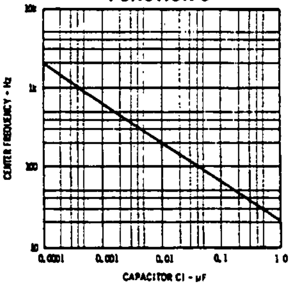
NOTCH FILTER USING THE μA741 AS A GYRATOR



Trim R3 such that

$$\frac{R1}{R2} = \frac{R3}{2\ R4}$$

NOTCH FREQUENCY AS A FUNCTION C[1]



National Semiconductor **Operational Amplifiers/Buffers**

LM101A/LM201A/LM301A Operational Amplifiers

General Description

The LM101A series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. Advanced processing techniques make possible an order of magnitude reduction in input currents, and a redesign of the biasing circuitry reduces the temperature drift of input current. Improved specifications include:

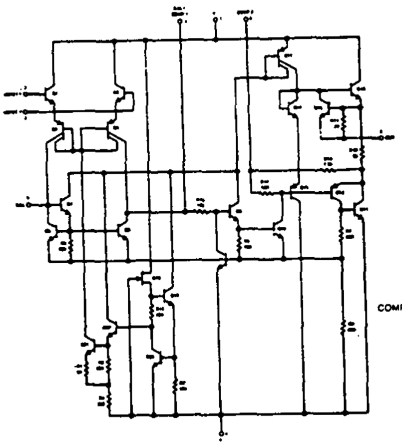
- Offset voltage 3 mV maximum over temperature (LM101A/LM201A)
- Input current 100 nA maximum over temperature (LM101A/LM201A)
- Offset current 20 nA maximum over temperature (LM101A/LM201A)
- Guaranteed drift characteristics
- Offsets guaranteed over entire common mode and supply voltage ranges
- Slew rate of 10V/μs as a summing amplifier

This amplifier offers many features which make its application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, freedom from oscillations and compensation with a single 30 pF capacitor. It has advantages over internally compensated amplifiers in that the frequency compensation can be tailored to the particular application. For example, in low frequency circuits it can be overcompensated for increased stability margin. Or the compensation can be optimized to give more than a factor of ten improvement in high frequency performance for most applications.

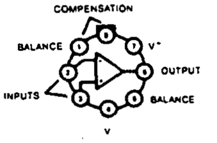
In addition, the device provides better accuracy and lower noise in high impedance circuitry. The low input currents also make it particularly well suited for long interval integrators or timers, sample and hold circuits and low frequency waveform generators. Further, replacing circuits where matched transistor pairs buffer the inputs of conventional IC op amps, it can give lower offset voltage and drift at a lower cost.

The LM101A is guaranteed over a temperature range of −55°C to +125°C, the LM201A from −25°C to +85°C, and the LM301A from 0°C to 70°C.

Schematic** and Connection Diagrams (Top Views)

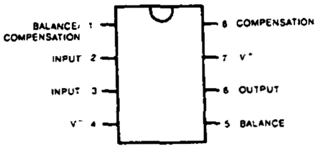


Metal Can Package



Order Number LM101AH, LM201AH or LM301AH
See NS Package H08C

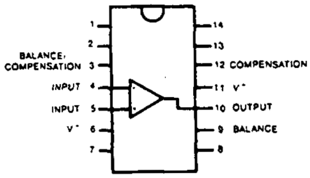
Dual-In-Line Package



Order Number LM101AJ, LM201AJ, LM301AJ
See NS Package J08A

Order Number LM301AN
See NS Package N08A

Dual-In-Line Package



Note: Pin 6 connected to bottom of package

Order Number LM101AJ-14, LM201AJ-14 or LM301AJ-14
See NS Package J14A

**Pin connections shown are for metal can.

Absolute Maximum Ratings

	LM101A/LM201A	LM301A
Supply Voltage	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW
Differential Input Voltage	±30V	±30V
Input Voltage (Note 2)	±15V	±15V
Output Short Circuit Duration (Note 3)	Indefinite	Indefinite
Operating Temperature Range	−55°C to +125°C (LM101A) −25°C to +85°C (LM201A)	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C

Electrical Characteristics (Note 4)

PARAMETER	CONDITIONS	LM101A/LM201A			LM301A			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage LM101A, LM201A, LM301A	$T_A = 25°C$ $R_S \leq 50\ k\Omega$		0.7	2.0		2.0	7.5	mV
Input Offset Current	$T_A = 25°C$		1.5	10		3.0	50	nA
Input Bias Current	$T_A = 25°C$		30	75		70	250	nA
Input Resistance	$T_A = 25°C$	1.5	4.0		0.5	2.0		MΩ
Supply Current	$T_A = 25°C$ $V_S = \pm 20V$ $V_S = \pm 15V$		1.8	3.0		1.8	3.0	mA mA
Large Signal Voltage Gain	$T_A = 25°C$, $V_S = \pm 15V$ $V_{OUT} = \pm 10V$, $R_L \geq 2\ k\Omega$	50	160		25	160		V/mV
Input Offset Voltage	$R_S \leq 50\ k\Omega$ $R_S \leq 10\ k\Omega$			3.0			10	mV mV
Average Temperature Coefficient of Input Offset Voltage	$R_S \leq 50\ k\Omega$ $R_S \leq 10\ k\Omega$		3.0	15		6.0	30	μV/°C μV/°C
Input Offset Current	 $T_A = T_{MAX}$ $T_A = T_{MIN}$			20			70	nA nA nA
Average Temperature Coefficient of Input Offset Current	$25°C \leq T_A \leq T_{MAX}$ $T_{MIN} \leq T_A \leq 25°C$		0.01 0.02	0.1 0.2		0.01 0.02	0.3 0.6	nA/°C nA/°C
Input Bias Current				0.1			0.3	μA
Supply Current	$T_A = T_{MAX}$, $V_S = \pm 20V$		1.2	2.5				mA
Large Signal Voltage Gain	$V_S = \pm 15V$, $V_{OUT} = \pm 10V$, $R_L \geq 2k$	25			15			V/mV
Output Voltage Swing	$V_S = \pm 15V$ $R_L = 10\ k\Omega$ $R_L = 2\ k\Omega$	 ±12 ±10	 ±14 ±13		 ±12 ±10	 ±14 ±13		 V V
Input Voltage Range	$V_S = \pm 20V$ $V_S = \pm 15V$	±15	 +15, −13		 ±12	 +15, −13		V V
Common-Mode Rejection Ratio	$R_S \leq 50\ k\Omega$ $R_S \leq 10\ k\Omega$	80	96		70	90		dB dB
Supply Voltage Rejection Ratio	$R_S \leq 50\ k\Omega$ $R_S \leq 10\ k\Omega$	80	96		70	96		dB dB

Note 1: The maximum junction temperature of the LM101A is 150°C, and that of the LM201A/LM301A is 100°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient, or 45°C/W, junction to case. The thermal resistance of the dual-in-line package is 187°C/W, junction to ambient.

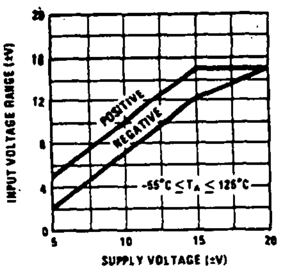
Note 2: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Continuous short circuit is allowed for case temperatures to 125°C and ambient temperatures to 75°C for LM101A/LM201A, and 70°C and 55°C respectively for LM301A.

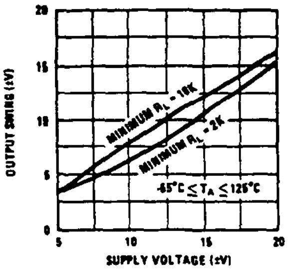
Note 4: Unless otherwise specified, these specifications apply for C1 = 30 pF, $\pm 5V \leq V_S \leq \pm 20V$ and $-55°C \leq T_A \leq +125°C$ (LM101A), $\pm 5V \leq V_S \leq \pm 20V$ and $-25°C \leq T_A \leq +85°C$ (LM201A), $\pm 5V \leq V_S \leq \pm 15V$ and $0°C \leq T_A \leq +70°C$ (LM301A).

Guaranteed Performance Characteristics LM101A/LM201A

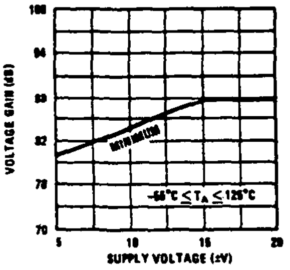
Input Voltage Range



Output Swing

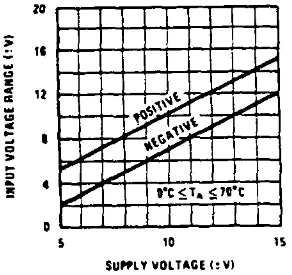


Voltage Gain

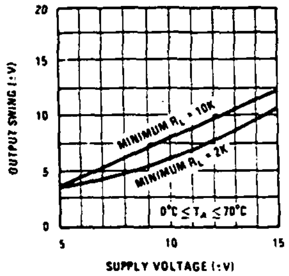


Guaranteed Performance Characteristics LM301A

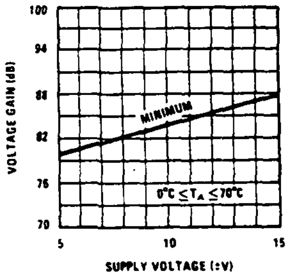
Input Voltage Range



Output Swing

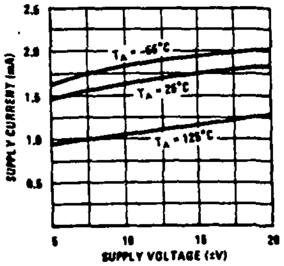


Voltage Gain

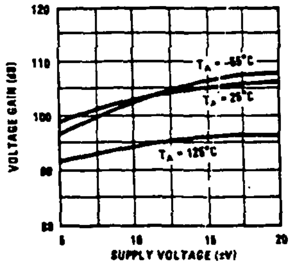


Typical Performance Characteristics

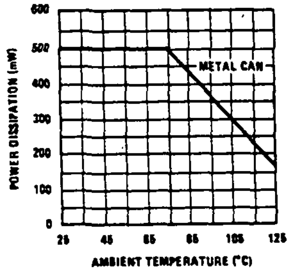
Supply Current



Voltage Gain

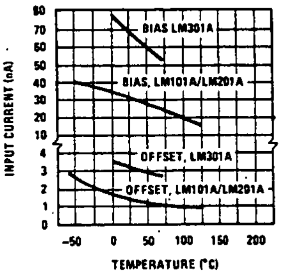


Maximum Power Dissipation

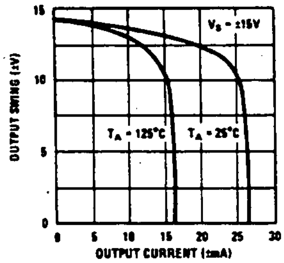


Typical Performance Characteristics (Continued)

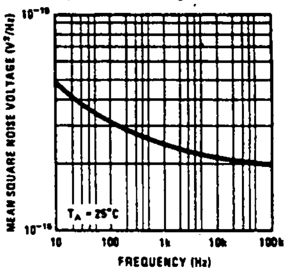
Input Current, LM101A/LM201A/LM301A



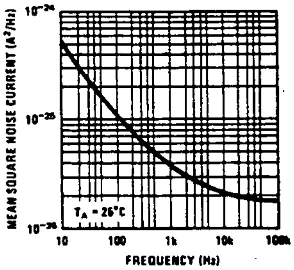
Current Limiting



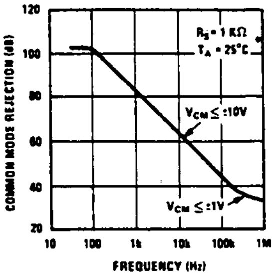
Input Noise Voltage



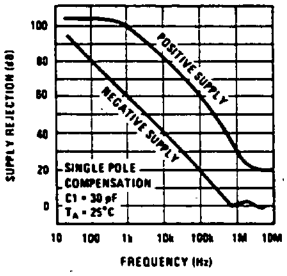
Input Noise Current



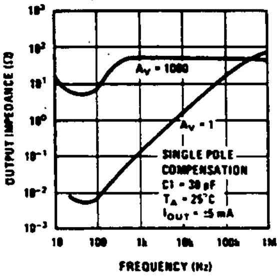
Common Mode Rejection



Power Supply Rejection

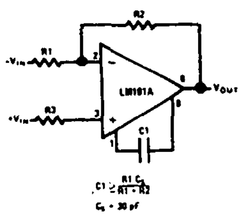


Closed Loop Output Impedance

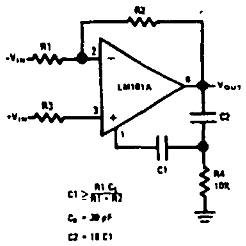


Typical Performance Characteristics for Various Compensation Circuits**

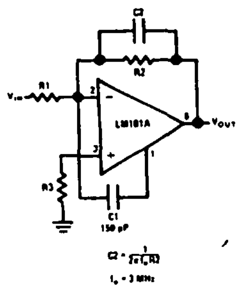
Single Pole Compensation



Two Pole Compensation

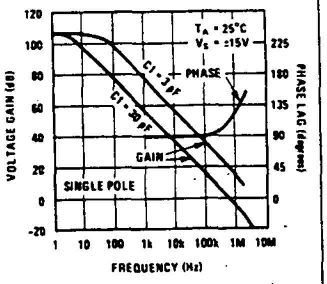


Feedforward Compensation

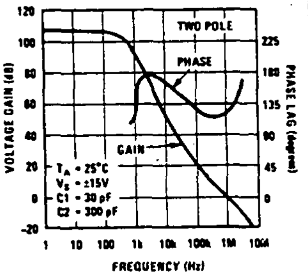


**Pin connections shown are for metal can.

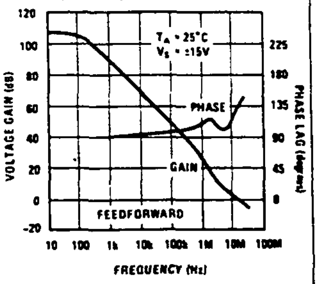
Open Loop Frequency Response



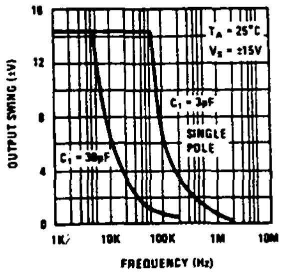
Open Loop Frequency Response



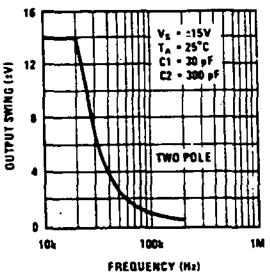
Open Loop Frequency Response



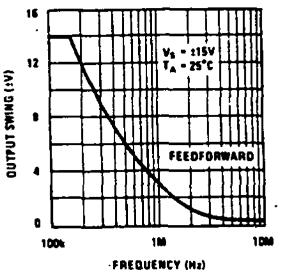
Large Signal Frequency Response



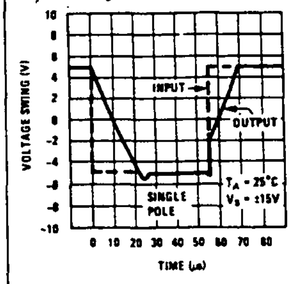
Large Signal Frequency Response



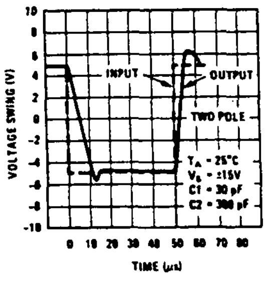
Large Signal Frequency Response



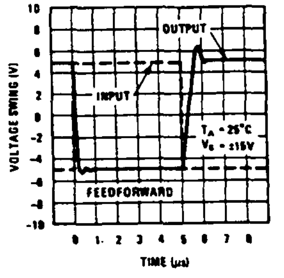
Voltage Follower Pulse Response



Voltage Follower Pulse Response



Inverter Pulse Response



APÉNDICE

E VALORES ESTÁNDAR DE LOS COMPONENTES

E.0 INTRODUCCIÓN

En este apéndice se listan los valores estándar de los componentes para ayudar en la selección de valores de resistores y capacitores al diseñar un sistema electrónico. Existe alguna variación en los valores de la tabla de un fabricante a otro. Por tanto, las tablas se deben considerar como típicas.

E.1 RESISTORES

Están disponibles resistores de carbón con 10% de tolerancia y con los siguientes valores de potencia: $\frac{1}{4}$, $\frac{1}{2}$, 1 y 2 W. Estos resistores se fabrican en los valores mostrados en la tabla E.1. Así, por ejemplo, si un diseño precisa de un resistor de 675 Ω, se puede elegir un resistor de 680 Ω. Si se trata de una resistencia de 10% de tolerancia, el fabricante garantiza que el valor real se ubicará entre 612 Ω y 748 Ω.

Tabla E.1 Valores estándar de resistencias

2.7	3.3	3.9	4.7	Cada uno de estos valores está multiplicado por 10^n, donde $n = 0, 1, 2, 3, 4, 5, \ldots$
5.6	6.8	8.2	10.0	
12.0	15.0	18.0	22.0	

E.2 CAPACITORES

En la tabla E.2, se presentan valores típicos de capacitores de un fabricante. Son capacitores de 10% de tolerancia, y los valores en las tablas están en microfarads.

Tabla E.2

Capacitores de disco cerámicos

3.3	30	200	560	2200
5	39	220	600	2500
6	47	240	680	2700
6.8	50	250	750	3000
7.5	51	270	800	3300
8	56	300	820	3900
10	68	330	910	4000
12	75	350	1000	4300
15	82	360	1200	4700
18	91	390	1300	5000
20	100	400	1500	5600
22	120	470	1600	6800
24	130	500	1800	7500
25	150	510	2000	8200
27	180			

Capacitores de tantalio

0.0047	0.010	0.022	todos × 10^n, donde n = 0, 1, 2, 3, 4, 5, (hasta 330 μF)
0.0056	0.012	0.027	
0.0068	0.015	0.033	
0.0082	0.018	0.039	

Capacitores electrolíticos

250	2000
500	3000
1000	4000
1500	5000

APÉNDICE

F RUIDO EN SISTEMAS ELECTRÓNICOS

F.0 INTRODUCCIÓN

En prácticamente todo sistema electrónico, es necesario medir señales pequeñas. Por lo general, esta tarea se halla limitada en precisión y posibilidad de detección debido al ruido. El ruido limita la precisión de la medida y la detección de la señal. En este apéndice, se analizan algunos de los problemas de ruido y se describen técnicas para mejorar el desempeño.

El término *ruido* implica cualesquier tensiones o corrientes que acompañan a la señal deseada y tienden a contaminarla. Existen muchos tipos diferentes de fuentes de ruido en los sistemas electrónicos. En ocasiones, el ruido se genera internamente, como en los resistores, diodos y amplificadores. Otras veces, el ruido se produce externamente, como sucede en el alambrado de interconexión, o es provocado por circuitos.

El problema del ruido ambiental se puede reducir bastante siguiendo la práctica del sentido común en la ingeniería. Esto incluye los procedimientos de conexión a tierra y blindaje adecuados. Se pueden lograr mejoras considerando el ruido electrónico (ruido térmico y de amplificador), sus características y sus efectos.

F.1 FUENTES DE RUIDO

Entre las fuentes de ruido que deben considerarse incluyen las siguientes:

1. Ruido térmico que aparece en la resistencia de la fuente.
2. Ruido producido en la instrumentación a la entrada del amplificador.
3. Ruido generado en el ambiente, como interferencia de frecuencias de alta potencia, ignición en autos, radio y televisión, iluminación, y vibración estructural.

Estas fuentes de ruido se consideran en las siguientes secciones.

F.1.1 Ruido de resistores

El ruido generado en un resistor se denomina *ruido térmico* o *Johnson* y se produce por el movimiento aleatorio de electrones debido a agitación térmica. Este ruido es función de la temperatura y tiene un valor cuadrático medio (es decir, potencia promedio) dado por la ecuación

$$\overline{e_n^2} = 4kRT(f_2 - f_1) \tag{F.1}$$

donde

k = constante de Boltzmann (1.38×10^{-23} W · s)

T = temperatura del resistor en grados Kelvin

R = resistencia en ohms

$f_2 - f_1$ = ancho de banda del ruido en hertz

Este ruido Johnson o del resistor es *blanco,* ya que su valor rms por unidad de ancho de banda es constante desde cd hasta altas frecuencias.

El circuito equivalente para un resistor ruidoso se compone de un resistor *sin ruido* en serie con una fuente de tensión de ruido, como se muestra en la figura F.1. La tensión de ruido es una función aleatoria con valor rms (raíz cuadrática media) constante de tensión por unidad de ancho de banda. La potencia del ruido es proporcional al ancho de banda.

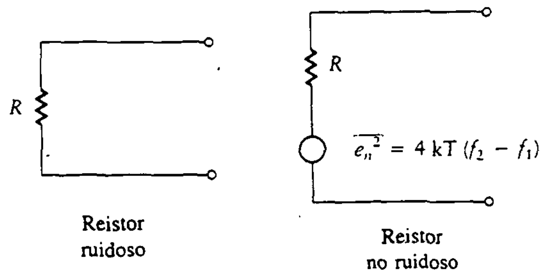


Figura F.1
Circuito equivalente para un resistor ruidoso.

Ejemplo F.1

Determínese la magnitud de la tensión de ruido resistivo para un resistor de 10 kΩ a temperatura ambiente (300 K) con $f_2 - f_1 = 50$ kHz.

SOLUCIÓN Se utiliza la ecuación (F.1) y se obtiene el resultado

$$e_{n\ \mathrm{rms}} = 2.88\ \mu\mathrm{V}$$

Con un ancho de banda más amplio o mayor temperatura, la tensión de ruido aumenta.

F.1.2 Otros tipos de ruido

El ruido resistivo de la sección F.1.1 es el mínimo ruido que acompaña a la señal. *Pueden* existir otros tipos de ruido, pero el de la resistencia *siempre* está presente. Otras fuentes de ruido que se presentan en los sistemas electrónicos contribuyen al ruido total. Dos de estos tipos, que se consideran aquí, son el ruido de disparo y el ruido de baja frecuencia.

El *ruido de disparo* es el resultado de fluctuaciones aleatorias en el número de portadores al difundirse a través de una unión semiconductora. El valor rms de la corriente del ruido de disparo está dado por la siguiente ecuación:

$$I_{\mathrm{disparo\ rms}} = 2qI_{DC}(f_2 - f_1)\ \mathrm{A} \tag{F.2}$$

donde

q = magnitud de la carga del electrón (1.6×10^{-19}C)
I_{DC} = corriente promedio en la unión en amperes
$(f_2 - f_1)$ = ancho de banda del ruido en hertz

El ruido de disparo, al igual que el resistivo, tiene un espectro de potencia que es aproximadamente constante a lo largo de la banda de frecuencia. Por tanto, este es otro ejemplo de ruido blanco.

El *ruido de baja frecuencia,* o *ruido* $1/f$, se detecta en materiales en los que está presente la conducción electrónica. Este ruido se debe a imperfecciones en la superficie resultantes del proceso de fabricación. Como este tipo de ruido tiene un espectro de potencia que disminuye al aumentar la frecuencia, es más importante en bajas frecuencias (de 0 a cerca de 100 Hz). Como resultado, las mediciones de pequeña señal se deben realizar en alta frecuencia, de manera que se eviten mediciones de cd. La desviación a largo plazo de los amplificadores con transistores es resultado del ruido de baja frecuencia. La potencia del ruido de baja frecuencia se puede expresar por la ecuación

$$\overline{i_f^2} = \mathrm{K}I_{DC}\frac{f_2 - f_1}{f} \tag{F.3}$$

donde

I_{CD} = corriente promedio en la unión en amperes
$f_2 - f_1$ = ancho de banda
K = una constante para el dispositivo semiconductor

F.1.3 Ruido en el diodo

La raíz cuadrática media de la corriente de ruido $\overline{i_D}^2$, en un diodo es una combinación de ruido de disparo y ruido de baja frecuencia. Esta corriente se debe a la resistencia en serie del material de silicio. El valor cuadrático medio del ruido generado en un diodo está dado por la ecuación

$$\overline{i_D}^2 = \left(2\mathrm{q} + \frac{\mathrm{K}}{f}\right) I_{CD}(f_2 - f_1) \tag{F.4}$$

La ecuación (F.4) representa la suma del ruido de disparo y el ruido de baja frecuencia.

F.1.4 Ruido en el BJT

Como se conocen los tipos de tensiones y corrientes de ruido, se puede desarrollar un circuito equivalente para una sola etapa con un BJT. Se utiliza el modelo π simplificado del capítulo 10 y se añaden las fuentes de ruido que se muestran en la figura F.2. Para frecuencia media, el ruido de baja frecuencia $(1/f)$ se puede ignorar. Se supone que las fuentes de ruido no están correlacionadas, lo que significa que se puede encontrar la tensión cuadrática media total de la tensión de ruido sumando las tensiones cuadráticas medias de ruido individuales.

La tensión de ruido y los generadores de corriente de la figura F.2 se resumen como sigue:

$$\overline{v_{bb'}}^2 = 4\mathrm{k}Tr_{bb'}(f_2 - f_1) \tag{F.5a}$$

$$\overline{i_b}^2 = 2\mathrm{q}I_B(f_2 - f_1) \tag{F.5b}$$

$$\overline{i_c}^2 = 2\mathrm{q}I_C(f_2 - f_1) \tag{F.5c}$$

La tensión de ruido de salida para cada una de estas fuentes se encuentra por separado. Entonces, por el hecho de suponer que las fuentes no están correlacionadas, se puede utilizar superposición y obtener la tensión de ruido total en la salida sumando cada componente (cuadrático medio) de la tensión de ruido en la salida.

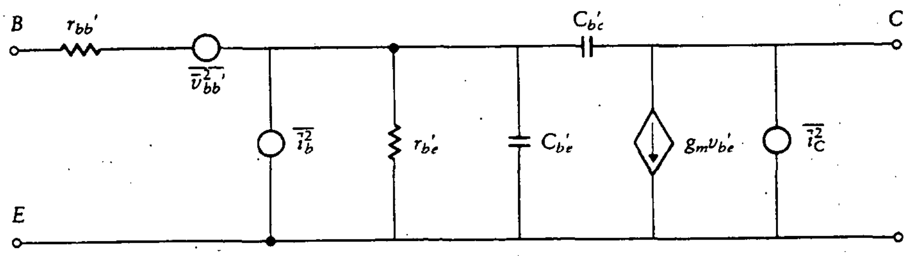


Figura F.2
Circuito equivalente para el ruido en el BJT.

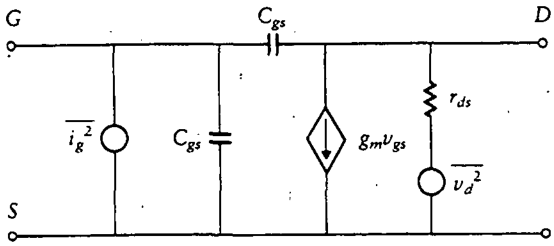


Figura F.3
Circuito equivalente para el ruido en el FET.

Nótese que $r_{b'e}$ no tiene fuente de ruido asociada ya que no es una resistencia física.

F.1.5 Ruido en el FET

El método de análisis de ruido en el FET es similar al del BJT. Se utiliza el circuito equivalente para el FET, que se encuentra en la figura 10.29(b), y se le suman las fuentes de ruido, como se muestra en la figura F.3. Estas fuentes se resumen de la siguiente forma:

$$\overline{i_g^2} = 2qI_G(f_2 - f_1) \tag{F.6a}$$

$$\overline{v_d^2} = 4kTr_{ds}(f_2 - f_1) \tag{F.6b}$$

Nuevamente, la tensión de ruido total en la salida se encuentra por superposición, esto es, se suman las tensiones cuadráticas medias de la salida para cada una de las fuentes de ruido. La tensión de ruido en la salida de un amplificador FET es más pequeña que la de un amplificador con BJT. Esta mejora de desempeño con ruido se debe a la impedancia de entrada infinita del FET.

El ruido en la entrada de la primera etapa de un amplificador multietapa es el más importante por considerar. Esto se debe a que el componente de ruido en la entrada del amplificador se multiplica por la ganancia de tensión de todo el amplificador, mientras que la tensión de ruido en la entrada de la segunda y posteriores etapas se amplifica por una ganancia más pequeña.

F.2 RUIDO EN AMPLIFICADORES OPERACIONALES

Se considera ahora el importante problema de aplicar las fuentes de ruido analizadas antes a un sistema con amplificador operacional. (Véase [25] para mayores detalles sobre el tema.) Un amplificador ruidoso se representa como amplificador *sin ruido* con un generador de tensión de ruido más un generador de corriente de ruido conectados a la entrada, como se muestra en la figura F.4. En esta figura, las variables se definen como:

$\overline{E_s^2}$ = señal cuadrática media de la fuente de tensión

$\overline{e_s^2} = 4kTR_s(f_2 - f_1)$

R_s = resistencia de fuente sin ruido

$\overline{e_n^2}$ = generador de tensión de ruido cuadrático medio del amplificador equivalente

$\overline{i_n^2}$ = generador de corriente de ruido cuadrático medio del amplificador equivalente

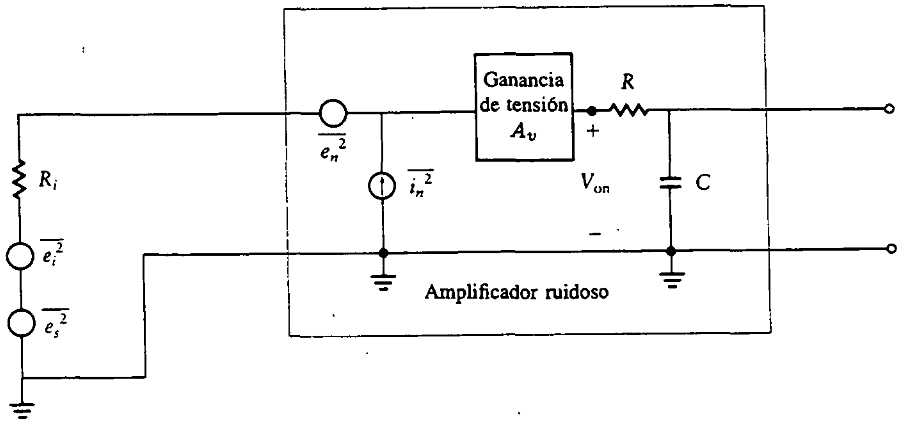
El fitro RC pasa-bajas ubicado en la salida del amplificador se utiliza para reducir el ruido blanco por arriba de la frecuencia de paso. El resistor, R, no es ruidoso. Las dimensiones de los generadores de ruido son las siguientes:

e_n está en volts(rms)/hertz$^{1/2}$

i_n está en amperes(rms)/hertz$^{1/2}$

Se supone nuevamente que las fuentes de ruido no están correlacionadas, de modo que se pueden sumar las tensiones cuadráticas medias individuales. Por tanto, la tensión de ruido rms total es la raíz cuadrada de la suma de los cuadrados de las salidas para cada fuente de ruido.

Figura F.4
Circuito equivalente del ruido en un amplificador.



Se desea encontrar la salida de tensión de ruido total para el amplificador de la figura F.4. Se suman todas las fuentes de ruido y el resultado se multiplica por la ganancia del amplificador, A_v, obteniéndose

$$V_{on} = \left\{[4kTR_i + \overline{e_n}^2 + \overline{(i_nR_i)^2}](f_2 - f_1)\right\}^{1/2} A_{vm} \tag{F.7}$$

Las dimensiones de la ecuación (F.7) son volts(rms), y A_{vm} es la ganancia a frecuencias medias del amplificador.

F.2.1 Razón señal a ruido

La calidad de un amplificador se puede medir por la razón de la señal de tensión de salida a la tensión de ruido de salida. La razón de señal a ruido en la salida se representa con el símbolo $(\mathrm{SNR})_o$. La $(\mathrm{SNR})_o$ para el circuito de la figura F.4 se encuentra calculando en primer lugar la señal de tensión en la salida, la cual está dada por la ecuación

$$v_{os} = e_s A_{vm} \tag{F.8}$$

Por tanto, la razón de señal a ruido en la tensión de salida, $(\mathrm{SNR})_o$, se encuentra dividiendo la ecuación (F.8) por la ecuación (F.7), lo que da como resultado

$$(\mathrm{SNR})_o = \frac{e_s}{\left[4kTR_i + \overline{e_n}^2 + \overline{(i_nR_i)^2}\right]^{1/2}(f_2 - f_1)^{1/2}} \tag{F.9}$$

A mayor $(\mathrm{SNR})_o$, mejor será la calidad del amplificador. Nótese que la tensión de ruido equivalente, referida a la entrada del amplificador, se puede encontrar dividiendo la ecuación (F.7) por la ganancia del amplificador, A_{vm}. No es posible medir esta tensión colocando un voltímetro en la entrada del amplificador.

En este punto, se observa que es posible aumentar la $(\mathrm{SNR})_o$ si se puede eliminar cualquier término del denominador de la ecuación (F.9). Por ejemplo, se maximiza la $(\mathrm{SNR})_o$ alimentando el amplificador con una fuente de resistencia cero, es decir, $R_i = 0$. Se puede aumentar aún más la $(\mathrm{SNR})_o$ limitando el ancho de banda del amplificador. Se selecciona la constante de tiempo RC del filtro pasa-bajas de la figura F.4 para que elimine cualquier frecuencia innecesaria, y de esta forma se aumenta la $(\mathrm{SNR})_o$. La $(\mathrm{SNR})_o$ del amplificador se puede incrementar todavía más utilizando un filtro de mayor orden, como se analizó en el capítulo 13.

F.2.2 Cifra de ruido

La *cifra de ruido* se utiliza para clasificar el desempeño del amplificador con el ruido; se expresa en decibeles y se deriva de la figura F.4. La cifra de ruido (CR) se define como:

$$\text{NF} = 20\log_{10}\left[\frac{\text{tensión de entrada SNR (amplificador desconectado)}}{\text{tensión SNR en la salida del amplificador}}\right] \qquad \text{(F.10)}$$

Se utiliza la figura F.4 y se sustituye en la ecuación (F.10), dando el resultado

$$\text{NF} = 10\log_{10}\left[\frac{\overline{e_s^2}/[4kTR_i(f_2 - f_1)]}{\overline{e_s{}^2}/[4kTR_i + \overline{e_n{}^2} + \overline{(i_n R_i)^2}](f_2 - f_1)}\right] \qquad \text{(F.11)}$$

La ecuación (F.11) se simplifica más a lo siguiente

$$\text{NF} = 10\log_{10}\left[1 + \frac{\overline{e_n{}^2} + \overline{(i_n R_i)^2}}{4kTR_i}\right] \qquad \text{(F.12)}$$

Un amplificador sin ruido, con $\overline{e_n{}^2} = \overline{i_n{}^2} = 0$, tiene una cifra de ruido de 0 dB. Para una R_i fija, el amplificador menos ruidoso tiene la menor cifra de ruido. Conforme la resistencia de entrada se aproxima a cero, la cifra de ruido aumenta sin límite.

F.2.3 Consideraciones para la reducción del ruido

En esta sección, se considera la optimización de la resistencia de fuente, de manera que se pueda minimizar la cifra de ruido. La resistencia de fuente óptima, R_{iop}, se encuentra derivando la ecuación (F.12) como sigue:

$$\frac{\partial \text{NF}}{\partial R_i} = 0 = \frac{4kT[2\overline{(i_n R_i)^2} - \overline{e_n{}^2} - \overline{(i_n R_i)^2}]}{\text{denominador en } R_i} \qquad \text{(F.13)}$$

con el resultado de que

$$R_{iop} = \frac{e_n}{i_n} \qquad \text{(F.14)}$$

La mínima cifra de ruido se encuentra sustituyendo la ecuación (F.14) en la (F.12), con el resultado

$$\text{NF}_{\text{mín}} = 10\log_{10}\left[1 + \frac{e_n i_n}{4kT}\right] \qquad \text{(F.15)}$$

La resistencia de entrada óptima, que es la relación de e_n a i_n, provoca una cifra de ruido mínima, como se muestra en la ecuación (F.15). Se puede conseguir una mejora significativa en la relación señal a ruido igualando la resistencia de la fuente, R_i, a la R_{iop} de la ecuación (F.14). Esto se puede lograr con un transformador de acoplamiento.

A continuación se presenta un resumen de los pasos necesarios para maximizar la relación señal a ruido:

1. Igualar la resistencia, R_i, a R_{iop}.
2. Utilizar un filtro para limitar el ancho de banda del sistema, reduciendo así el ruido al permitir una distorsión tolerable de la señal.
3. Utilizar un amplificador de alta resistencia de entrada con e_n e i_n bajas. Se deben usar FET en la entrada de los amplificadores.
4. Reducir el ruido de disparo en la fuente.
5. Reducir la longitud de las terminales de entrada tanto como sea posible.

APÉNDICE

G RESPUESTAS A PROBLEMAS SELECCIONADOS

En este apéndice, se presentan las respuestas a problemas seleccionados de final de capítulo. Mientras más complicado sea el problema, más difícil será encontrar aquí la respuesta. Por ejemplo, se pretende que los problemas de diseño en los últimos capítulos del texto sean *proyectos* que incluyan muchas decisiones. En la mayoría de los casos existe más de una respuesta correcta. Dar una solución, y que esto implique que usted tuvo éxito si su solución coincide con la nuestra, sería poco productivo.

Las soluciones a los problemas se obtuvieron utilizando una calculadora fijada a tres dígitos significativos. Por tanto, se hicieron redondeos durante las operaciones matemáticas complejas.

1.3 La onda de salida se muestra en la figura 1.21 con una amplitud de 0 a 45.5 V. **1.6** 0.0106 μF **1.9** 3 mA; 13.9 Ω **1.12** 1.33 Ω; 48 W; 60 W **1.16** 2.62 Ω; **1.25** La señal se fija a cero. Señal totalmente negativa.

2.1 1.5 mA; 6.85 V nueva posición 2.73 mA; 4.27 V **2.4** 8.74 mA; **2.7** (a) 139 mW; (b) 47.6 mW; 47.6 mW; 5.24 mW; 26.2 mW; (c) 55.4 mW **2.10** (a) 2.34 kΩ; 13.8 kΩ (b) 6 V; (c) V_{CEQ} = 15 V; V'_{CC} = 18 V; I_{CM} = 60 mA **2.12** (a) 2.9 kΩ; 6.45 kΩ; (b) 15 V; (c) V_{CEQ} = 7.5 V; V'_{CC} = 15 V; I_{CM} = 50 mA **2.16** 1863 Ω; 5.97 V **2.19** (a) 34.5 kΩ; (b) V_{CEQ} = 12 V; V'_{CC} = 18 V; I_{CM} = 18 mA; (c) −12 V; (d) 72 mW; 9 mW **2.23** (a) −18.6 V; −2.12 mA; (b) V'_{CC} = 22.9 V; I_{CM} = −11.5 mA; (c) 4.24 V; (d) V'_{CC} podría disminuir, pero la salida permanece igual. **2.26** I_{CQ} = 10 mA; v_o = 8 V de máxima excursión simétrica; V_{CEQ} = 4 V; P_{trans} = 40 mW; P_o = 16 mW

3.2 (a) 4.88 kΩ; −5; −4.88 (b) 4.76 kΩ; −5; −4.76; (c) 3.44 kΩ; −4.55; −3.13 **3.5** −400 **3.11** −5.39; −20.5; 4.18 kΩ **3.15** La gráfica empieza en bajo y se aproxima a 5 kΩ para una β

infinita. **3.18** $I_{CQ} = -2.5$ mA; $R_E = 150\ \Omega$ ya que $h_{ib} < 0.1R_E$; $R_B = 3$ kΩ; $V_{BB} = -1.11$ V; $R_1 = 3.31$ kΩ; $R_2 = 32.4$ kΩ; $A_i = -9.1$; $v_o = 6.75$ V de excursión simétrica sin distorsión. $R_{en} = 2.73$ kΩ **3.22** $I_{CQ} = 1.56$ mA; $R_E = 83\ \Omega$; $R_B = 6.67$ kΩ; $V_{BB} = 0.882$ V; $R_1 = 7.2$ kΩ; $R_2 = 91$ kΩ; $A_i = -25$; $v_o = 7.02$ V **3.25** $I_{CQ} = 20$ mA; $R_B = 16.67$ kΩ; $V_{BB} = 12.4$ V; $R_1 = 96.2$ kΩ; $R_2 = 20.2$ kΩ; $R_{en} = 12.5$ kΩ; $v_o = 9.0$ V de máxima excursión simétrica **3.28** $I_{CQ} = 7.11$ mA; $R_B = 10.7$ kΩ; $V_{BB} = 11.8$ V; $R_1 = 40.8$ kΩ; $R_2 = 14.5$ kΩ; $A_i = 6.66$; $v_o = 9.6$ V de máxima excursión simétrica **3.31** $I_{CQ} = 2.57$ mA; $R_B = 990\ \Omega$; $V_{BB} = 2.01$ V; $R_1 = 1.11$ kΩ; $R_2 = 8.87$ kΩ; $v_o = 9.25$ V de máxima excursión simétrica **3.34** 0.2; 90.9; 4.55 kΩ **3.38** 2 V; 7.4 V; 8.1 V; 5.7 V **3.40** 206.7; 683.5

4.1 (a) -0.84 V; (b) 10 V; (c) 7.5 V; (d) 109 kΩ; 1.2 MΩ **4.4** $R_D = 1.3$ kΩ; $R_S = 130\ \Omega$; $V_{GG} = 3.91$ V; $R_1 = 18.7$ kΩ; $R_2 = 76.7$ kΩ; $A_i = -15$ **4.7** $R_D = 2$ kΩ; $R_{Sdc} = 1$ kΩ; $R_{Sac} = 36\ \Omega$; $R_G = 20$ kΩ; $P_{trans} = 12$ mW **4.9** $V_{GSQ} = 1.76$ V; $g_m = 1.18$ mS; $R_o = 3.3$ kΩ; $R_{Sdc} = 704\ \Omega$; $R_{Sac} = 146\ \Omega$; $R_o = 3.3$ kΩ; $R_G = 50$ kΩ; $P_{trans} = 25$ mW **4.12** $R_{S1} = 2.5$ kΩ; $R_{S2} = 1.5$ kΩ; $R_G = 20.2$ kΩ; $A_i = -3.1$; $A_v = -1.24$ **4.15** $V_{GSQ} = -0.94$ V; $I_{DQ} = 4.7$ mA; $g_m = 3.06$ mS; $A_v = -3.67$; $A_i = -612$ **4.18** (a) -8.33; (b) -11.5; (c) -14.3 **4.20** $R_D = 4.81$ kΩ; $R_S = 187\ \Omega$; $R_G = 8$ kΩ; $R_1 = 10.2$ kΩ; $R_2 = 36.5$ kΩ **4.24** $R_S = 143$ kΩ; $R_{Sac} = 820\ \Omega$; $R_1 = 18.5$ kΩ; $R_2 = 34.2$ kΩ; $A_v = 0.42$ kΩ **4.27** $R_S = 1.6$ kΩ; $R_{S1} = 200\ \Omega$; $R_{S2} = 1.4$ kΩ; $R_G = 2.44$ kΩ; $A_i = 1.17$; $A_v = 0.78$

5.2 $I_{CQ} = 6.15$ mA; $R_B = 217$ kΩ; El circuito no se puede diseñar para que tenga una β independiente de la operación circuito; éste se saturaría. **5.5** $I_{CQ} = 2.05$ mA; $v_o = 6.98$ **5.8** 7.42 V **5.11** 11.8 V **5.14** 10.1 V **5.17** 11.2 V

6.3 $I_{CQ} = 13.6$ mA; $R_B = 287\ \Omega$; $R_1 = 334\ \Omega$; $R_2 = 2.05$ kΩ **6.5** $R_S = 15$ kΩ; $I_{CQ} = 8.57$ mA; $R_1 = 25.6$ kΩ; $R_2 = 36.1$ kΩ; $P_{trans} = 88.1$ mW; $P_L = 29.7$ mW **6.8** (b) 2.25 W; (c) 63.4 Ω; 480 Ω; 199 μF; (d) 160 Ω **6.11** (a) $I_{CM} = 354$ mA; (b) 1.48 W; (c) 559 Ω; 398 μF; 24.3; 197 Ω **6.13** (a) 0.456 W; (b) 419 Ω; 151 Ω; 199 μF; (c) 18.1 **6.15** $R_B = 6$ kΩ; $I_{CQ} = 0.8$ A; $C_1 = 15.9$ μF; $P_o = 0.648$ W; $R_1 = 40$ kΩ; $R_2 = 18.3$ kΩ

7.2 -137.4; -0.5 **7.5** 0.6 V; 0.053 V **7.8** -5.075 V; 4.925 V **7.11** 0.227; -436; 65.7 dB **7.14** $R_{C1} = 7.67$ kΩ; $A_c = 35.2$; $A_d = 6278$; $CMRR = 45$ dB **7.18** $I_{C1} = 0.732$ mA; $R_2 = 11.2$ kΩ **7.21** De la hoja de especificaciones en el intervalo de 500 μA, $h_o = 6$ μS o $r_o = 167$ kΩ; $R_{TH} = 8.3$ mΩ **7.24** $R_E = 510\ \Omega$; $R'_E = 1.33$ kΩ; $R_1 = 48.4$ kΩ; $R_2 = 18.3$ kΩ

8.3 1/11 **8.6** $-0.2v_1 - 2v_2 - 0.4v_3$ **8.9** $-v_1 + 2v_2$ **8.12** (a) $-10v_1 - 3.66v_2$ **8.15** Ejemplo tipo #1: $R_f = 96$ kΩ; $R_1 = 16$ kΩ; $R_2 = 12$ kΩ; $R_x = 48$ kΩ; $R_a = 32$ kΩ; $R_b = 8$ kΩ; Ejemplo tipo #2: $R_F = 128$ kΩ; $R_1 = 21.3$ kΩ; $R_2 = 16$ kΩ; $R_a = 42.7$ kΩ; $R_b = 10.7$ kΩ; $R_x = 64$ kΩ **8.18** $R = 100$ kΩ **8.21** $R_1 = R_3 = 5$ kΩ; $R_2 = 20$ kΩ; $C = 10$ nF; $R_5 = 4$ kΩ. Se puede utilizar cualquier conjunto de valores lógicos que cumpla los requerimientos de la ecuación. **8.24** $-j15/\omega$ **8.27** $v_o = 0.66(1 - R/R_x)v_i$

9.2 (a) 20.5 mV; (b) 20.5 mV; (c) 12.8 mV **9.5** Todas las entradas a la terminal negativa. $R_F = 200$ kΩ; $R_1 = 20$ kΩ; $R_2 = 40$ kΩ; $R_3 = 50$ kΩ; $R_x = 10$ kΩ; $R_{en}(V_1) = 20$ kΩ; $R_{en}(V_2) = 40$ kΩ; $R_{en}(V_3) = 50$ kΩ; $R_o = 15$ mΩ; $BW = 50$ kHz. **9.8** Amplificador de entrada —Compuerta de potencia de ganancia unitaria— Dos etapas. Amplificador de salida. $R_F = 5$ kΩ; $R_A = 50$ kΩ; $R_1 = 770$ kΩ; $R_x = 1$ kΩ **9.11** Dos etapas —Amplificador de entrada— v_2 a la terminal positiva. $R_1 = 9.8$ kΩ; $R_A = 10$ kΩ; $R_F = 490$ kΩ. Amplificador de salida - Primer amplificador a la terminal negativa. v_1 a la terminal positiva. $R_1 = 9$ kΩ; $R_A = 500$ kΩ; $R_F = 10$ kΩ. **9.14** Tres etapas - Las etapas para v_1 y v_2 a una etapa sumadora de salida. Etapa v_1: $R_1 = 10$ k$\Omega = R_F$ (Compuerta de potencia de ganancia unitaria). Etapa v_2: $R_2 = 9.5$ kΩ; $R_A = 10$ kΩ; $R_F = 190$ kΩ (Ganancia de +20). Etapa de salida: $R_1 = 10$ kΩ; $R_2 = 350$ kΩ; $R_A = 10$ kΩ; $R_F = 350$ kΩ; $R_o = 0.027\ \Omega$; $R_{en} \approx 400$ MΩ; $BW = 27.8$ kHz. **9.21** 4 etapas —3 compuertas de potencia de

ganancia unitaria para obtener alta impedancia de entrada y un amplificador de salida para sumar las entradas. Etapa de salida: R_1 = 20 kΩ; R_2 = 42 kΩ; R_3 = 30 kΩ; R_F = 12.6 kΩ; R_A = 36 kΩ; $R_o \approx$ 1 mΩ; BW = 740 kHz **9.24** Utilice 3 pF ya que el amplificador tiene ganancia superior a 10. R_F = 1200 kΩ; R_A = 100 kΩ; R_y = 12.5 kΩ; R_1 = 10 kΩ; v_1 hacia R_1 y la terminal positiva; v_2 hacia R_A y la terminal negativa. R_{en} $(V_1) \approx$ 400 MΩ; $R_{en}(V_2)$ = 100 kΩ; BW = 1 MHz; R_o = 0.01 Ω

10.3 El diagrama de amplitud inicia en 40 dB y pendiente cero. El primer punto de ruptura en 1 rad/s, donde la pendiente se vuelve −20 dB/dec. El segundo punto de ruptura en 10 rad/s, en el que la pendiente nuevamente es cero a una ganancia de 20 dB. El diagrama de fase inicia en 0° con una pendiente de −45°/dec. A 1 rad/s, la pendiente cambia a cero a −45°. A 10 rad/s, la pendiente aumenta a 45°/dec. La pendiente regresa a cero a 100 rad/s y 0°. **10.6** El diagrama de magnitud inicia con una pendiente de −20 dB/dec hasta 1 rad/s, punto en el cual la pendiente cambia a cero a 0 dB. A 10 rad/s, la pendiente regresa a −20 dB/dec. La fase inicia con una pendiente de +45°/dec hasta que alcanza −45° a 1 rad/s. Entonces la pendiente es cero hasta 10 rad/s, donde se vuelve −45°/dec. La pendiente cambia a cero a 100 rad/s y un desplazamiento de −90°. **10.17** I_{CQ} = 0.75 mA; R_B = 17.6 kΩ; R_1 = 19.5 kΩ; R_2 = 185 kΩ; (a) C_1 = 0.2 μF; C_2 = 2.7 μF; (b) f_c = 25.8 Hz; C_1 = 0.31 μF; C_2 = 0.41 μF; (c) C = 0.33 μF; f_1 = 24 Hz; f_2 = 32 Hz; **10.21** V_{GSQ} = −2 V; (a) R_D = 1.25 kΩ; R_{Sdc} = 1 kΩ; R_{Sac} = 241 Ω; (b) C_1 = 10.2 μF; C_2 = 57 μF; C_3 = 3.18 μF. **10.23** R_D = 13.5 kΩ; R_s = 506 Ω; No se requiere C_2; C_1 = 0.24 μF; C_3 = 1.59 μF **10.26** I_{CQ} = 0.877 mA; R_{en} = 1.26 kΩ; A_v = −38.5; f_1 = 79.6 Hz; f_2 = 9.04 kHz; C_M = 178 pF; f_h = 2.37 MHz. El diagrama de Bode inicia con una pendiente de 40 dB/dec hasta 79 Hz, cae a 20 dB/dec hasta 9 kHz (0 dB), se vuelve plana hasta 2.37 MHz y cae a −20 dB/dec. **10.27** 412 kHz **10.30** C_{gd} = 1.11 pF; C_{oss} = 1.27 pF; C_{ds} = 0.163 pF **10.33** (a) Alta frecuencia; A_v = −11.9; A_v (etapa) = −11.34; C_{en} = 35.8 pF; C_o = 24 pF; f_1 = 93.6 kHz; f_2 = 1.4 MHz; (b) Baja frecuencia: f_1 = 83.3 Hz; f_2 = 0.53 Hz; f_3 = 3.18 Hz; f_4 = 1.5 Hz. La respuesta en frecuencia es de 83.3 Hz a 93.6 kHz.

11.1 −500; 370 Ω; −92.6 **11.3** −500; 399 Ω; −99.8 **11.6** A_v = −500; A_i = −100 **11.12** El diagrama de magnitud inicia con una pendiente de −20 dB/dec, con la primera ruptura a 10 rad/s y −20 dB. La pendiente cambia a −40 dB/dec. La curva de fase empieza en −90° y una pendiente de cero. La pendiente cambia a −45°/dec a 1 rad/s, y regresa a cero a 100 rad/s y −180° de desplazamiento. **11.25** El diagrama de magnitud inicia con una pendiente de −40 dB/dec hasta la primera ruptura a 1 rad/s y −40 dB. Luego, la pendiente cambia a −20 dB/dec hasta 10 rad/s, donde regresa a una pendiente de −40 dB/dec. La curva de fase empieza con una pendiente 45°/dec hasta 1 rad/s y un desplazamiento de −135°. En ese punto, la pendiente cambia a −45°/dec hasta 10 rad/s, donde la pendiente cambia a −90°/dec. A 100 rad/s y un desplazamiento de −270°, la pendiente cambia a cero. **11.28** C = 325 pF; C_{eq} = 0.101 μF; R_D = 12.5 kΩ. Si C_1 = 0.2 μF, entonces C_2 = 0.205 μF. **11.30** Sea R_F = 100 kΩ, entonces R_A = 50 kΩ. Si R = 10 kΩ, entonces C = 0.159 pF

12.5 Tabla 12.1 (Salida negativa básica, inversora) y un sumador/inversor que utiliza la terminal negativa para invertir y sumar una tensión de referencia. Amp. rectificador: R_F = 10 kΩ; R_A = 10 kΩ; R_x = 5 kΩ; Sumador/inversor: R_F = 10 kΩ; R_{A1} = 10 kΩ; R_{A2} = 20 kΩ con una entrada de referencia negativa de 10 V. **12.11** Tabla 12.3 (Limitador superior e inferior) balanceado: R_A = 10 kΩ; R_F = 20 kΩ; R_1 = 15.8 kΩ; R_2 = 4.87 kΩ; R_x = 6.67 kΩ **12.20** Limitador balanceado: para la entrada v_1, R_A = 10 kΩ; R_F = 10 kΩ. Para la entrada v_2, R_A = 20 kΩ. Supóngase una pendiente = 1/20, entonces R_1 = 579 Ω y R_2 = 341 Ω. **12.27** Limitador comparador balanceado con desplazamiento del eje: R_A = 20 kΩ; R_1 = 2.14 kΩ; R_2 = 860 Ω utilizando 1/20 como pendiente. Aliméntese con −10 V a un divisor de 1 kΩ/1 kΩ para reducir la tensión a −5 V en un resistor de 10 kΩ en paralelo con R_A.

13.1 Integrador estándar. Si C = 1 μF entonces R = 100 kΩ. **13.7** Inversor/sumador con ZF = 1/sC. Si C = 10 μF entonces R_1 = 100 kΩ, R_2 = 10 kΩ y R_3 = 189 kΩ **13.14** Figura 13.12. Si C = 0.01 μF, entonces R = 159 kΩ; R_A = R_F = R_1 = R_2 = 10 kΩ. Utilice un resistor fijo de 1 kΩ y un potenciómetro de 9 kΩ. **13.22** Fig. 13.11(c). Si C = 0.0001 μF, entonces R_1 = 8 kΩ;

R_2 = 80 kΩ. **13.28** Fig. 13.15. R_A = 10 kΩ; R_F = 100 kΩ; R_1 = 10 kΩ; R_2 = 100 kΩ; Cuando C = 0.01 μF entonces R = 80 kΩ. Utilice un resistor fijo de 1 kΩ y un potenciómetro de 1 kΩ. **13.34** Utilice cuarto orden. C_1 = 0.35 μF; C_2 = 0.30 μF; C_3 = 0.84 μF; C_4 = 0.12 μF y R = 1 kΩ **13.37** Si C = 0.01 μF, entonces R_1 = 9.08 kΩ; R_2 = 11.76 kΩ; R_3 = 37.8 kΩ; R_4 = 4.92 kΩ; R_5 = 51.5 kΩ

14.1 Véase la figura 14.7(b) del texto, con V_1 = 4.15 V, V_2 = 0.86 V. **14.6** Véase la figura 14.7(b) del texto, con V_1 = 0.459 V, V_2 = 0 V, V_3 = −4.51 V, V_4 = −0.855 V **14.8** Véase la figura 14.7(b) del texto, con V_1 = 0.496 V, V_2 = 0.395 V, V_3 = −4.11 V, V_4 = −4.01 V **14.10** Véase la figura 14.25 del texto, con R_1 = 1 kΩ, R_2 = 6.7 kΩ y la capacitancia entre la terminal #2 y tierra se conmuta entre 0.001 μF, 0.01 μF y 0.1 μF. **14.12** Véase la figura 14.25 del texto, con R_1 como una combinación en serie de un resistor fijo de 9.6 kΩ y un potenciómetro de 2.4 kΩ a 139.2 kΩ, R_2 = 2.4 kΩ y la capacitancia entre la terminal #2 y tierra se conmuta entre 0.01 μF, 0.1 μF y 1 μF. **14.18** El resultado es un tren de pulsos con la duración de los pulsos aumentado con el tiempo.

15.2 $D = \bar{A} \cdot B \cdot \bar{C}$; $E = A \cdot B \cdot \bar{C}$

A	$\bar{A}$	B	C	$\bar{C}$	D	E	Y
0	1	0	0	1	0	0	0
0	1	0	1	0	0	0	0
0	1	1	0	1	1	0	1
0	1	1	1	0	0	0	0
1	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	1	0	1	1
1	0	1	1	0	0	0	0

15.6

A	B	C	A+B+C	Y
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

15.9 $Y = A\bar{B} + B \cdot C$ **15.11** LUNCH SPEC = HAMBURGER · (SOUP ⊕ SALAD) **15.14** RENTED APART = COUPLE ⊕ SINGLE **15.17** MUST ATTEND = (DAY OF CONF) · (NIGHT + AFTERNOON) **15.19** GAME = 1 · 2 · 3 · 4

15.20

D	H	K	ALARMA
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

15.23 La alarma tiene un interruptor operado con una llave, localizado en la defensa. Cuando se coloca la alarma y los ladrones abren la puerta, un pulso de disparo activa un monoestable 555. Este cronómetro proporciona un pulso de 10 min. El pulso habilita un astable 555 durante 10 min, con la salida amplificada por un transistor 2N2222, que alimenta un altavoz localizada por debajo de la tapa del motor.

15.30

A	B	Q_1	Q_2	Q_3	Q_4	Y
0	0	N	F	F	N	1
0	1	N	F	F	N	1
1	0	N	F	F	N	1
1	1	F	N	N	F	0

15.33

A	B	1	2	3	4	5	6	7	8	Y
0	0	N	N	F	F	F	N	N	F	1
0	1	N	F	F	N	F	N	N	F	1
1	0	F	N	N	F	F	N	N	F	1
1	1	F	F	N	N	N	F	N	N	0

15.35 Véase la figura 14.25 del texto, con R_1 = 1 kΩ, R_2 es una combinación en serie de un resistor fijo de 1 kΩ y un diagrama de 25 kΩ, la capacitancia entre la terminal #2 y tierra es de 0.01 μF, la capacitancia entre la terminal #5 y tierra es de 0.1 μF, y la terminal #3 alimenta el despliegue de siete segmentos.

16.2	CMOS 74C150	TTL 74150
Fuente V	3–15 V	7 V
Velocidad	120–250 ns	8–15 ns
Disipación de energía	20 mW	200 mW

16.7 Para una frecuencia base, f_o de 10 kHz, C_{ext} = 0.05 μF. El intervalo de la frecuencia de salida es de 5.5 kHz a 11.3 kHz. **16.9** La salida Q_1 se conecta a la entrada de reloj B y el contador se inicia cuando la cuenta llega a diez. Cuando las salidas son 1010, la salida de la compuerta AND es alta y el conjunto de entradas cero está en alto. Esto limpia el contador. **16.12** Utilice un astable 555 para generar una frecuencia que sea el doble de la frecuencia requerida. Esta señal se pasa a través de un biestable JK que cambia de estado con el borde positivo del pulso. El JK divide la frecuencia entre dos y mantiene un ciclo efectivo de uno. **16.13** Se fija un astable 555 para que opere a 1 kHz con un ciclo efectivo de 20, de manera que la salida en la terminal 3 sea adecuada para disparar el monoestable 555. Es una buena práctica de diseño utilizar un resistor fijo para R_1 y un potenciómetro de 10 kΩ de 10 vueltas para R_2 de modo que la frecuencia se pueda ajustar a 1 kHz. El ciclo de trabajo variable se consigue con un monoestable 555. **16.16** Se utiliza un astable 555 a 1 kHz para sincronizar un contador ÷N. El contador se habilita presionando un botón que simula el lanzamiento de los dados. La señal de inicio se amortigua antes de habilitar el contador. El circuito descodificador se diseña utilizando compuertas lógicas. Las salidas del descodificador se alimentan a un despliegue de siete segmentos. **16.17** El medidor de rpm recibe pulsos compatibles con TTL y realiza la operación AND de ellas con una ventana de un astable 555. La salida de la compuerta AND se alimenta a tres contadores de década (74160), tres memorias de paso (74175), tres descodificadores (7447) y los tres despliegues de siete segmentos.

17.2 Se diseña un astable con un 555 para generar pulsos a una frecuencia de 1 kHz. Estos pulsos se dividen hasta que la salida sea de 1 pulso cada 5 s. Esta salida sincroniza un contador binario 7493. Las salidas del contador se utilizan para seleccionar las líneas de un multiplexor de 16 a 1. La salida de un MUX 74150 es activa baja. Si la lámpara está buena, la salida del MUX es cero, y si está mal la salida es alta. La salida del MUX se coloca en una AND con el pulso de reloj de 1 kHz. El pulso de reloj dispara un monoestable 555 que se diseña para que produzca una salida de 5 s. **17.3** El método para este problema es determinar las condiciones necesarias para rechazar una caja. Si el sensor A está prendido, la caja mide al menos 4″ y es muy alta. Si el sensor B no está prendido entonces la caja es muy pequeña. Y el sensor C debe estar prendido si la caja está en la línea de ensamble. Por tanto, la salida es $Y = (\bar{A}BC)'$, y se puede realizar con una compuerta NAND de tres entradas y un inversor. **17.5** Se debe utilizar un contador descendente ya que el 9 representa lleno y 0 vacío. Prefije un contador binario ASCENDENTE DESCENDENTE 74193 a 15 conectando el pulso transmitido (invertido) a la carga del contador. También utilice el pulso transmitido para disparar un monoestable 555 que produzca como salida un pulso de ventana de 170 ms. Este pulso es la entrada a una AND con un tren de pulsos de 10 ms de un astable 555. Esta compuerta, cuando se habilita, inicia el contador que cuenta hacia abajo desde 15. Después de 6 cuentas, el desplegado muestra un 9, y después de 16 , muestra un 0. El pulso recibido memoriza el desplegado y limpia los contadores. Si la cuenta no alcanza el 9 o se pasa de 0. El tanque se encuentra por encima del 90% de capacidad o por debajo del 10%, y la alarma suena. **17.13** Utilice un astable 555, diseñado para emitir un pulso por minuto, como reloj del circuito. Dos contadores de década 74190 se sincronizan con el 555. Para emitir el número de cuarto simultáneamente, se utiliza y sincroniza un contador binario 7493 para direccionar un multiplexor de 16 a 1 74150. Después de contar 14, cada sistema de conteo se limpia en forma simultánea. El equipo de TV de cada cuarto se observa con el multiplexor un minuto cada 14 minutos para determinar si está prendido o apagado. La salida del multiplexor se conecta a través

de un resistor a un LED para ver si el televisor está prendido o apagado. **17.24** El diseño requiere de un contador ASCENDENTE DESCENDENTE para llevar la cuenta del número de automóviles en el estacionamiento. Al principio (al comienzo de la jornada de trabajo), los contadores deben estar en cero. Cada vez que entra un automóvil, el contador cuenta hacia adelante y toda vez que salga uno, el contador debe contar hacia atrás. Como el pulso de salida de las puertas de entrada y salida se mantiene en alto hasta que pasa un automóvil, los contadores BCD ASCENDENTES DESCENDENTES 74193 son idóneos. Las terminales 4 y 5 de estos contadores se utilizan para contar hacia abajo o arriba. La cuenta sólo se presenta cuando la terminal a la que no llega un pulso se mantiene en alto, adecuando las especificaciones de diseño. Los pulsos de las puertas se necesitan acondicionar con circuitos RC para disparar los contadores. Haga la constante RC igual a 1 s. Cuando el contador más significativo alcanza 3 (300 es la cuenta máxima del estacionamiento), despliegue la palabra LLENO en el letrero de LED.

BIBLIOGRAFÍA Y REFERENCIAS PARA ESTUDIO ULTERIOR

1. Alley, C.L. y K.W. Atwood, *Microelectronics*, Englewood Cliffs, N.J. Prentice-Hall, 1986.
2. Ankrum, P.D., *Semiconductor Electronics*, Englewood Cliffs, N.J., Prentice-Hall, 1971.
3. Boylestad, Robert y Louis Nashelsky, *Electronic Devices and Circuit Theory*, Englewood Cliffs, N.J., Prentice-Hall, Inc., 1987.
4. Casasent, David, *Electronic Circuits*, Nueva York, Quantum, 1973.
5. Chirlian, P.M., *Analysis and Design of Integrated Electronic Circuits*, Nueva York, Harper and Row, 1987.
6. Clayton, David, *Operational Amplifiers*, Londres, Newnes-Butterworths, 1979.
7. *CMOS Databook*, Santa Clara, Calif., National Semiconductor Corp., 1988.
8. Ghausi, Mohammed S., *Electronic Devices and Circuits*, Nueva York, Holt, Rinehart and Winston, 1985.
9. Gray, P.R. y R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Nueva York, John Wiley, 1984.
10. Grinich, V.H. *Introduction to Integrated Circuits*, Nueva York, McGraw-Hill, 1975.
11. Gummel, H.K. y H.C. Poon, "An Integrated Charge Control Model of Bipolar Transistor", *Bell System Technical Journal* 49, núm. 5 (1970), 827-852.
12. Hamilton, D.J. y W.G. Howard, *Basic Integrated Circuit Engineering*, Nueva York, McGraw-Hill, 1975.

13. Hodges, D.A. y H.G. Jackson, *Analysis and Design of Digital Integrated Circuits*, Nueva York, McGraw-Hill, 1983.

14. Irvine, R.G., *Operational Amplifier Characteristics and Applications*, Englewood Cliffs, N.J., Prentice-Hall, 1987.

15. Jacob, J.M., *Application and Design with Integrated Circuits*, Reston, Va., Reston Publishing Co., 1982.

16. Jung, W., *IC Op-Amp Cookbook*, Indianápolis, Ind., Howard Sams and Co., 1986.

17. Lancaster, Don, *TTL Cookbook*, Indianápolis, Ind., Howard Sams and Co., 1982.

18. Lancaster, Don, *CMOS Cookbook*, Indianápolis, Ind., Howard Sams and Co., 1988.

19. Letzter, S. y N. Webster, "Noise in Amplifiers", *IEEE Spectrum* (agosto, 1970).

20. *Linear and Data Acquisition Products*, Melbourne, Fla., Harris Semiconductor Products Division, 1988.

21. *Linear Databook*, Santa Clara, Calif., National Semiconductor Corp., 1988.

22. Mano, M.M., *Digital Design*, Englewood Cliffs, N.J., Prentice-Hall, 1984.

23. *Master Selection Guide*, Phoenix, Ariz., Motorola Semiconductor Products, Inc.

24. *MECL Data Book*, Mesa, Ariz., Motorola Semiconductor Products, Inc., 1987.

25. Millman, J. y A. Grabel, *Microelectronics*, Nueva York, McGraw-Hill, 1987.

26. Milnes, A.G., *Semiconductor Devices and Integrated Circuits*, Nueva York, Van Nostrand-Reinhold, 1980.

27. Mitchell, F.H., Jr. y F.H. Mitchell, Sr., *Introduction to Electronics Design*, Englewood Cliffs, N.J., Prentice-Hall, 1988.

28. Peatman, J.B., *Digital Hardware Design*, Nueva York, McGraw-Hill, Inc., 1980.

29. Pierret, R.F. y G.W. Neudeck, *Semiconductor Fundamentals*, Reading, Mass., Addison-Wesley, 1983.

30. Ruthowski, G. B., *Solid State Electronics*, Indianápolis Ind., Bobbs-Merrill, 1980.

31. Sah, C.T., R.N. Noyce y W. Shockley, "Carrier Generation and Recombination in P-N Junction Characteristics", *Proc. IRE* (1957), 1228.

32. Schilling, D.L., Charles Belove, T. Apelewicz y R.C. Saccardi, *Electronic Circuits, Discrete and Integrated*, Nueva York, McGraw-Hill, 1989.

33. Sedra, A.S. y K.C. Smith, *Microelectronic Circuits*, Nueva York, Holt, Rinehart and Winston, 1987.

34. Soclof, S., *Analog Integrated Circuits*, Englewood Cliffs, N.J., Prentice-Hall, 1985.

35. Soclof, S., *Applications of Analog Integrated Circuits*, Englewood Cliffs, N.J., Prentice-Hall, 1985.

36. Stanley, W.D., *Electronic Devices, Circuits and Applications*, Englewood Cliffs, Prentice-Hall, Inc., 1989.

37. Streetman, B.G., *Solid State Electronic Devices*, Englewood Cliffs, N.J., Prentice-Hall, 1980.

38. Tocci, R.J., *Fundamentals of Electronic Devices*, Columbus, Ohio, Merrill, 1982.

39. *TTL Logic Data Book*, Dallas, Texas Instruments, Inc., 1988.

40. Wang, S., *Fundamentals of Semiconductor Theory and Device Physics*, Englewood Cliffs, N.J., Prentice-Hall, 1989.

41. Widlar, R. S.,"Some Circuit Design Techniques for Linear Integrated Circuits", *IEEE Transactions on Circuit Theory*, CT-12(1968).

42. Williams, A.B., *Electronic Filter Design Handbook*, Nueva York, McGraw-Hill, 1981.

43. Wilson, G.R., "A Monolithic Junction FET-NPN Operational Amplifier", *IEEE Journal of Solid State Devices*, SC-2 (diciembre, 1968).

44. Wolfe, C.M., N. Holonyak, Jr. y G.E. Stillman, *Physical Properties of Semiconductors*, Englewood Cliffs, N.J., Prentice-Hall, 1989.

45. Yang, E. S., *Microelectronic Devices*, Nueva York, McGraw-Hill, 1988.

46. Young, Thomas, *Linear Integrated Circuits*, Nueva York, John Wiley, 1981.

ÍNDICE DE MATERIAS

aceptor, A-40
acoplamiento, 426
  capacitivo, 143
  directo, 143
  óptico, 147
  por transformador, 144
acoplamiento inductivo, 253
  ejemplo de diseño, 257
acoplamiento por transformador, 256
  eficiencia de la conversión, 256
  ejemplo de diseño, 260
aislante, 3
alambrado, 840
alinealidad (definición), 2
alinealidades, 127
alinealidades en el BJT, 127
álgebra booleana, 734
amp op
  características, 341
  diseño de circuitos, 355
  ideal, 339
  hoja de datos
    LM101, A-116
    uA741, A-107
  múltiple, ejemplo de diseño, 420, 422
  resistencia de entrada, 351
  respuesta en frecuencia, 457
  valor de parámetros, 380
  101,416
  741, 330
amplificador
  acoplado por transformador, ejemplo de análisis, 146
  multietapa, 150
  multietapa retroalimentado 525; ejemplo de análisis, 151
amplificador de audio, 262, 418
amplificador de diferencia, 303, 413
amplificador de potencia, 253
  acoplamiento inductivo, 253
  acoplamiento por transformador, 256
  eficiencia de la conversión, 256
  simetría complementaria, 264
amplificador diferencial, 407, 412
  ejemplo de análisis, 311
  ganancia, 306
  modo, 305
  tensión de entrada, 340
  suma con un, 412
amplificador en base común, 70
  ejemplo de análisis, 140
  ejemplo de diseño, 138
  ganancia en corriente, 69, 137
  ganancia en tensión, 138
  resistencia de entrada, 136
  resistencia de salida, 138
  respuesta en alta frecuencia, 494
  respuesta en baja frecuencia, 472
amplificador en colector común, 70
  ejemplo de diseño, 183
amplificador en drenaje común
  análisis, 197
  diseño, 198
  ejemplo de diseño, 200, 201
  respuesta en alta frecuencia, 501
  respuesta en baja frecuencia, 480
amplificador en emisor común, 70, 75

con resistor en el emisor, 77
constante de variación, 222
ejemplo de análisis, 80, 94
ejemplo de diseño, 81, 95, 124, 226, 231
ganancia de corriente, 76, 123
ganancia en tensión, 121
línea de carga de ca, 88
línea de carga de cd, 88
procedimiento de diseño, 92
resistencia de entrada, 118
resistencia de salida, 123
respuesta en alta frecuencia, 483
nplificador en fuente común
análisis, 186
diseño, 187
ejemplo de análisis, 186, 195
ejemplo de diseño, 191, 193, 476
respuesta en alta frecuencia, 496
respuesta en baja frecuencia, 473
nplificador inversor, 342, 405
amplificador 101, 419
ejemplo de diseño, 411
ganancia de la entrada inversora, 407
resistencia de entrada, 407
resistencia de salida, 407
mplificador no inversor, 347, 405
amplificador 101, 418
ganancia de la entrada inversora, 407
resistencia de entrada, 407
resistencia de salida, 407
mplificador retroalimentado,
amplificador con dos polos, 538
respuesta en frecuencia, 536
amplificador con polo sencillo, 536
diseño de un amplificador con tres polos, 542
mplificador seguidor emisor, 70, 98
constante de variación, 225
ejemplo de análisis, 101
ejemplo de diseño, 100, 229
ganancia de corriente, 131
ganancia en tensión, 131
resistencia de salida, 132
respuesta en alta frecuencia, 492
respuesta en baja frecuencia, 472
ınálisis a pequeña señal, 111
ıncho de banda, 535
potencia, 389
ıplicaciones, 142
ırreglo lógico programable, 826
ısíntota, 441
ıtomo, 2

›anda de rechazo, 652
›anda de transición, 652
›anda prohibida, 3
barrera de energía, 6
barrera de potencial (colina), 14
barrera de unión Schottky, 302
base, 63
beta, 68
BCD a decimal, 775
biestables, 785
con reloj, 788
D, 788
HC373, 790
JK, 786
set-reset, 717, 785
T, 788
binario a salida única, 775
brillo del desplegado, ejemplo de diseño, 783

capacitancia
de acoplamiento, 86, 460
de difusión, 301
de difusión en el emisor, 486
de paso, 85, 469
de unión, 14
de unión del colector, 486
de unión del emisor, 486
del diodo, 23
MOS, 301
valores estándar, A-122
capas, 2
carga capacitiva, 550
carga máxima, 739
ciclo activo, 719
circuito Darlington, 278
cuasicomplementario, 284
ejemplo de diseño, 282
circuito de disparo, 709
con flanco negativo, 710
con flanco positivo, 709
circuito de impedancia negativa, 362
circuito integrado
definición, 299
empaques, 737
fabricación, 300
requerimientos de potencia, 330
resistores, 301
circuito recortador, 43
polarizado en paralelo, 43
polarizado en serie, 43
clase A, 249
clase AB, 250
clase B, 250
amplificador de audio, 262
cálculos de potencia, 271
eficiencia, 273
clase C, 252
codificador de teclado, 778

HD0165, 778
coeficiente de temperatura, 383
colector, 65
comparador, 583
  de tensión, LM139, A-104
  limitador, 584; ejemplo de diseño, 590, 598
  magnitud, 823
  precisión, 584
  saturación, 584
  74LS85, 825
compensación
  en frecuencia interna, 388
  feedforward, 417
  interna en los CI, 330
  por diodo, 235
  por doble diodo, 238
  por dos polos, 417
  por polo simple, 416
compuerta, 167. *Véase* también lógica: compuertas, resumen
  siempre, 785
compuerta AND, 733
compuerta NAND, 734
compuerta NOR, 734
compuerta NOT, 733
compuerta OR, 733
compuerta XNOR, 734
compuerta XOR, 734
compuerta de potencia (*buffer*), 733
compuertas de tres estados, 749
concentración intrínseca, A-39
conductancia, salida, 114
conductor, 4
configuración cascode, 326
  amplificador, 502
conmutador controlado de silicio, 155
conmutador de signo, 415
conmutador por efecto Hall, 861
constante de variación, 221
  en un amplificador EC, 222
  en un amplificador SE, 225
contador, 793
  ascendente descendente, 795
  divisor por *n*, 794
  frecuencia, ejemplo de diseño, 801
  programable, 796
  74143 y 74144, 798
  74160-74163, 797
contaminación, 8, A-40
controlador, 781
convertidor A/D, 811
  de 3 1/2 dígitos, 811
convertidor de digital a analógico, 809
  DAC0830, 810
convertidor de impedancia, 365
corriente de compensación en la entrada, 383
corriente de desplazamiento, 6, 10
corriente de fuga, 12
corriente de huecos, 5
corriente de polarización de entrada, 382
corriente de saturación de drenaje a fuente, 170
corriente de saturación en inversa, 16
  dependencia de la temperatura, 19
corriente fotónica, 50
cristal, 2
década, 443
decibel, 380
degradación, 83
  de corriente, 52
  de potencia, 52
demodulación (detección), 32
demultiplexor, 773
densidad intrínseca de portadores, 8
derivador, 607
  derivación, 611
  inversión, 345
  pasivo, 544
desacoplamiento, 388
descodificador, 773
descodificador BCD a 7 segmentos, 782
desplazador de nivel, 321
  ejemplo de diseño, 324
desplazamiento, 5
desplegado de cristal líquido, 814
despliegue binario a 7 segmentos, 775
despliegue de cristal líquido, 814
detector optoelectrónico, 147
DIAC, 155
diafonía, 388
diagrama, 67
diagrama de bandas de energía, 4
diagrama de niveles de energía, 3
diagrama de tiempo, 739
difusión, 5, A-48
  corriente de 6, 10, A-49
  en CI, 300
diodo
  barrera, 48
  capacitancia, 23
  definición, 1
  emisión de luz, 49
  foto, 50
  PIN, 51
  potencia, 23
  Schottky, 48
  semiconductor, 9
  túnel, 49
  varactor, 49
diodo Zener, 33

máxima corriente inversa, 34
práctico, 39
regulador por, 39
ruptura, 34
tensión, 34
1N746-1N759, A-75
diseño de redes (activas), 613
ejemplo de diseño, 614
diseño de un amplificador de alta frecuencia, 505
disparador Schmitt, 591
con limitador, 594
en memoria binaria, 592
inversor, 593
dispositivo de cuatro capas, 153
distorsión de cruce por cero, 268
divisor de fase, 149, 262
divisor por 2, 794
DMOS, 209
documentación, 835
donador, 8, A-40
drenaje, 167

ecuación de Schockley, 117, 171
ecuación del diodo, derivación, A-52
eficiencia de conversión, 253
ejemplos. *Véase* ejemplos de análisis; ejemplos de diseño
ejemplos de análisis
amplificador (acoplado por transformador), 146
amplificador diferencial, 311
amplificador emisor seguidor, 101
amplificador en base común, 140
amplificador en emisor común, 94
amplificador en fuente común, 186, 195
amplificador (multietapa), 151
ejemplos de diseño
alarma de velocidad, 853
amplificador (con acoplamiento inductivo), 257
amplificador (con acoplamiento por transformador), 260
amplificador emisor seguidor, 100, 229
amplificador en base común, 138
amplificador en colector común, 133
amplificador en drenaje común, 200, 201
amplificador en emisor común, 80, 81, 95, 226, 231
amplificador en fuente común, 191, 193
amplificador en fuente común (canal n), 476
amplificador inversor (tres entradas), 411
amplificador *push-pull*, 273, 275
amp op (múltiple), 420, 422
brillo del despliegue, 783
comparador limitador, 590, 598
contador de frecuencia, 801
controlador de cinta, 858
Darlington clase A, 282
detector de presión, 851
elevador de nivel, 324
filtro de primer orden, 628
filtro pasa-altos, 632, 639, 645, 671
filtro pasa-altos (segundo orden), 649
filtro pasa-bajos ajustable de primer orden, 630
filtro pasa-bajos (segundo orden), 647
filtro pasa-todo, 645
filtro pasa-todo general, 641
filtro pasa-banda, 651
filtro Butterworth pasabanda, 674
filtro Butterworth (tres polos), 669
filtro Chebyshev, 670
filtros pasa-altos ajustable, 635
fuente de corriente Widlar, 315
fuente de energía (regulada), 289
generador de onda cuadrada, ejemplo de diseño, 718
indicador de lámpara defectuosa
inductor (activo), 366
limitador, 589
monoestable (555), 720
oscilador Colpitts, 555
red escalera, 545
regulador CI, 42
regulador conmutado, 292
regulador Zener, 37
seguidor de fuente autocargado, 205
sumador con amp op, 359, 361
sumador (tres entradas), 404
tacómetro digital, 842
electrón, valencia, 2
emisor, 65
emisor seguidor, arranque, 203
ejemplo de diseño, 206
emisor optoelectrónico, 147
empaque de latón, 328
empaque DIP, 328
empaque plano, 328
en cascada, 150
enfriamiento, 239
entrada y salida balanceada, 424
epitaxial, 300
error porcentual, definición, 531
espejo de corriente, 317
estabilidad
de amplificadores retroalimentados, 531
de la polarización, 220
diseño para, 242
en los MOSFET, 244
del amplificador 101, 534
marginal, 527
estabilidad de la polarización, 220
estimación de potencia, 83
estructura atómica, 6
expansión en fracciones parciales, A-62

factor de amplificación

a señ
cd, 7
factor
falla, 7
FET V
filtro
activ
de pr
de se
notch
pasa-
pasa-
pasa-
pasiv
recha
filtro B
diseñ
ejem
ejem
facto
orden
polin
tabla
filtro C
diseñ
ejem
facto
tabla
orden
polin
rizo,
filtro p
ampl
de se
diseñ
diseñ
frecu
RC,
filtro p
ajust
ampl
de se
diseñ
diseñ
ejem
respu
fórmul
fotodio
fototra
frecuen
fuente,
fuente
ejem
fuente

fuente

:, 70

ial de idealidad, 15

)8

16
en, 737; ejemplo de diseño, 628
rden, 646

.0
21; ejemplo de diseño, 651
3
607
, 622
th, 652
FPB, 661
seño con tres polos, 669
seño de un FPB, 674
la, 664
o, 663
56
ño, 665
/, 670
FPB, 661
seño, 670
la, 664
ño, 666
o, 663
56

, 620
sencillo, 644
rden, ejemplo de diseño, 647
worth, 661
shev, 661; ejemplo de diseño, 630
corte ajustale, 628

621, 632, 638
, ejemplo de diseño, 635, 645
sencillo, 644
rden, 648; ejemplo de diseño, 649
worth, 671
shev, 671
seño, 632, 639, 671
estado estacionario, 693
ancia de impedancia, 112

47
orte, 435, 444

nte Widlar, 314
seño, 315
ntación, ejemplo de diseño, 289, 290

nte Wilson, 315

fuga térmica, 268
función de transferencia, lazo, 438
  polo, 439
  cero, 438
funciones de dos terminales, 826
  tabla, 615

ganancia de corriente, 64
  en directo, 113
ganancia de tensión, 64
  en lazo abierto, 380
  recíproca, 113
ganancia en corriente (directa), 114
ganancia en tensión, inversa, 114
generador de acarreo adelantado, 821
  74182, 824
generador de corriente, dependiente, 363
generador de funciones (74181), 823
generador de números aleatorios, 860
generador de onda cuadrada, ejemplo de diseño, 718
generador de pulsos 555, 712
germanio, 4
gráfica de Bode, 436

habilitación, 774
hojas de datos de transistores
  2N2217-2N2222, A-89
  2N3903, 2N3904, A-81
  2N3905, 2N3906, A-87
histéresis, 592
hueco, 5, A-39

igualador, 543
  de retardo, 623
inductor activo, ejemplo de diseño, 366
integrador, 607
  de diferencia, 610
  de Miller, 344, 364
  inversión de suma, 610
intervalo medio, 435
inversor, 731

JFET
  canal *n*, 169
  canal *p*, 169
  circuito equivalente en ca, 175
  curvas características, 170
  hojas de datos para 2N3821-2N3824, A-93
  polarización, 183
  región de saturación, 172
  selección del punto *Q*, 175

lámina de circuito impreso, 839
lazo de tierra, 26
limitador, 43, 569
  configuraciones, 574
  desbalanceado, 587

ejemplo de diseño, 589
línea de carga
de ca, 21
de cd, 21
del diodo, 19
lista de alambrado, 836
lista de dispositivos CMOS, 761
lista de partes, 836
lista de verificación de diseño, 837
listado de ejecución, 836
listado de señales, 836
lógica, 730
comparación entre familias, 760
compuertas, resumen, 732
de alta inmonidad al ruido, 743
de alto nivel de umbral, 743
de emisor acoplado, 752
lista de dispositivos, 754
lógica de diodo transistor, 743
de transistor-transistor, 743
lista de dispositivos, 752
digital, 729
DTL, 743
ECL, 752
inmunidad alta al ruido, 743
negativa, 730
positiva, 730
resistor transistor, 743
secuencial, 731, 784
Schottky avanzado BP, 745
sincrónica, 731
TTL, 743
TTL de alta potencia, 744
TTL de baja potencia, 747
TTL Schottky, 774
TTL Schottky avanzado, 745
LSI, 299

magnitud máximamente plana, 653
memoria, 815
circuito integrado, 789
costo por bit, 816
de acceso aleatorio, 817
NMCV6164,818
de burbuja, 816
de paso, 789
de sólo lectura, 818
EPROM,819
EPROM NMC27C16, 820
de superficie móvil, 815
dinámica, 817
en serie, 815
EPROM, 819
MESFET, 206
Miller
capacitancia de compensación, 40
compensación, 550
efecto, 487
teorema de, 489
modelo de Ebers-Moll, 68, A-2
modelo de Gummel-Poon, 66, A-2
modelo π-híbrido, 116, 483
modo común
ganancia, 306
razón de rechazo, 306, 387
rechazo, 386
resistencia, 381
modulación de amplitud, 31
módulo interruptor/reflector, 148
monopolar, 167
MOS
canal n, 755
canal p, 756
capacitor, 301
complementario, 756
MOSFET, 178
de deserción, 179
de enriquecimiento, 181, 753
estabilidad de la polarización, 244
3N128 hoja de datos, A-95
MSI, 299
multiplexador, 777
multiplicación por avalancha, 34

nivel de Fermi, A-51
nivel de tensión de cd en la salida, 381

octava, 443
optoacoplador, 148
optoaislador, 148
oscilador, 550
a cristal, 554
Colpitts, 551; ejemplo de diseño, 555
controlado por tensión, 49, 804
74LS124, 805
escalamiento, 807
de relajación, 208, 712
Hartley,551
por desplazamiento de fase, 554
puente de Wien, 553
parámetros híbridos, 111, 113
polarización, directa, 11
polarización por retroalimentación de corriente, 112
porcentaje de regulación, 40
portador mayoritario, 8
portador minoritario, 8
principios de diseño, 832
producto ganancia por ancho de banda, 536
prototipos, 839
tableros de, 840
punto de 3 dB, 266